

亮点

- 高性价比的EtherCAT®子设备控制器，配有8个现场总线存储器管理单元（Fieldbus Memory Management Unit，FMMU）和8个同步管理器
- 通过8/16位总线与大多数8/16位嵌入式控制器和32位嵌入式控制器进行连接
- 集成支持HP Auto-MDIX的以太网PHY
- 1.8V至3.3V可变电压I/O
- 集成1.2V稳压器，用于实现3.3V单电源工作模式

目标应用

- 电机运动控制
- 过程/工厂自动化
- 通信模块和接口卡
- 传感器
- 液压和气动阀系统
- 操作员界面

主要优势

- 集成100 Mbps以太网收发器
 - 符合IEEE 802.3/802.3u（快速以太网）标准
 - 信号质量指数诊断
 - 环回模式
 - 自动极性检测和校正
 - HP Auto-MDIX
 - 兼容EtherCAT P
- EtherCAT子设备控制器
 - 支持8个FMMU
 - 支持8个同步管理器
- 8/16位主机总线接口
- 可降低系统成本的数字I/O模式
- 可实现灵活网络配置的第三个端口
- 封装
 - 符合RoHS标准的64引脚QFN无铅封装
- 可在商业级温度范围内使用

目录

亮点 1

目标应用..... 1

主要优势..... 1

1.0 前言 3

2.0 概述 7

3.0 引脚说明和配置 11

4.0 电源连接 36

5.0 寄存器映射 39

6.0 时钟、复位和功耗管理..... 44

7.0 系统中断 59

8.0 主机总线接口 67

9.0 SPI/SQI 从器件 112

10.0 以太网 PHY..... 152

11.0 EtherCAT 232

12.0 EEPROM 接口 337

13.0 芯片模式配置 340

14.0 通用定时器和自由运行时钟..... 343

15.0 其他 346

16.0 JTAG 350

17.0 工作特性 352

18.0 封装信息 367

产品标识体系..... 369

制造商信息..... 370

1.0 前言

1.1 通用术语

表1-1: 通用术语

术语	说明
10BASE-T	10 Mbps以太网，符合IEEE 802.3标准
100BASE-TX	100 Mbps快速以太网，符合IEEE802.3u标准
ADC	模数转换器
ALR	地址逻辑解析
AN	自动协商
BLW	基线漂移
BM	缓冲区管理器——交换结构的一部分
BPDU	网桥协议数据单元——承载生成树协议信息的报文
字节	8位
CSMA/CD	载波侦听多路访问/冲突检测
CSR	控制和状态寄存器
CTR	计数器
DA	目标地址
DWORD	32位
EPC	EEPROM控制器
FCS	帧校验序列——添加到以太网帧末尾的额外校验和字符，用于进行错误检测和校正。
FIFO	先进先出缓冲区
FSM	有限状态机
GPIO	通用I/O
主机	外部系统（包括处理器和应用软件等）
IGMP	Internet组管理协议
入站	指从主机到设备的数据输入
电平触发的粘住位	这种类型的状态位会在其表示的条件置为有效时置1。此位始终保持置1，直到条件不再为真并通过写入零来清零状态位。
LSb	最低有效位
LSB	最低有效字节
LVDS	低电压差分信号
MDI	介质相关接口
MDIX	支持交叉功能的介质无关接口
MII	介质无关接口
MIIM	介质无关接口管理
MIL	MAC接口层

表1-1：通用术语（续）

术语	说明
MLD	多播监听发现
MLT-3	多级传输编码（3级）。对于三级编码方法，逻辑电平发生变化表示代码位1，没有变化表示代码位0。
MSb	最高有效位
MSB	最高有效字节
NRZI	不归零反相。此编码方法会将1的信号反相，并保持0的信号不变
N/A	不适用
NC	无连接
OUI	组织惟一标识符
出站	指从设备到主机的数据输出
PISO	并行输入串行输出
PLL	锁相环
PTP	精密时间协议
保留	指保留的位域或地址。除非另外说明，否则对于写操作，保留的位必须始终为零。除非另外说明，否则在读取保留位时无法保证读到的值。除非另外说明，否则请勿对保留的地址进行读或写操作。
RTC	实时时钟
SA	源地址
SFD	帧起始分隔符——指示以太网帧前导码结束的8位值
SIPO	串行输入并行输出
SMI	串行管理接口
SQE	信号质量错误（也称为“心跳”）
SSD	流起始分隔符
UDP	用户数据报协议——一种运行在IP网络顶层的无连接协议
UUID	通用惟一标识符
WORD	16位

1.2 缓冲器类型

表1-2: 缓冲器类型11

缓冲器类型	说明
IS	施密特触发输入
O8	具有8 mA灌/拉电流能力的3.3V输出
OD8	具有8 mA灌电流能力的3.3V漏极开路输出
OD12	具有12 mA灌电流能力的3.3V漏极开路输出
OS12	具有12 mA拉电流能力的3.3V源极开路输出
VIS	电压可变的施密特触发输入
VO8	具有8 mA灌/拉电流能力的可变电压输出
VOD8	具有8 mA灌电流能力的可变电压漏极开路输出
VOS8	具有8 mA拉电流能力的可变电压源极开路输出
VO12	具有12 mA灌/拉电流能力的可变电压输出
VOD12	具有12 mA灌电流能力的可变电压漏极开路输出
VOS12	具有12 mA拉电流能力的可变电压源极开路输出
PU	50 μ A（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 注： 内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻来驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
PD	50 μ A（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 注： 内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻来驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
AI	模拟输入
AIO	双向模拟
ICLK	晶振输入引脚
OCLK	晶振输出引脚
P	电源引脚

1.3 寄存器命名法

表1-3：寄存器命名法

寄存器位类型标识	寄存器位说明
R	读： 可以对具有该属性的寄存器或位进行读操作。
W	读： 可以对具有该属性的寄存器或位进行写操作。
RO	只读： 只读。写操作不起作用。
WO	只写： 如果寄存器或位为只写，则读操作会返回未指定的数据。
W1S	写1以置1： 写1可将值置1。写零不起作用。
W1C	写1以清零： 写1可将值清零。写零不起作用。
WAC	写任意内容以清零： 写任意内容均可将值清零。
RC	读取以清零： 内容在进行读操作后清零。写操作不起作用。
LL	锁存低电平： 读取寄存器时清零。
LH	锁存高电平： 读取寄存器时清零。
SC	自行清零： 内容在置1后自行清零。写零不起作用。内容可被读取。
RO/LH	只读，锁存高电平： 具有该属性的位在被读取前始终保持为高电平。读取该位后，如果高电平条件仍存在，则该位将保持高电平；如果高电平条件已消除，则该位将变为低电平。如果该位未被读取，则无论高电平条件是否发生变化，该位都保持高电平。一些以太网PHY寄存器使用该模式。
NASR	不受软件复位影响。 NASR位的状态在软件复位置为有效时不发生更改。
保留	保留位域： 保留位域必须写入零，以确保未来的兼容性。如果读取保留位，无法保证读取到的值。

2.0 概述

CN9053是一款集成以太网PHY的2/3端口EtherCAT子设备控制器，每个PHY包含一个支持100 Mbps（100BASE-TX）工作模式的全双工100BASE-TX收发器。CN9053支持HP Auto-MDIX，可使用直连或交叉线缆连接。

CN9053包括一个EtherCAT子设备控制器，该控制器配有8 KB双端口存储器（DPRAM）和8个现场总线存储器管理单元（FMMU）。每个FMMU执行的任务是将逻辑地址映射到物理地址。此外，EtherCAT子设备控制器还配有8个同步管理器，允许EtherCAT主设备与本地应用之间交换数据。每个同步管理器的方向和工作模式由EtherCAT主设备配置。提供两种工作模式：缓冲模式或邮箱模式。在缓冲模式下，本地单片机与EtherCAT主设备可以同时写入器件。CN9053的内部缓冲区将始终包含最新数据。如果在读出旧数据之前有新数据到达，将丢弃旧数据。在邮箱模式下，本地单片机与EtherCAT主设备使用握手机制来访问缓冲区，确保不会丢失任何数据。

CN9053提供EtherCAT直接映射模式，可将EtherCAT寄存器内容插入基址空间。EtherCAT直接映射模式无需命令/数据访问结构，因此可以提高较小数据块的访问速度。

CN9053包含用于连接EEPROM的I²C EEPROM控制器，方便存储和检索静态数据。当器件复位时，内部EEPROM装载器自动将存储在EEPROM中的配置设置装入器件。EEPROM仿真功能可实现无EEPROM操作，但需要额外的软件支持。

对于没有单片机的简单数字模块，CN9053还可工作在数字I/O模式下，通过EtherCAT主设备控制或监视16个数字信号。

利用集成的3.3V转1.2V线性稳压器，可以将CN9053配置为在3.3V单电源下工作。可以选择禁止线性稳压器，从而使用外部稳压器来降低系统功耗。

CN9053可在商业级温度范围内使用。

图2-1：系统框图

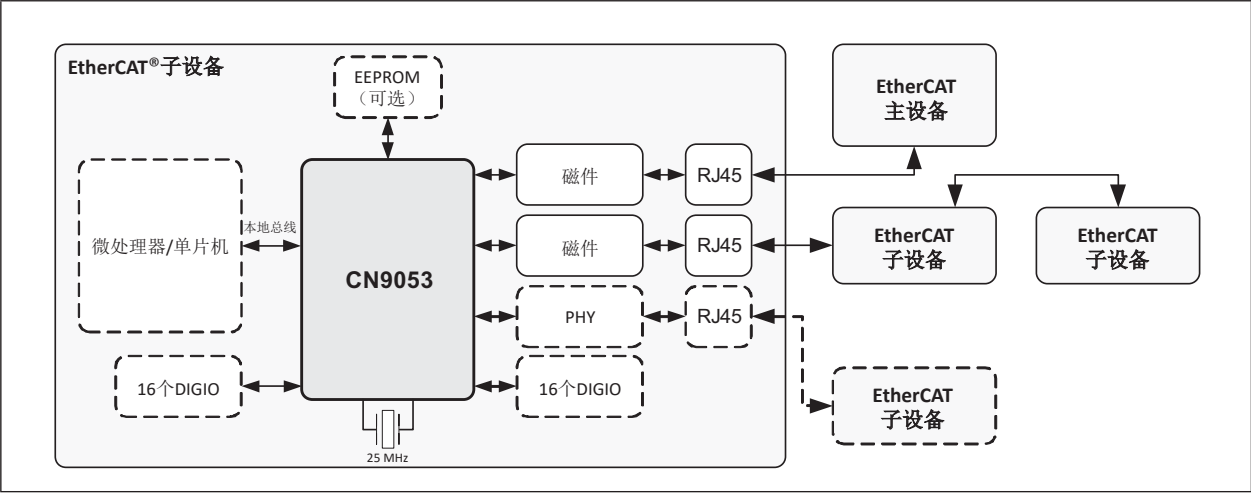
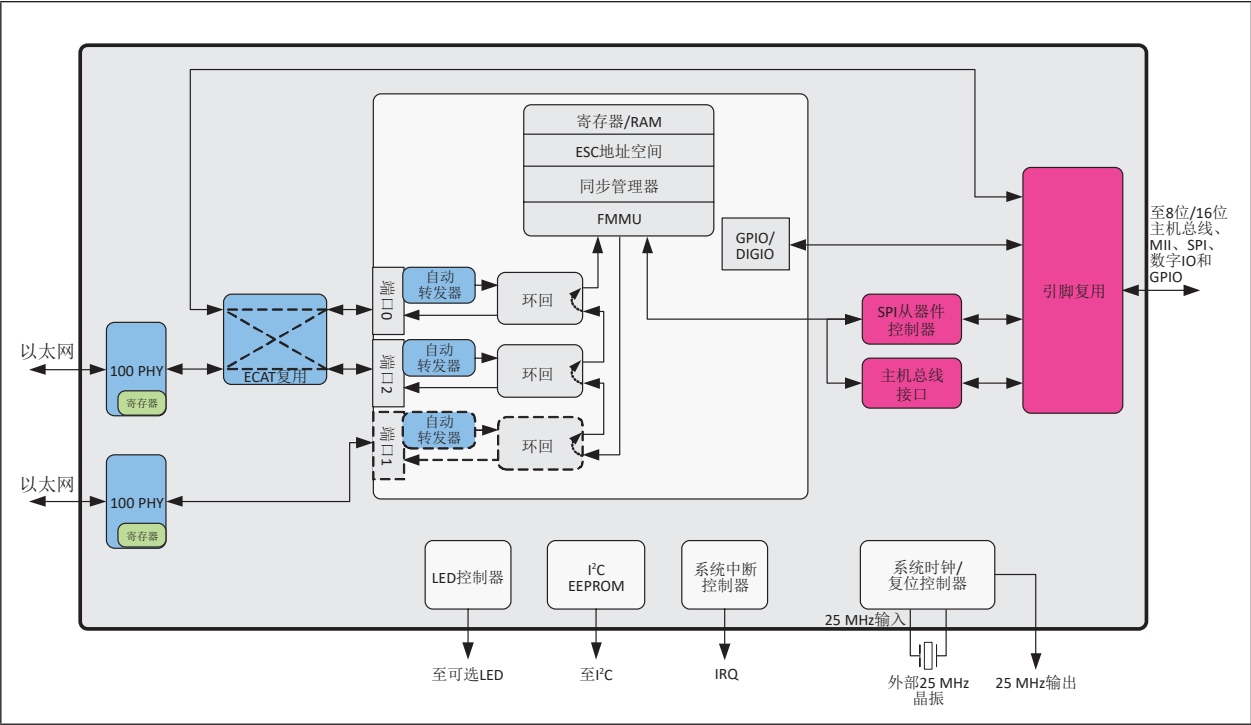


图2-2：内部框图



CN9053可在单片机模式、扩展模式或数字I/O模式下工作：

单片机模式： CN9053通过类SRAM的从接口与单片机通信。凭借简单但功能强大的主机总线接口，可通过8位或16位外部总线与大多数通用8位或16位微处理器和单片机及32位微处理器进行无缝连接。

集成的主机总线接口（Host Bus Interface, HBI）支持大尾数法、小尾数法和混合字节顺序的8位/16位操作。两个过程数据RAM FIFO将HBI与EtherCAT子设备控制器相连，以便在主机CPU和EtherCAT子设备之间传输过程数据信息。器件可通过配置主机中断引脚将任何内部中断通知给主机CPU。

单片机模式下有两种主机总线接口（HBI）选项可供用户选择：

- **变址寄存器访问**

本实现提供3个变址/数据寄存器存储区，每个存储区单独进行字节/字到双字转换。内部寄存器的访问方式是：先写入3个变址寄存器之一，接着读取或写入相应的数据寄存器。3个变址/数据寄存器存储区支持最多3个独立的驱动器线程，不会出现访问冲突。每个线程可写入其分配的变址寄存器，不会出现被其他线程改写的问题。同一32位变址/数据寄存器中需要2个16位周期或4个8位周期，但这些访问可以交错进行。支持对过程数据FIFO进行非变址读写访问。非变址FIFO访问提供单独的字节/字到双字转换，支持对变址/数据寄存器进行交错访问。

- **复用地址/数据总线**

该实现提供复用地址和数据总线，支持单阶段和双阶段地址。地址通过地址选通信号完成装载，随后通过读/写选通信号进行数据访问。访问同一个32位双字需要两个连续的16位数据周期或4个连续的8位数据周期。这些访问必须连续进行，不能交错访问其他寄存器。

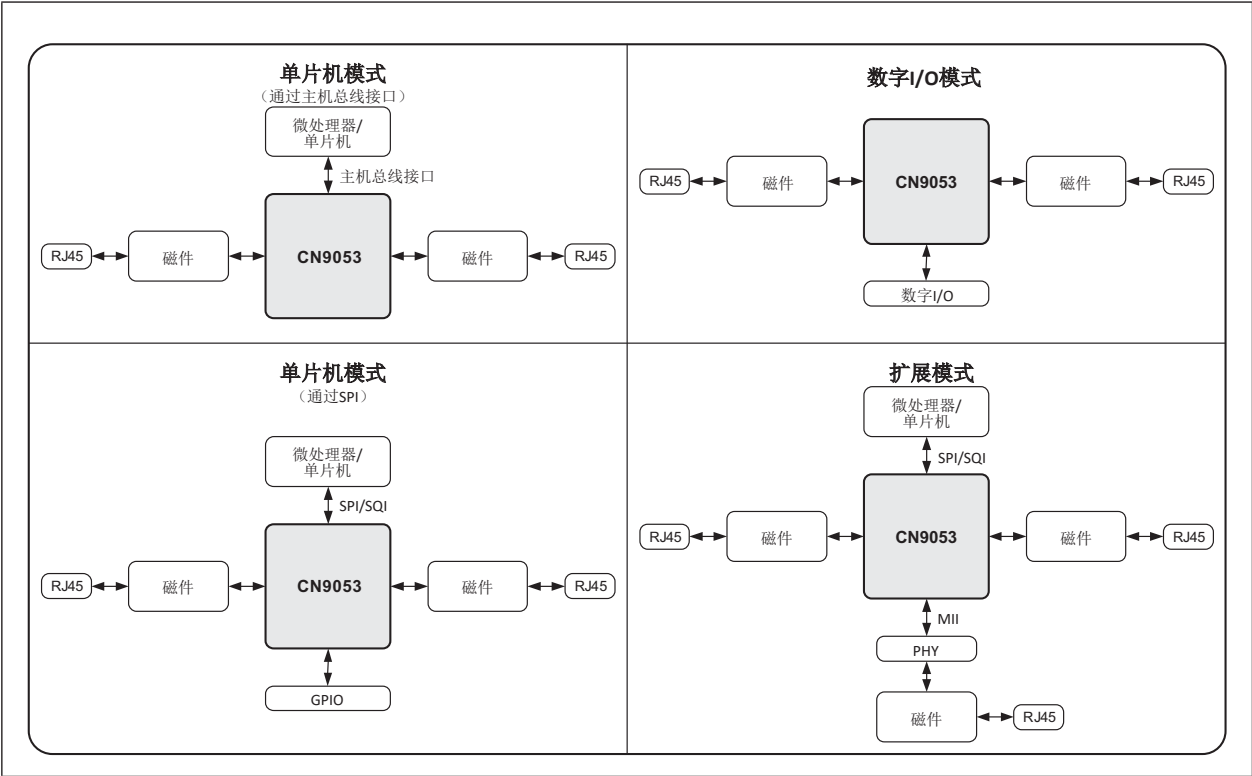
此外，该器件还可通过SPI/SQI进行访问，并提供最多16个通用输入或输出。SPI/SQI（四线SPI）从器件控制器提供低引脚数同步从器件接口，方便器件与主机系统之间进行通信。SPI/SQI从器件可访问系统CSR、内部FIFO和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。此外还支持单个位、双位和四位通道，时钟速率最高为80 MHz。

扩展模式： 当该器件处于SPI/SQI模式时，可使能第三个网络端口来提供额外的MII端口。该端口既可以连接到外部PHY来实现星型或树型网络拓扑，也可以连接到另一个CN9053来构建四端口解决方案。该端口可配置为上行或下行方向。

数字I/O模式： 对于没有单片机的简单数字模块，CN9053可工作在数字I/O模式下，通过EtherCAT主设备控制或监视16个数字信号。此外还提供最多7个控制信号。

图2-3提供了每种工作模式的系统级概览。

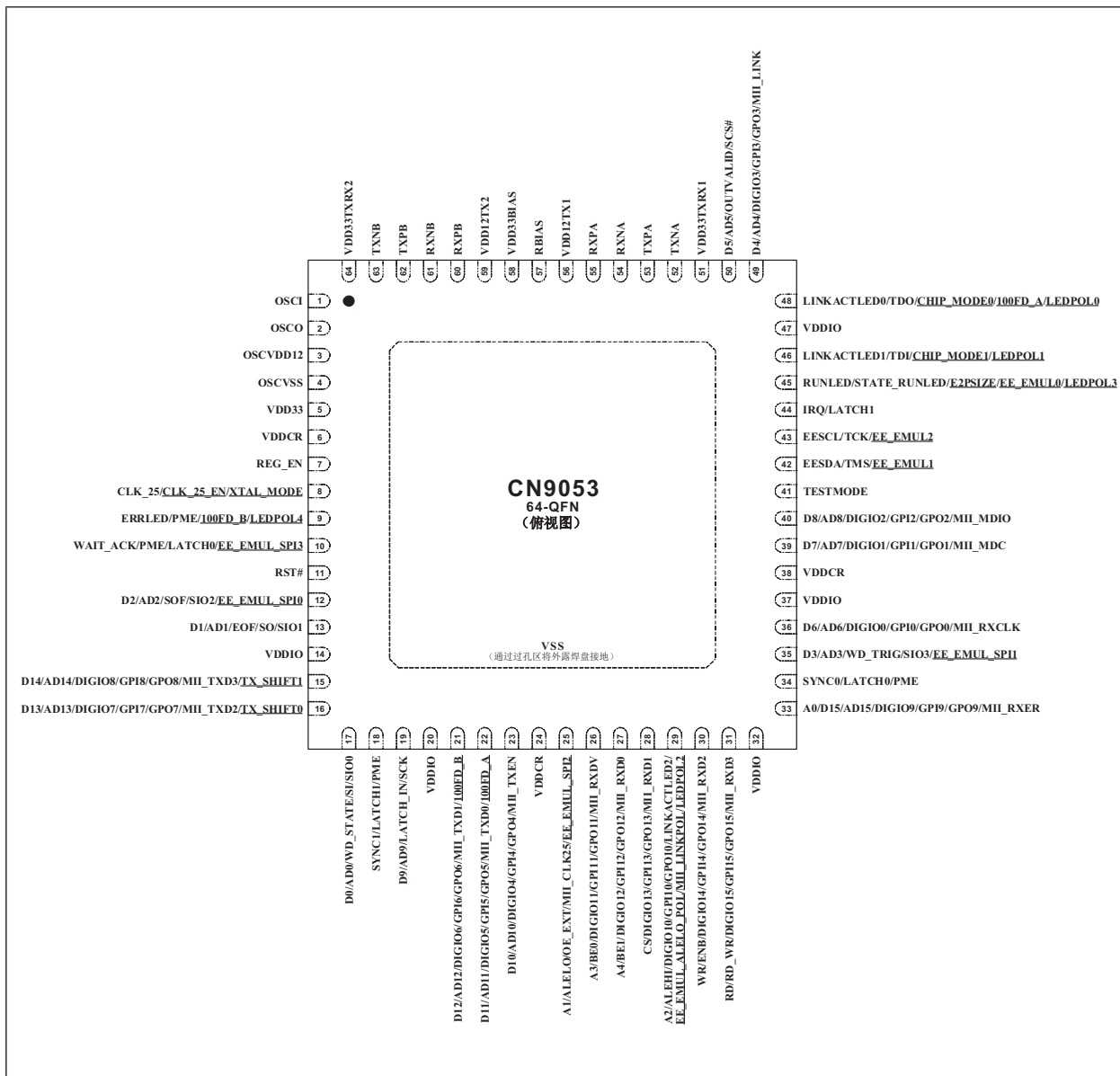
图2-3：工作模式



3.0 引脚说明和配置

3.1 引脚分配

图3-1：引脚分配（俯视图）



注：封装底部的外露焊盘（VSS）必须通过过孔区域连接到地。

注：当信号名称末尾使用“#”时，表示该信号低电平有效。例如，RST#表示该复位信号低电平有效。

配置脚由带下划线的符号名称标识。更多信息，请参见第3.3节“配置脚”（第35页）。

第3.2节“引脚说明”中引脚说明表的“缓冲器类型”列给出了每个信号的缓冲器类型。第1.2节“缓冲器类型”提供了缓冲器类型的说明。

表3-1以表格形式详细介绍了引脚分配。从表中可以看出，所选引脚的功能会随着器件工作模式的不同而变化。如果某个模式中特定引脚没有功能，对应的表格单元格将标记为“-”。

表3-1: 引脚分配

引脚 编号	HBI变址寻址模式 引脚名称	HBI复用模式 引脚名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称	数字I/O模式 引脚名称
1	OSCI				
2	OSCO				
3	OSCVDD12				
4	OSCVSS				
5	VDD33				
6	VDDCR				
7	REG_EN				
8	CLK_25/CLK_25_EN/XTAL_MODE				
9	ERRLED/PME/100FD_B/LEDPOL4			ERRLED/PME/ LEDPOL4	ERRLED/ 100FD_B/ LEDPOL4
10	WAIT_ACK/PME		WAIT_ACK/PME/EE_EMUL_SPI3		LATCH0
11	RST#				
12	D2	AD2	SIO2/EE_EMUL_SPI0		SOF
13	D1	AD1	SO/SIO1		EOF
14	VDDIO				
15	D14	AD14	GPI8/GPO8	MII_TXD3/ TX_SHIFT1	DIGIO8
16	D13	AD13	GPI7/GPO7	MII_TXD2/ TX_SHIFT0	DIGIO7
17	D0	AD0	SI/SIO0		WD_STATE
18	SYNC1/LATCH1/PME				SYNC1/LATCH1
19	D9	AD9	SCK		LATCH_IN
20	VDDIO				
21	D12	AD12	GPI6/GPO6	MII_TXD1/ 100FD_B	DIGIO6
22	D11	AD11	GPI5/GPO5	MII_TXD0/ 100FD_A	DIGIO5
23	D10	AD10	GPI4/GPO4	MII_TXEN	DIGIO4
24	VDDCR				
25	A1	ALELO	-	MII_CLK25/ EE_EMUL_SPI2	OE_EXT
26	A3	BE0	GPI11/GPO11	MII_RXDV	DIGIO11
27	A4	BE1	GPI12/GPO12	MII_RXD0	DIGIO12
28	CS		GPI13/GPO13	MII_RXD1	DIGIO13

表3-1: 引脚分配 (续)

引脚 编号	HBI变址寻址模式 引脚名称	HBI复用模式 引脚名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称	数字I/O模式 引脚名称
29	A2	ALEHI/ <u>EE_EMUL_ALEL</u> <u>O_POL</u>	GPI10/GPO10	LINKACTLED2/ <u>MII_LINKPOL/</u> <u>LEDPOL2</u>	DIGIO10
30	WR/ENB		GPI14/GPO14	MII_RXD2	DIGIO14
31	RD/RD_WR		GPI15/GPO15	MII_RXD3	DIGIO15
32	VDDIO				
33	A0/D15	AD15	GPI9/GPO9	MII_RXER	DIGIO9
34	SYNC0/LATCH0/PME				SYNC0/LATCH0
35	D3	AD3	SIO3/ <u>EE_EMUL_SPI1</u>		WD_TRIG
36	D6	AD6	GPI0/GPO0	MII_RXCLK	DIGIO0
37	VDDIO				
38	VDDCR				
39	D7	AD7	GPI1/GPO1	MII_MDC	DIGIO1
40	D8	AD8	GPI2/GPO2	MII_MDIO	DIGIO2
41	TESTMODE				
42	EESDA/TMS/ <u>EE_EMUL1</u>				EESDA/TMS
43	EESCL/TCK/ <u>EE_EMUL2</u>				EESCL/TCK
44	IRQ				LATCH1
45	RUNLED/STATE_RUNLED/ <u>E2PSIZE/EE_EMUL0/LEDPOL3</u>				RUNLED/ STATE_RUN- LED/ <u>E2PSIZE/</u> <u>LEDPOL3</u>
46	LINKACTLED1/TDI/ <u>CHIP_MODE1/LEDPOL1</u>				
47	VDDIO				
48	LINKACTLED0/TDO/CHIP_MODE0/100FD_A/ LEDPOL0			LINKACTLED0/ TDO/ <u>CHIP_MODE0/</u> <u>LEDPOL0</u>	LINKACTLED0/ TDO/ <u>CHIP_MODE0/</u> <u>100FD_A/</u> <u>LEDPOL0</u>
49	D4	AD4	GPI3/GPO3	MII_LINK	DIGIO3
50	D5	AD5	SCS#		OUTVALID
51	VDD33TXRX1				
52	TXNA				
53	TXPA				
54	RXNA				
55	RXPA				
56	VDD12TX1				
57	RBIAS				
58	VDD33BIAS				

表3-1: 引脚分配 (续)

引脚 编号	HBI变址寻址模式 引脚名称	HBI复用模式 引脚名称	SPI (使能GPIO) 模式引脚名称	SPI (使能MII) 模式引脚名称	数字I/O模式 引脚名称
59	VDD12TX2				
60	RXPB				
61	RXNB				
62	TXPB				
63	TXNB				
64	VDD33TXRX2				
外露焊盘	VSS				

3.2 引脚说明

本节包含CN9053各个引脚的说明。引脚说明已划分为如下各个功能组：

- LAN端口A引脚
- LAN端口B引脚
- LAN端口A和端口B的电源和通用引脚
- EtherCAT MII端口和配置脚
- 主机总线引脚
- SPI/SQI引脚
- EtherCAT分布式时钟引脚
- EtherCAT数字I/O和GPIO引脚
- EEPROM引脚
- LED和配置脚
- 其他引脚
- JTAG引脚
- 内核和I/O电源与接地引脚

注： 表3-1详细说明了本节所述功能在物理器件引脚上的映射关系。并非所有工作模式都会用到全部功能。

表3-2: LAN端口A引脚

引脚编号	名称	符号	缓冲器类型	说明
1	端口A TP TX/ RX正通道1	TXPA	AIO	端口A双绞线发送/接收正通道1。请参见注3-1。
1	端口A TP TX/ RX负通道1	TXNA	AIO	端口A双绞线发送/接收负通道1。请参见注3-1。
1	端口A TP TX/ RX正通道2	RXPA	AIO	端口A双绞线发送/接收正通道2。请参见注3-1。
1	端口A TP TX/ RX负通道2	RXNA	AIO	端口A双绞线发送/接收负通道2。请参见注3-1。

注3-1 通道1与通道2一个用作发送对，一个用作接收对。双绞线引脚的引脚名称符号适用于正常连接。如果使能了Auto-MDIX并且检测到或手动选择了反向连接，则RX和TX引脚将在内部交换。

注: 端口A连接到EtherCAT端口0或2。

表3-3: LAN端口B引脚

引脚编号	名称	符号	缓冲器类型	说明
1	端口B TP TX/ RX正通道1	TXPB	AIO	端口B双绞线发送/接收正通道1。请参见注3-2。
1	端口B TP TX/ RX负通道1	TXNB	AIO	端口B双绞线发送/接收负通道1。请参见注3-2。
1	端口B TP TX/ RX正通道2	RXPB	AIO	端口B双绞线发送/接收正通道2。请参见注3-2。
1	端口B TP TX/ RX负通道2	RXNB	AIO	端口B双绞线发送/接收负通道2。请参见注3-2。

注3-2 通道1与通道2一个用作发送对，一个用作接收对。双绞线引脚的引脚名称符号适用于正常连接。如果使能了Auto-MDIX并且检测到或手动选择了反向连接，则RX和TX引脚将在内部交换。

注: 端口B连接至EtherCAT端口1。

表3-4: LAN端口A和端口B的电源和通用引脚

引脚 编号	名称	符号	缓冲器 类型	说明
1	偏置参考	RBIAS	AI	用于内部偏置电路。连接至外部12.1 kΩ、1%精度的电阻（接地）。 有关连接信息，请参见器件的参考原理图。 注： 标称电压为1.2V，电阻将消耗约1 mW的功率。
1	+3.3V端口A 模拟电源	VDD33TXRX1	P	请参见注3-3。
1	+3.3V端口B 模拟电源	VDD33TXRX2	P	请参见注3-3。
1	+3.3V偏置电源	VDD33BIAS	P	请参见注3-3。
1	端口A发送器 +1.2V电源	VDD12TX1	P	该引脚由VDDCR电源供电，该电源可来自外部或内部稳压器。该引脚必须连接至VDD12TX2引脚，才能正常工作。 请参见注3-3。
1	端口B发送器 +1.2V电源	VDD12TX2	P	该引脚由VDDCR电源供电，该电源可来自外部或内部稳压器。该引脚必须连接至VDD12TX1引脚，才能正常工作。 请参见注3-3。

注3-3 有关连接的更多信息，请参见数据手册的“电源连接”部分、器件参考原理图以及器件LANCheck原理图检查清单。

表3-5: EtherCAT® MII端口和配置脚

引脚编号	名称	符号	缓冲器类型	说明
1	25 MHz时钟	MII_CLK25	VO12 注3-4	该引脚是自由运行的25 MHz时钟，可用作PHY的时钟输入。
	EEPROM仿真SPI配置脚2	EE_EMUL_SPI2 注3-5	VIS (PD)	该配置脚与 EE_EMUL_SPI0 、 EE_EMUL_SPI1 和 EE_EMUL_SPI3 共同配置EEPROM仿真模式期间Beckhoff SPI接口的操作。 EE_EMUL_SPI2 配置SCS#极性。 0 : SCS#低电平有效 1 : SCS#高电平有效
4	接收数据MII端口	MII_RXD[3:0]	VIS (PD)	这些引脚从外部PHY接收数据。
1	接收数据有效MII端口	MII_RXDV	VIS (PD)	该引脚从外部PHY接收数据有效信号。
1	接收错误MII端口	MII_RXER	VIS (PD)	该引脚从外部PHY接收错误信号。
1	接收时钟MII端口	MII_RXCLK	VIS (PD)	该引脚从外部PHY接收时钟。

表3-5: EtherCAT® MII端口和配置脚 (续)

引脚编号	名称	符号	缓冲器类型	说明
4	发送数据MII端口	MII_TXD[3:0]	VO8	这些引脚向外部PHY发送数据。
	MII发送时序移位配置脚	<u>TX_SHIFT[1:0]</u> 注3-5	VIS (PU) 注3-6	这些配置脚配置外部MII总线发送时序的值。 <u>TX_SHIFT1</u> 在MII_TXD3引脚上, <u>TX_SHIFT0</u> 在MII_TXD2引脚上。 <u>TX_SHIFT[1:0]</u> 00: 20 ns 01: 30 ns 10: 0 ns 11: 10 ns
	100 Mbps全双工配置脚B	<u>100FD_B</u> 注3-5	VIS (PD) 注3-6	对于3端口模式 (由 <u>CHIP_MODE1</u> 选择), 该配置脚配置 硬件配置寄存器 (HW_CFG) 中ANEG禁止PHY B和AMDIX禁止PHY B位域的默认值, 并默认将PHY设置为固定100 Mbps全双工操作。 0: 默认使能自动协商和AMDIX 1: 默认禁止自动协商和AMDIX (固定100 Mbps全双工) <u>100FD_B</u> 在MII_TXD1引脚上。 注: 在2端口模式下, 该配置脚在ERRLED引脚上。
	100 Mbps全双工配置脚A	<u>100FD_A</u> 注3-5	VIS (PD) 注3-6	对于3端口模式 (由 <u>CHIP_MODE1</u> 选择), 该配置脚配置 硬件配置寄存器 (HW_CFG) 中ANEG禁止PHY A和AMDIX禁止PHY A位域的默认值, 并默认将PHY设置为固定100 Mbps全双工操作。 0: 默认使能自动协商和AMDIX 1: 默认禁止自动协商和AMDIX (固定100 Mbps全双工) <u>100FD_A</u> 在MII_TXD0引脚上。 注: 在2端口模式下, 该配置脚在LINKACTLED0引脚上。
1	发送数据使能MII端口	MII_TXEN	VO8	该引脚向外部PHY发送数据使能信号。

表3-5: EtherCAT® MII端口和配置脚 (续)

引脚编号	名称	符号	缓冲器类型	说明
1	链路状态MII端口	MIILINK	VIS	该引脚由PHY提供，指示已建立100 Mbps全双工链路。极性可由 MIILINKPOL 配置脚配置。
1	SMI时钟	MIIMDC	VO8	该引脚是外部PHY的串行管理时钟。
1	SMI数据	MIIMDIO	VIS/ VO8	该引脚是外部PHY的串行管理接口数据输入/输出。 注： 需要外部上拉来确保MDIO信号的非驱动状态为逻辑1。

注3-4 建议使用串联终端电阻来实现最佳PCB信号完整性。

注3-5 配置脚通过带下划线的符号名称标识。配置脚值在上电复位、EtherCAT复位或**RST#**置为无效时锁存。更多信息，请参见第3.3节“配置脚”（第35页）。

注3-6 可能需要外接上拉或下拉，具体取决于外部MAC/PHY器件的输入电流负载。

表3-6: 主机总线引脚

引脚编号	名称	符号	缓冲器类型	说明
1	读	RD	VIS	该引脚是主机总线读选通引脚。 通常为低电平有效，极性可通过配置寄存器设置进行更改。
	读或写	RD_WR	VIS	该引脚是主机总线方向控制引脚。与 ENB 引脚配合使用时，它指示读或写操作。 正常极性是为1时读取，为0时写入（R/nW），但可通过配置寄存器设置进行更改。
1	写	WR	VIS	该引脚是主机总线写选通引脚。 通常为低电平有效，极性可通过配置寄存器设置进行更改。
	使能	ENB	VIS	该引脚是主机总线数据使能选通引脚。与 RD_WR 引脚配合使用时，它指示数据工作阶段。 通常为低电平有效，极性可通过配置寄存器设置进行更改。
1	片选	CS	VIS	该引脚是主机总线片选引脚，指示当前选择该器件进行传输。 通常为低电平有效，极性可通过配置寄存器设置进行更改。

表3-6: 主机总线引脚 (续)

引脚 编号	名称	符号	缓冲器 类型	说明
2	字节使能	BE1 BE0	VIS (PD)	在16位数据模式下，这些引脚指示要写入或读取的字节。 在8位数据模式下，不使用这些引脚。 这些引脚仅在复用模式下可用。 通常为低电平有效，极性可通过配置寄存器设置进行更改。 注： 下拉电阻将这些引脚在未驱动时的状态保持为有效，使得未驱动这些信号的旧PCB设计仍可正常工作于16位总线周期。
5	地址	A[4:0]	VIS	这些引脚为变址寻址模式提供地址。 在16位数据模式下，不使用bit 0。地址bit 0与数据bit 15共用。
16	数据	D[15:0]	VIS/ VO8	这些引脚是非复用地址模式的主机总线数据总线。 在8位数据模式下，不使用bit 15-8，并禁止其输入和输出驱动器。 地址bit 0与数据bit 15共用。
	地址和数据	AD[15:0]	VIS/ VO8	这些引脚是复用地址模式的主机总线地址/数据总线。 Bit 15-8为单阶段复用地址模式提供地址的高字节。 Bit 7-0为单阶段复用地址模式提供地址的低字节，为双阶段复用地址模式提供地址的高字节和低字节。 在8位数据双阶段复用地址模式下，不使用bit 15-8，并禁止其输入和输出驱动器。

表3-6: 主机总线引脚（续）

引脚 编号	名称	符号	缓冲器 类型	说明
1	地址锁存器 使能高字节	ALEHI	VIS	该引脚指示复用地址模式的地址阶段。在双阶段复用地址模式下用于装载地址高字节。 通常为低电平有效（在上升沿保存地址），极性可通过配置寄存器设置进行更改。
	EEPROM仿真 ALELO极性 配置脚0	<u>EE_EMUL</u> <u>ALELO_POL</u> 注3-7	VIS (PU)	在EEPROM仿真模式下，如果默认的PDI选择设置为HBI复用1阶段，则在装载EEPROM配置数据之前，可使用该配置脚来设置HBI ALE极性。
1	地址锁存器使 能低字节	ALELO	VIS	该引脚指示复用地址模式的地址阶段。在单阶段复用地址模式下用于装载地址高字节和低字节，在双阶段复用地址模式下用于装载地址低字节。 通常为低电平有效（在上升沿保存地址），极性可通过配置寄存器设置进行更改。
1	等待/应答	WAIT_ACK	VO8/ VOD8	该引脚指示何时可以结束主机总线周期。 当未选择该器件时，该引脚处于三态。 通常为推挽式，缓冲器类型可通过配置寄存器设置更改为漏极开路。 通常为低电平有效（指示等待，用于推挽式工作模式），极性可通过配置寄存器设置进行更改。 当两个位均为低电平时，该引脚被禁止。

注3-7 配置脚通过带下划线的符号名称标识。配置脚值在上电复位、EtherCAT复位或RST#置为无效时锁存。更多信息，请参见[第3.3节“配置脚”（第35页）](#)。

表3-7: SPI/SQI引脚

引脚 编号	名称	符号	缓冲器 类型	说明
1	SPI/SQI从片选	SCS#	VIS (PU)	该引脚是SPI/SQI从片选输入。低电平时, 选择SPI/ SQI从器件进行SPI/SQI传输。高电平时, SPI/SQI串行 数据输出为三态。 使用Beckhoff SPI接口时, 该信号的极性通过内部寄 存器控制。
1	SPI/SQI从串行 时钟	SCK	VIS (PU)	该引脚是SPI/SQI从串行时钟输入。
4	SPI/SQI从串行 数据输入/输出	SIO[3:0]	VIS/ VO8 (PU)	这些引脚是多位I/O的SPI/SQI从数据输入和输出。
	SPI从串行数据 输入	SI	VIS (PU)	该引脚是SPI从串行数据输入。SI与SIO0共用。
	SPI从串行数据 输出	SO	VO8 (PU) 注3-8	该引脚是SPI从串行数据输出。SO与SIO1共用。
	EEPROM 仿真SPI配置 配置脚1	<u>EE_EMUL_SPI1</u> 注3-9	VIS (PU)	该配置脚与 <u>EE_EMUL_SPI0</u> 、 <u>EE_EMUL_SPI2</u> 和 <u>EE_EMUL_SPI3</u> 共同配置EEPROM仿真模式期间 Beckhoff SPI接口的操作。 <u>EE_EMUL_SPI[1:0]</u> 配置SPI模式。 <u>EE_EMUL_SPI1</u> 在SIO3引脚上。 <u>EE_EMUL_SPI[1:0]</u> 00: SPI模式0 01: SPI模式1 10: SPI模式2 11: SPI模式3
	EEPROM 仿真SPI配置 配置脚0	<u>EE_EMUL_SPI0</u> 注3-9	VIS (PU)	该配置脚与 <u>EE_EMUL_SPI1</u> 、 <u>EE_EMUL_SPI2</u> 和 <u>EE_EMUL_SPI3</u> 共同配置EEPROM仿真模式期间 Beckhoff SPI接口的操作。 <u>EE_EMUL_SPI[1:0]</u> 配置SPI模式。有关详细信息, 请参见 <u>EE_EMUL_SPI1</u> 引脚说明。 <u>EE_EMUL_SPI0</u> 在SIO2引脚上。

表3-7: SPI/SQI引脚（续）

引脚 编号	名称	符号	缓冲器 类型	说明
1	等待/应答	WAIT_ACK	VO8/ VOD8	该引脚指示何时可以结束主机总线周期。 当未选择该器件时，该引脚处于三态。 通常为推挽式，缓冲器类型可通过配置寄存器设置更改为漏极开路。 通常为低电平有效（指示等待，用于推挽式工作模式），极性可通过配置寄存器设置进行更改。 当两个位均为低电平时，该引脚被禁止。 使用Beckhoff SPI接口时，不使用该引脚并将其禁止。
	EEPROM 仿真SPI 配置脚3	<u>EE_EMUL_SPI3</u> 注3-9	VIS (PD)	该配置脚与 <u>EE_EMUL_SPI0</u> 、 <u>EE_EMUL_SPI1</u> 和 <u>EE_EMUL_SPI2</u> 共同配置EEPROM仿真模式期间Beckhoff SPI接口的操作。 <u>EE_EMUL_SPI3</u> 配置数据输出采样模式。 0: 正常数据输出采样 （在同一个SPI_CLK边沿对SPI_DO和SPI_DI进行采样） 1: 延迟数据输出采样 （在不同的SPI_CLK边沿对SPI_DO和SPI_DI进行采样）

- 注3-8 虽然该引脚是SPI指令的输出，但它包含上拉，因为它实际上是SIO bit 1。
- 注3-9 配置脚通过带下划线的符号名称标识。配置脚值在上电复位、EtherCAT复位或RST#置为无效时锁存。更多信息，请参见第3.3节“配置脚”（第35页）。

表3-8: EtherCAT®分布式时钟引脚

引脚编号	名称	符号	缓冲器类型	说明
2	同步	SYNC1 SYNC0	VO8/ VOD8/ VOS8	这些引脚是分布式时钟同步（输出）信号。 注： 装载EEPROM之前，不驱动这些信号（高阻态）。
2 (见注)	锁存器	LATCH1 LATCH0	VIS	这些引脚是分布式时钟锁存（输入）信号。 注： 通常与 SYNC0/SYNC1 功能共用。在部分器件配置中，当使能 SYNC 功能时，这些信号会映射到备用引脚上。更多信息，请参见第11.2.1节“ SYNC/LATCH 引脚复用”。

表3-9: EtherCAT®数字I/O和GPIO引脚

引脚编号	名称	符号	缓冲器类型	说明
16	通用输入	GPI[15:0]	VIS	这些引脚是通用输入，直接映射到通用输出寄存器。不提供通用输入的一致性。
	通用输出	GPO[15:0]	VO8/ VOD8	这些引脚是通用输出，反映不带看门狗保护时通用输出寄存器的值。 注： 装载EEPROM之前，不驱动这些信号（高阻态）。
16	数字I/O	DIGIO[15:0]	VIS/ VO8	这些引脚为输入/输出或双向数据。 注： 装载EEPROM之前，不驱动这些信号（高阻态）。
1	输出有效	OUTVALID	VO8	该引脚指示输出有效并且可被捕捉到外部寄存器中。 注： 装载EEPROM之前，不驱动该信号（高阻态）。
1	锁存器输入	LATCH_IN	VIS	该引脚是外部数据锁存器信号。输入数据在每次识别到 LATCH_IN 上升沿时进行采样。
1	看门狗触发信号	WD_TRIG	VO8	该引脚是同步管理器看门狗触发信号输出。 注： 装载EEPROM之前，不驱动该信号（高阻态）。
1	看门狗状态	WD_STATE	VO8	该引脚是同步管理器看门狗状态输出。0表示看门狗已超时。 注： 装载EEPROM之前，不驱动该信号（高阻态）。

表3-9: EtherCAT®数字I/O和GPIO引脚（续）

引脚 编号	名称	符号	缓冲器 类型	说明
1	帧起始	SOF	VO8	该引脚是帧起始输出，指示以太网/EtherCAT®帧的起始。 注： 装载EEPROM之前，不驱动该信号（高阻态）。
1	帧结束	EOF	VO8	该引脚是帧结束输出，指示以太网/EtherCAT帧的结束。 注： 装载EEPROM之前，不驱动该信号（高阻态）。
1	输出使能	OE_EXT	VIS	该引脚是输出使能输入。当为低电平时，清除输出数据

表3-10: EEPROM引脚

引脚 编号	名称	符号	缓冲器 类型	说明
1	EEPROM I²C 串行数据输入/ 输出	EESDA	VIS/ VOD8	当器件正访问外部EEPROM时，该引脚是I²C串行数据输入/漏极开路输出。 注： 该引脚必须始终通过外部电阻上拉。
	EEPROM 仿真配置 配置脚1	<u>EE_EMUL1</u> 注3-10	VIS	该配置脚与 <u>EE_EMUL2</u> 共同配置EEPROM仿真硬配置脚的值。任何一项为低电平即使能仿真。 该配置脚与 <u>EE_EMUL0</u> 和 <u>EE_EMUL2</u> 共同配置EEPROM仿真模式下的默认PDI选择。有关详细信息，请参见 <u>EE_EMUL2</u> 引脚说明。

表3-10: EEPROM引脚 (续)

引脚 编号	名称	符号	缓冲器 类型	说明
1	EEPROM I ² C 串行时钟	EESCL	VIS/ VOD8	当器件正访问外部EEPROM时，该引脚是I ² C时钟输入/漏极开路输出。 注： 如果使用EEPROM，该引脚必须始终通过外部电阻上拉。
	EEPROM 仿真配置脚2	EE_EMUL2 注3-10	VIS	该配置脚与 EE_EMUL1 共同配置EEPROM仿真硬配置脚的值。任何一项为低电平即使能仿真。 该配置脚与 EE_EMUL0 和 EE_EMUL1 共同配置EEPROM仿真模式下的默认PDI选择。 EE_EMUL[2:0] 000: SPI 001: HBI变址16位EtherCAT®直接映射模式 010: HBI复用1阶段16位EtherCAT直接映射模式 011: HBI复用2阶段16位EtherCAT直接映射模式 100: SPI EtherCAT直接映射模式 101: Beckhoff SPI模式 110: N/A (使能EEPROM) 111: N/A (使能EEPROM)

注3-10 配置脚通过带下划线的符号名称标识。配置脚值在上电复位、EtherCAT复位或**RST#**置为无效时锁存。更多信息，请参见[第3.3节“配置脚”](#)（第35页）。

表3-11: LED和配置脚

引脚 编号	名称	符号	缓冲器 类型	说明
1	ERR LED	ERRLED	OD12/OS12	该引脚是ERR LED输出，由ESC或本地MCU控制。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及默认极性的默认选择取决于复位时采样的配置脚值。 该引脚通过ASIC配置寄存器（0x0142:0x0143）的bit 14（ERR LED使能）使能为输出。如果低电平有效，则发生EEPROM装载错误时将强制使能该引脚。
	100 Mbps全双工配置脚B	<u>100FD_B</u> / <u>LEDPOL4</u> 注3-12	IS (PD)	对于2端口模式（由CHIP_MODE1选择），该配置脚配置硬件配置寄存器（HW_CFG）中ANEG禁止PHY B和AMDIX禁止PHY B位域的默认值，并默认将PHY设置为固定100 Mbps全双工操作。 0: 默认使能自动协商和AMDIX 1: 默认禁止自动协商和AMDIX（固定100 Mbps全双工） 在3端口模式（由CHIP_MODE1选择）下，该配置脚移至MII_TXD1引脚。 注: 如果使用外部上拉，则应将其连接到VDD33。 注: 如果ERRLED用作PME输出（可能为线或共用信号），必须谨慎考虑配置脚的值。主机软件可能需要通过硬件配置寄存器（HW_CFG）中的AMDIX禁止PHY B位和ANEG禁止PHY B位来修正配置脚结果，并重新配置PHY B。
	LED 4极性配置脚			由于该引脚与配置脚共用，因此ERRLED引脚的默认极性在配置脚装载期间确定。 如果配置脚值为0，由于假定LED若存在即被用作下拉，因此LED默认设置为高电平有效。请参见注3-11。 如果配置脚值为1，由于假定LED至VDD33被用作上拉，因此LED默认设置为低电平有效。

表3-11: LED和配置脚 (续)

引脚 编号	名称	符号	缓冲器 类型	说明
1	RUN LED	RUNLED	VOD12/ VOS12	该引脚是RUN LED输出，由AI状态寄存器控制。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及默认极性的默认选择取决于复位时采样的配置脚值。
	STATE_RUN LED	STATE_ RUNLED	VOD12/ VOS12	该引脚是STATE_RUN LED输出，相当于RUN LED与取反的ERR LED的组合，可用于控制双色RUN/ERR LED的RUN侧。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。 RUN与STATE_RUN之间的选择通过ASIC配置寄存器（0x0142:0x0143）的bit 6（STATE_RUN LED使能）实现。
	EEPROM大小 配置脚	<u>E2PSIZE</u> / <u>EE_EMUL0</u> / <u>LEDPOL3</u> 注3-12	VIS (PU)	该配置脚用于配置EEPROM的大小。 0: 选择1 Kb（128 x 8）至16 Kb（2K x 8）。 1: 32 Kb（4K x 8）至4 Mb（512K x 8）。
	EEPROM仿真 配置脚0			该配置脚与 <u>EE_EMUL1</u> 和 <u>EE_EMUL2</u> 共同配置EEPROM仿真模式下的默认PDI选择。有关详细信息，请参见 <u>EE_EMUL2</u> 引脚说明。
	LED 3极性 配置脚			由于该引脚与配置脚共用，因此RUNLED/STATE_RUNLED引脚的默认极性在配置脚装载期间确定。 如果配置脚值为0，由于假定LED接地被用作下拉，因此LED默认设置为高电平有效。请参见 注3-11 。 如果配置脚值为1，由于假定LED至VDDIO被用作上拉，因此LED默认设置为低电平有效。

表3-11: LED和配置脚 (续)

引脚 编号	名称	符号	缓冲器 类型	说明
1	链路/活动 LED端口2	LINKACTLED2	VOD12/ VOS12	该引脚是端口2的链路/活动LED输出（熄灭 = 无链路； 点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。 该引脚配置为漏极开路/源极开路输出。该引脚的漏 极开路与源极开路以及极性的选择取决于复位时采 样的配置脚值。
	MII端口链路 极性	<u>MII_LINKPOL</u> <u>LEDPOL2</u> 注3-12	VIS (PU)	该配置脚配置 MII_LINK 引脚的极性。 0: MII_LINK 低电平，表示已建立100 Mbps全双工 链路。 1: MII_LINK 高电平，表示已建立100 Mbps全双工 链路。
	LED 2极性 配置脚			由于该引脚与配置脚共用，因此 LINKACTLED2 引 脚的默认极性在配置脚装载期间确定。 如果配置脚值为0，由于假定LED接地被用作下拉， 因此LED默认设置为高电平有效。请参见 注3-11 。 如果配置脚值为1，由于假定LED至 VDDIO 被用作上 拉，因此LED默认设置为低电平有效。

表3-11：LED和配置脚（续）

引脚 编号	名称	符号	缓冲器 类型	说明
1	链路/活动 LED端口1	LINKACTLED1	VOD12/ VOS12	该引脚是端口1的链路/活动LED输出（熄灭 = 无链路； 点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。 该引脚配置为漏极开路/源极开路输出。该引脚的漏 极开路与源极开路以及极性的选择取决于复位时采 样的配置脚值。
	芯片模式 配置脚1	<u>CHIP_MODE1</u> <u>/</u> <u>LEDPOL1</u> 注3-12	VIS (PU)	该配置脚与 <u>CHIP_MODE0</u> 共同配置EtherCAT®芯片 模式的值： <u>CHIP_MODE1[1:0]</u> 0x ：2端口模式。端口0和端口1连接至内部PHY A和 PHY B。 10 ：3端口下行模式。端口0和端口1分别连接到内 部PHY A和PHY B。端口2连接到外部MII引脚。 11 ：3端口上行模式。端口2和端口1分别连接到内 部PHY A和PHY B。端口0连接到外部MII引脚。
	LED 1极性 配置脚			由于该引脚与配置脚共用，因此 LINKACTLED1 引 脚的默认极性在配置脚装载期间确定。 如果配置脚值为0，由于假定LED接地被用作下拉， 因此LED默认设置为高电平有效。请参见 注3-11 。 如果配置脚值为1，由于假定LED至 VDDIO 被用作上 拉，因此LED默认设置为低电平有效。

表3-11: LED和配置脚 (续)

引脚编号	名称	符号	缓冲器类型	说明
1	链路/活动LED端口0	LINKACTLED0	VOD12/ VOS12	该引脚是端口0的链路/活动LED输出（熄灭 = 无链路；点亮 = 有链路但无活动；闪烁 = 有链路且有活动）。 该引脚配置为漏极开路/源极开路输出。该引脚的漏极开路与源极开路以及极性的选择取决于复位时采样的配置脚值。
	芯片模式配置脚0	<u>CHIP_MODE0</u> / <u>100FD_A</u> / <u>LEDPOL0</u> 注3-12	VIS (PU)	该配置脚与 <u>CHIP_MODE1</u> 共同配置芯片模式硬配置脚的值。有关芯片模式配置脚设置的详细信息，请参见 <u>CHIP_MODE1</u> 说明。 注： <u>CHIP_MODE0</u> 在2端口模式下未使用。
	100 Mbps全双工配置脚A			对于2端口模式（由 <u>CHIP_MODE1</u> 选择），该配置脚配置硬件配置寄存器（HW_CFG）中ANEG禁止PHY A和AMDIX禁止PHY A位域的默认值，并默认将PHY设置为固定100 Mbps全双工操作。 0： 默认使能自动协商和AMDIX 1： 默认禁止自动协商和AMDIX（固定100 Mbps全双工） 在3端口模式（由 <u>CHIP_MODE1</u> 选择）下，该配置脚移至 MII_TXD0 引脚。
	LED 0极性配置脚			由于该引脚与配置脚共用，因此 LINKACTLED0 引脚的默认极性在配置脚装载期间确定。 如果配置脚值为0，由于假定LED接地被用作下拉，因此LED默认设置为高电平有效。请参见 注3-11 。 如果配置脚值为1，由于假定LED至 VDDIO 被用作上拉，因此LED默认设置为低电平有效。

注3-11 当使用LED作为下拉配置脚时，需要一个外部补充下拉电阻以确保有效的低电平。

注3-12 配置脚通过带下划线的符号名称标识。配置脚值在上电复位、EtherCAT复位或**RST#**置为无效时锁存。更多信息，请参见[第3.3节“配置脚”](#)（第35页）。

表3-12: 其他引脚

引脚 编号	名称	符号	缓冲器 类型	说明
1	中断输出	IRQ	VO8/ VOD8	中断请求输出。该信号的极性、来源和缓冲器类型可通过配置寄存器设置进行配置。
0 (见注)	功耗管理事件 输出	PME	VO8/ VOD8 O8/ OD8 (见注)	经过相应的编程后，检测到唤醒事件时会将该信号置为有效。该信号的极性和缓冲器类型可通过内部寄存器配置。 有关功耗管理功能的更多信息，请参见“功耗管理”一节。 注： 选择使能后，该引脚可通过内部寄存器映射到其他几个引脚上。 注： 当映射到ERRLED引脚时，该信号位于VDD33电压域且缓冲器类型为O8/OD8。 注： 当映射到ERRLED引脚时，如果发生EEPROM装载错误，则会强制使能ERRLED功能，并且可能会发生错误的PME事件。
1	系统复位输入	RST#	VIS/ VOD8 (PU)	作为输入时，该低电平有效信号允许外部硬件复位器件。该器件还包含内部上电复位电路。因此，如果无需外部硬件复位，则可将该信号保持未连接状态。使用该信号时，必须遵循“工作特性”部分中详细介绍的复位时序要求。 作为输出时，该信号在POR或响应来自主设备控制器或主机接口的EtherCAT®复位命令序列期间被驱动为低电平。
1	稳压器使能	REG_EN	AI	当连接3.3V电压时，将使能内部1.2V稳压器。
1	测试模式选择	TESTMODE	VIS (PD)	该引脚必须连接至VSS，才能正常工作。
1	晶振输入	OSCI	ICLK	外部25 MHz晶振输入。该引脚也可由单端时钟振荡器驱动。如果采用这种方法，OSCO应保持未连接状态。 注： 在使用先前器件的CLK_25作为输入时钟源的时钟菊花链配置中，该引脚应通过XTAL_MODE配置脚输入设置为施密特触发器输入模式。

表3-12：其他引脚（续）

引脚 编号	名称	符号	缓冲器 类型	说明
1	晶振输出	OSCO	OCLK	外部25 MHz晶振输出。
1	晶振时钟输出	CLK_25	O8	25 MHz晶振输出。
	晶振时钟输出使能配置脚	<u>CLK_25_EN</u> 注3-14	AI (见注)	该多直流电压配置脚用于使能 CLK_25 输出，并在 OSCI 引脚上选择晶振放大器操作或施密特触发器输入。 低于0.8V的电压将禁止 CLK_25 输出并选择晶振放大器。 1.5V的电压将使能 CLK_25 输出并选择晶振放大器。 高于2.2V的电压将使能 CLK_25 输出并选择施密特触发器输入。 注： 如果该引脚在配置脚装载期间悬空，则将偏置至 VDD33/2 。无需外部分压器。 如果使用外部上拉将该引脚设置为高于2.2V，则应将其连接到 VDD33 。 可使用外部下拉或通过连接到 VSS 将该引脚设置为低于0.8V。
	晶振时钟输入模式配置脚	<u>XTAL_MODE</u> 注3-14		
1	晶振+1.2V电源	OSCVDD12	P	除非通过 REG_EN 引脚配置为稳压器关闭模式，否则通过片上稳压器供电。请参见注3-13。
1	晶振地	OSCVSS	P	晶振地。

注3-13 有关连接的更多信息，请参见“电源连接”部分、器件参考原理图以及器件LANCheck原理图检查清单。

注3-14 配置脚通过带下划线的符号名称标识。配置脚值在上电复位、EtherCAT复位或**RST#**置为无效时锁存。更多信息，请参见第3.3节“配置脚”（第35页）。

表3-13: JTAG引脚

引脚编号	名称	符号	缓冲器类型	说明
1	JTAG测试多路开关选择	TMS	VIS	JTAG测试模式选择。
1	JTAG测试时钟	TCK	VIS	JTAG测试时钟。
1	JTAG测试数据输入	TDI	VIS	JTAG数据输入。
1	JTAG测试数据输出	TDO	VO12	JTAG数据输出。

表3-14: 内核和I/O电源与接地引脚

引脚编号	名称	符号	缓冲器类型	说明
1	稳压器 +3.3V电源	VDD33	P	内部稳压器+3.3V电源。 注: 即使禁止内部稳压器, 也必须向该引脚提供+3.3V。 请参见 注3-15 。
5	+1.8V至+3.3V 可变I/O电源	VDDIO	P	+1.8V至+3.3V可变I/O电源。 请参见 注3-15 。
3	+1.2V数字内核 电源	VDDCR	P	除非通过 REG_EN 引脚配置为稳压器关闭模式, 否则通过片上稳压器供电。 应在引脚6 (稳压器输出引脚) 上使用并联接地的1 μ F和470 pF去耦电容。 请参见 注3-15 。
1	地	VSS	P	公共接地端。此外露焊盘必须通过过孔阵列连接到地平面。 注: 晶振具有自己的接地引脚 OSCVSS 。

注3-15 有关连接的更多信息, 请参见“电源连接”部分、器件参考原理图以及器件LANCheck原理图检查清单。

3.3 配置脚

通过配置脚，可将器件的各种功能自动配置为用户定义的值。配置脚在上电复位（Power-On Reset, POR）、EtherCAT复位或引脚复位（**RST#**）时锁存。配置脚由带下划线的符号名称标识，并在[第3.2节“引脚说明”（第14页）](#)中定义。

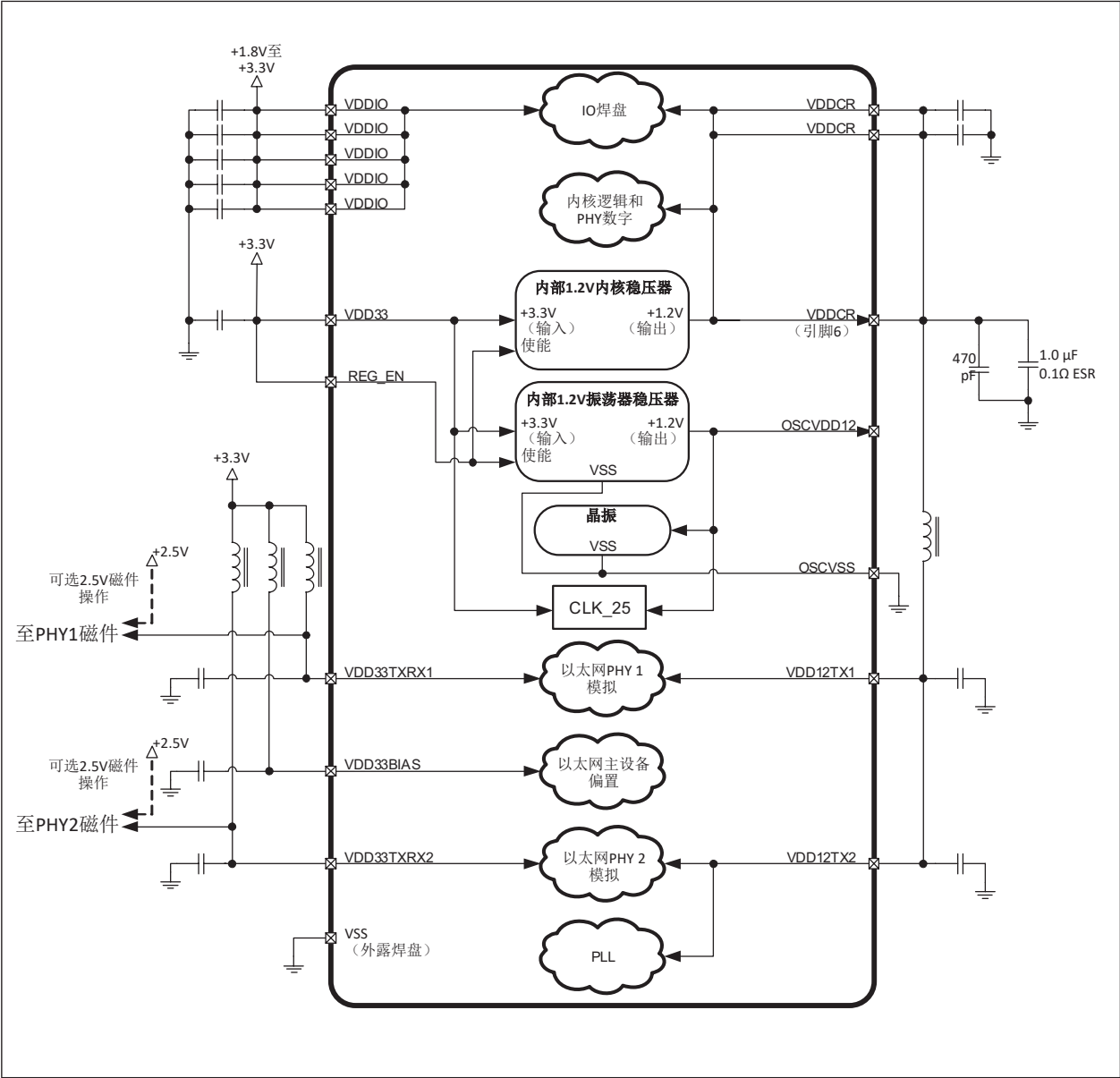
配置脚具有内部电阻，用于防止信号在未连接时悬空。如果特定配置脚与负载相连，则应使用外部上拉或下拉电阻来增大内部电阻，以确保内部电阻在锁存前达到所需电压。也可通过添加外部电阻来改变内部电阻。

注： 系统设计人员必须保证配置脚符合[第17.6.3节“复位和配置脚时序”](#)中指定的时序要求。如果配置脚锁存之前未处于正确的电压值，则器件可能会捕捉到不正确的配置脚值。

4.0 电源连接

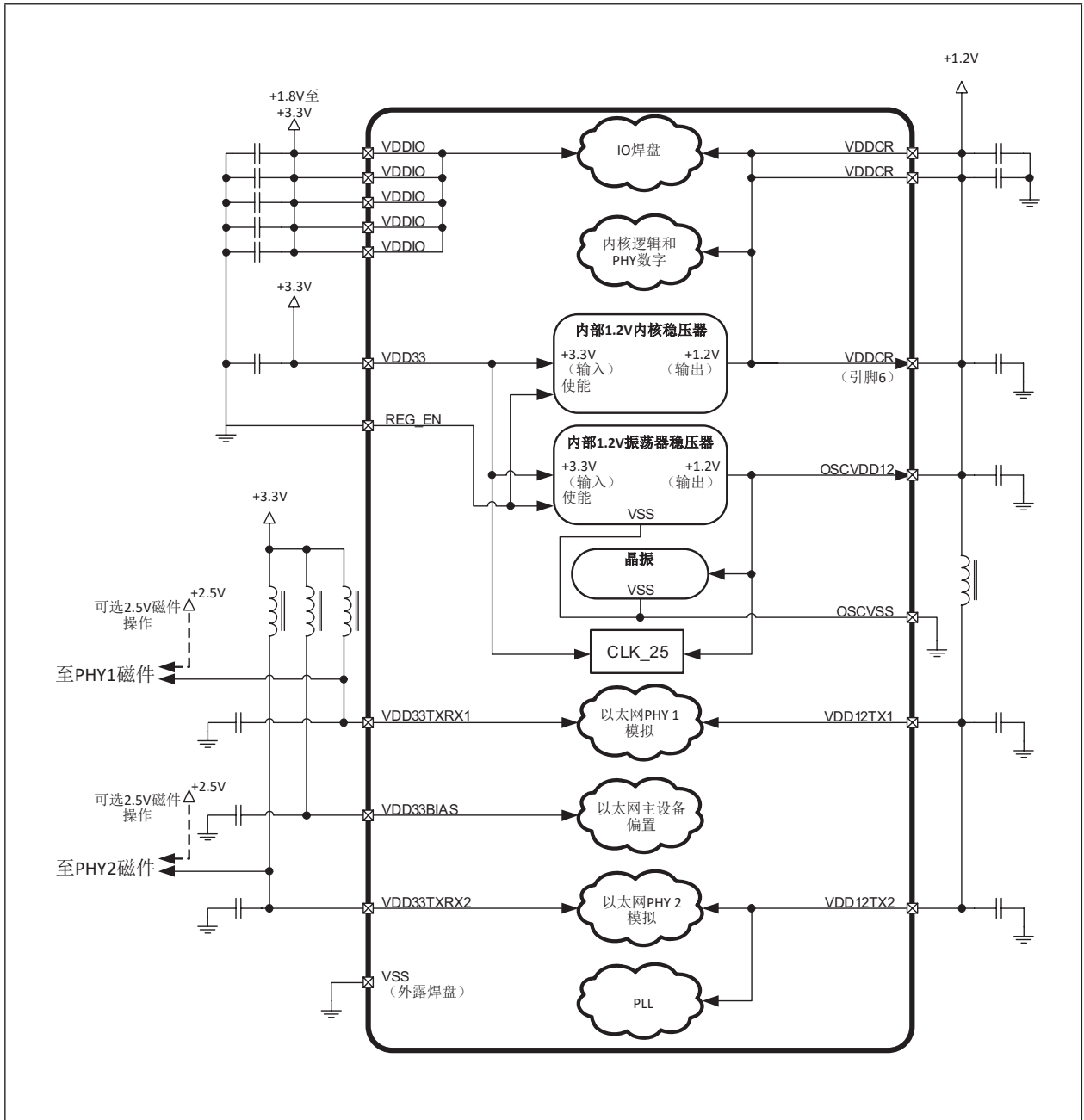
图4-1和图4-2分别给出了使能和禁止稳压器时的器件电源连接。更多信息，请参见器件参考原理图以及器件LANCheck原理图检查清单。第4.1节提供了有关器件内部稳压器的更多信息。

图4-1：禁止稳压器时的电源连接



注： PCB需要旁路电容和大容量电容

图4-2：禁止稳压器时的电源连接



注： PCB需要旁路电容和大容量电容

4.1 内部稳压器

器件包含两个内部1.2V稳压器：

- 1.2V内核稳压器
- 1.2V晶振稳压器

4.1.1 1.2V内核稳压器

内核稳压器为主要内核数字逻辑、I/O焊盘和PHY的数字逻辑提供1.2V电压，可用于通过外部连接为PHY模拟部分提供1.2V电源。

当REG_EN输入引脚连接至3.3V时，内核稳压器将使能并在VDD33引脚上获得3.3V电压。必须将一个1.0 μ F 0.1 Ω ESR电容连接至与稳压器关联的VDDCR引脚。

当REG_EN输入引脚连接至VSS时，将禁止内核稳压器。但是，必须仍为VDD33引脚提供3.3V电压。随后，必须从外部为VDDCR引脚输入1.2V内核电压。

4.1.2 1.2V晶振稳压器

晶振稳压器为晶振和CLK_25引脚提供1.2V电压。当REG_EN输入引脚连接至3.3V时，晶振稳压器将使能并在VDD33引脚上获得3.3V电压。无需外部电容。

当REG_EN输入引脚连接至VSS时，将禁止晶振稳压器。但是，必须仍为VDD33引脚提供3.3V电压。随后，必须从外部为OSCVDD12引脚输入1.2V晶振电压。

5.0 寄存器映射

本章将详细介绍器件寄存器映射并汇总各种可直接寻址的系统控制和状态寄存器（Control and Status Register, CSR）。有关系统CSR的详细说明，请参见与其功能对应的各个章节。器件的各个子模块中提供了更多可间接寻址的寄存器。这些寄存器的相应章节也提供了详细说明。

可直接寻址的寄存器

- 第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）
- EtherCAT直接映射模式下的EtherCAT内核控制和状态寄存器以及过程RAM
- 第5.1节“系统控制和状态寄存器”（第41页）

可间接寻址的寄存器

- 第10.2.18节“PHY寄存器”（第175页）
- 第11.16节“EtherCAT内核CSR寄存器（可间接寻址）”（第264页）

图5-1给出了器件的基础寄存器存储器映射的总览图。该存储器映射图未按比例绘制，仅用于一般参考。表5-1提供了所有可直接寻址的CSR及其相应地址的汇总。

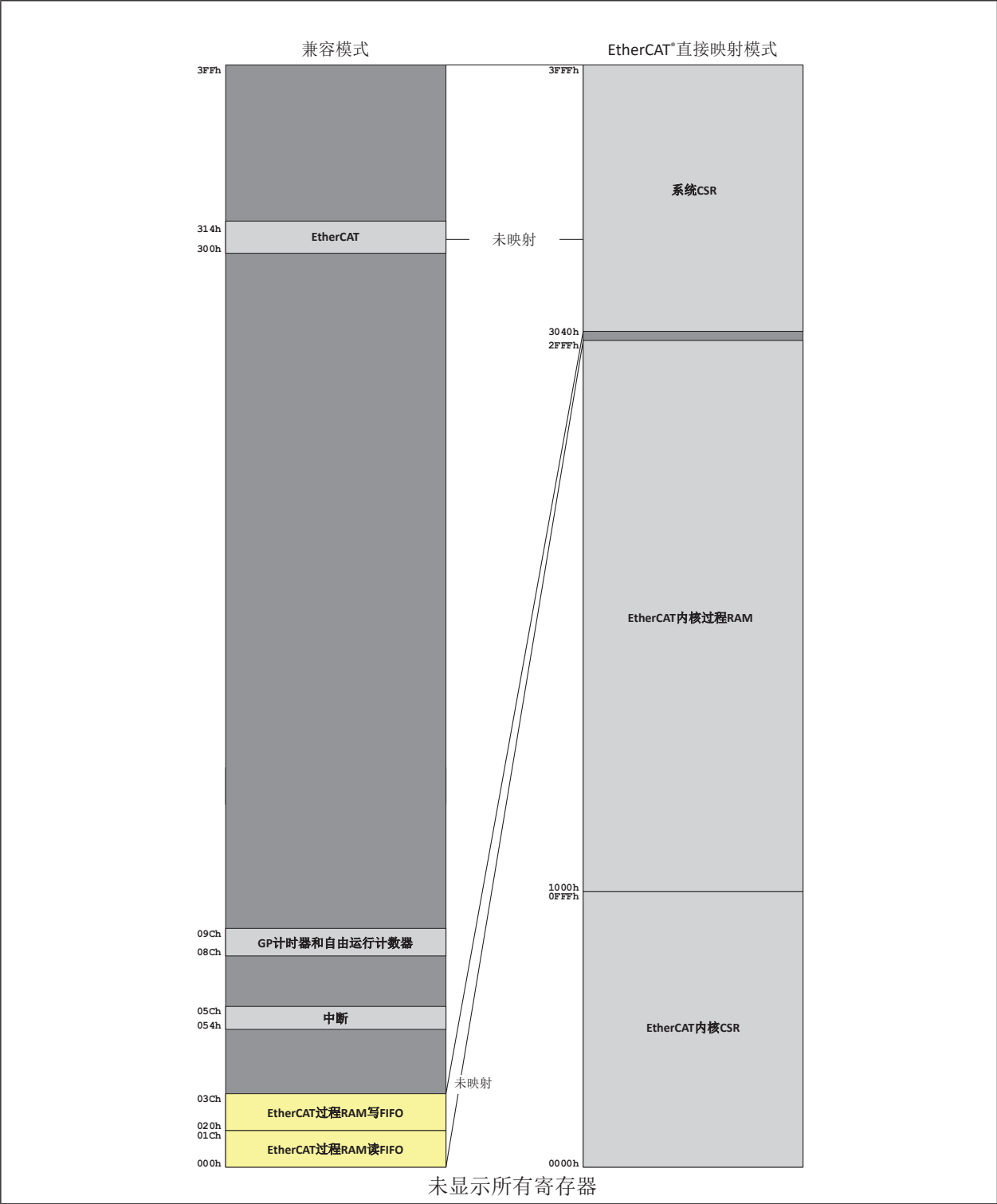
EtherCAT直接映射模式会将EtherCAT内核控制和状态寄存器以及EtherCAT内核过程RAM映射到其原生地址（字节地址分别为0h至FFFh和1000h至2FFFh），同时将系统控制和状态寄存器重映射到从偏移地址3000h开始的地址空间。

注： 第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）（包括EtherCAT过程RAM读和写数据FIFO）在EtherCAT直接映射模式下不使用且无法访问。

注： 第1.3节“寄存器命名法”（第6页）提供了寄存器位类型定义。

并非所有器件寄存器均映射到存储器或可直接寻址。有关各种器件寄存器的可访问性的详细信息，请参见上面列出的各寄存器小节。

图5-1：寄存器地址映射



5.1 系统控制和状态寄存器

系统CSR是可直接寻址的存储器映射寄存器，在EtherCAT直接映射模式下，其基址偏移范围为050h至314h或3050h至31FCh。这些寄存器可由主机通过主机总线接口（HBI）或SPI/SQI寻址。有关各种器件模式及其相应地址配置的更多信息，请参见第2.0节“概述”（第7页）。

表5-1按顺序列出了系统CSR及其相应地址。当触发芯片级复位时，所有系统CSR均复位为默认值。

系统CSR可分为以下几个子类别：这些子类别均设有对应的章节，其中包含相关寄存器的系统CSR说明。寄存器说明的分类如下：

- 第6.2.3节“复位寄存器”（第49页）
- 第6.3.5节“功耗管理寄存器”（第55页）
- 第7.3节“中断寄存器”（第62页）
- 第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）
- 第15.1节“其他系统配置和状态寄存器”（第346页）
- 第14.3节“通用定时器和自由运行时钟寄存器”（第343页）

注： 未列出的寄存器保留供将来使用。

表5-1： 系统控制和状态寄存器

地址	EtherCAT®直接映射模式	寄存器名称（符号）
000h-01Ch	N/A	EtherCAT®过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）
020h-03Ch	N/A	EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）
050h	3050h	芯片ID和版本（ID_REV）
054h	3054h	中断配置寄存器（IRQ_CFG）
058h	3058h	中断状态寄存器（INT_STS）
05Ch	305Ch	中断允许寄存器（INT_EN）
064h	3064h	字节顺序测试寄存器（BYTE_TEST）
074h	3074h	硬件配置寄存器（HW_CFG）
084h	3084h	功耗管理控制寄存器（PMT_CTRL）
08Ch	308Ch	通用定时器配置寄存器（GPT_CFG）
090h	3090h	通用定时器计数寄存器（GPT_CNT）
09Ch	309Ch	自由运行25 MHz计数器寄存器（FREE_RUN）
1F8h	31F8h	复位控制寄存器（RESET_CTL）
EtherCAT寄存器		
300h	N/A	EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）
304h	N/A	EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）
308h	N/A	EtherCAT过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）
30Ch	N/A	EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）
310h	N/A	EtherCAT过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）
314h	N/A	EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）

5.2 背靠背周期的特殊限制

5.2.1 背靠背读写周期

务必注意，背靠背主机读写操作的时序存在特殊限制。这些限制关系到在任何可能影响寄存器的写周期后对寄存器进行的读操作。在所有情况下，写入寄存器与新值可被读取之间都存在一段延时。在其他情况下，写入寄存器与之后对其他寄存器产生副作用之间也存在一段延时。

系统中设有最小等待周期，目的是防止主机在写操作后读取过期数据。表5-2详细说明了这些周期。主机处理器需要在写入指示的寄存器之后等待指定的时间周期，才能读取表中指定的资源。请注意，所需的等待周期取决于写操作后读取的寄存器。

对字节顺序测试寄存器（`BYTE_TEST`）执行“空”读取是一种保证满足最低读写时序限制的简便方法。表5-2给出了在读取指示的寄存器前所需的空读次数。该表中的`BYTE_TEST`读取次数基于45 ns的最小周期时序。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。请注意，只要满足最小时间周期，就无需空读`BYTE_TEST`寄存器。

请注意，根据所用的主机接口模式，基本的主机接口周期本身的读写间隔时间可能已满足要求。这是系统设计和寄存器访问机制所决定的，旨在确保正确的时序。例如，对同一寄存器的读写操作可能快于对不同寄存器的读写操作。

对于8位和16位写周期，背靠背读写操作的等待时间仅适用于对寄存器最后一个字节或字的写操作，此操作将完成一次双字传送。

对于变址寻址模式HBI操作，背靠背读写操作的等待时间仅适用于访问内部寄存器和FIFO。它不适用于主机总线接口变址寄存器或主机总线接口配置寄存器。

表5-2：写后读时序规则

写入后...	等待时间 (ns) ...	或读取 <code>BYTE_TEST</code> 的次数... (假定 T_{cyc} 为45 ns)	读取前...
任意寄存器	45	1	同一寄存器或受写入影响的任何其他寄存器
中断配置寄存器（ <code>IRQ_CFG</code> ）	60	2	中断配置寄存器（ <code>IRQ_CFG</code> ）
中断允许寄存器（ <code>INT_EN</code> ）	90	2	中断配置寄存器（ <code>IRQ_CFG</code> ）
	60	2	中断状态寄存器（ <code>INT_STS</code> ）
中断状态寄存器（ <code>INT_STS</code> ）	180	4	中断配置寄存器（ <code>IRQ_CFG</code> ）
	170	4	中断状态寄存器（ <code>INT_STS</code> ）
功耗管理控制寄存器 （ <code>PMT_CTRL</code> ）	165	4	功耗管理控制寄存器 （ <code>PMT_CTRL</code> ）
	170	4	中断配置寄存器（ <code>IRQ_CFG</code> ）
	160	4	中断状态寄存器（ <code>INT_STS</code> ）

表5-2：写后读时序规则（续）

写入后...	等待时间 (ns) ...	或读取BYTE_TEST的次数... (假定T _{cyc} 为45 ns)	读取前...
通用定时器配置寄存器 (GPT_CFG)	55	2	通用定时器配置寄存器 (GPT_CFG)
	170	4	通用定时器计数寄存器 (GPT_CNT)
EtherCAT过程RAM写数据 FIFO (ECAT_PRAM_WR_ DATA)	50	2	EtherCAT过程RAM写命令寄存器 (ECAT_PRAM_WR_CMD)

5.2.2 背靠背读周期

对于特定的背靠背主机读操作也存在限制。这些限制关系到在读取有副作用的资源后对特定寄存器进行的读操作。在许多情况下，读取器件后要经过一段延时，控制和状态寄存器值才会出现预期的变化。

系统中设有最小等待周期，目的是防止主机在背靠背读取时读取过期数据。表5-3详细说明了这些周期。主机处理器在对特定的资源组合执行连续读操作之间需要等待指定的时间周期。等待周期取决于所读取的寄存器组合。

对字节顺序测试寄存器 (BYTE_TEST) 执行“空”读取是一种保证满足最小等待时间限制的简便方法。表5-3还给出了背靠背读操作所需的空读次数。该表中的BYTE_TEST读取次数基于T_{cyc}的最小时序（45 ns）。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。只要满足最小时间周期，就无需空读BYTE_TEST寄存器。

请注意，根据所用的主机接口模式，基本的主机接口周期本身的读操作间隔时间可能已满足要求。这是系统设计和寄存器访问机制所决定的，旨在确保正确的时序。例如，对同一寄存器的多次读操作可能快于对不同寄存器的多次读操作。

对于8位和16位读周期，仅当读取寄存器最后一个字节或字之后（此操作将完成一次双字传送），背靠背读操作才需要等待时间。双字传送内的字节或字访问之间没有等待要求。

表5-3：读后读时序规则

读取后...	等待时间 (ns) ...	或读取BYTE_TEST的次数... (假定T _{cyc} 为45 ns)	读取前...
EtherCAT过程RAM读数据 FIFO (ECAT_PRAM_RD_ DATA)	50	2	EtherCAT过程RAM读命令寄 存器 (ECAT_PRAM_RD_ CMD)

6.0 时钟、复位和功耗管理

6.1 时钟

器件可按照各个子模块的要求生成所有系统时钟。时钟子系统由以下部分组成：

- 晶振
- PHY PLL

6.1.1 晶振

器件需要固定频率25 MHz时钟源供内部时钟振荡器和PLL使用。这通常通过将25 MHz晶振连接到第17.7节“时钟电路”（第365页）中指定的OSCI和OSCO引脚来提供。此时钟也可以通过使用单端25 MHz时钟源驱动OSCI输入引脚来提供。如果选择单端源，则时钟输入必须连续运行，器件才能正常工作。

应用注释： 在使用先前器件的CLK_25作为输入时钟源的时钟菊花链配置中，该引脚应通过XTAL_MODE配置脚输入设置为施密特触发器输入模式。

节能模式允许振荡器或外部时钟输入暂停。可以按照第6.3.4节“芯片级功耗管理”（第53页）所述禁止晶振。

对于系统级验证，可以使能将晶振输出到IRQ引脚上。请参见第7.2.7节“时钟输出测试模式”（第62页）。

晶振由专用稳压器或单独的输入引脚供电。请参见第4.1.2节“1.2V晶振稳压器”（第38页）。

注： 有关晶振规范，请参见表17-12“晶振规范”（第365页）。

6.1.1.1 晶振时钟输出引脚

晶振时钟可输出到专用的CLK_25引脚上，用作另一个器件的参考时钟。该引脚在CLK_25_EN为高电平时使能。

6.1.2 PHY PLL

PHY模块接收25 MHz参考时钟，除了供内部时钟使用外，还会输出用于产生器件子系统时钟的主系统时钟。

PHY PLL可以禁止，如第6.3.4节“芯片级功耗管理”（第53页）所述。仅当收到请求并且PHY端口处于掉电模式时，才会禁止PHY PLL。

PHY PLL由外部输入引脚供电，通常由器件的1.2V内核稳压器供电。请参见第4.0节“电源连接”（第36页）。

6.2 复位

器件提供多个硬件和软件复位源，这样用户可在不同的级别上对器件进行复位。所有复位可分为如下几节所述的三种复位类型：

- 芯片级复位
 - 上电复位（POR）
 - RST#引脚复位
 - EtherCAT系统复位
- 多模块复位
 - 数字复位（DIGITAL_RST）
- 单模块复位
 - 端口A PHY复位
 - 端口B PHY复位
 - EtherCAT控制器复位

器件支持使用配置脚来对各种器件参数进行自动自定义配置。这些配置脚值在所有芯片级复位置为无效时进行设置，可用于在上电或引脚（RST#）复位时轻松设置芯片的默认参数。有关这些配置脚的使用的详细信息，请参见第6.3节“功耗管理”（第50页）。

表6-1汇总了各种复位源对器件的影响。有关每种复位类型的详细信息，请参见后面各小节。

表6-1：复位源和受影响的器件功能

模块/功能	POR	RST# 引脚	EtherCAT® 系统复位	数字复位
25 MHz振荡器	(1)			
稳压器	(2)			
EtherCAT®内核	X	X	X	X
PHY A	X	X	X	
PHY B	X	X	X	
通用PHY	(3)			
电压监控	(3)			
PLL	(3)			
SPI/SQI从器件	X	X	X	X
主机总线接口	X	X	X	X
功耗管理	X	X	X	X
通用定时器	X	X	X	X
自由运行计数器	X	X	X	X
系统CSR	X	X	X	X
可配置脚锁存	是	是	是	否(4)
EEPROM装载器运行	是	是	是	是
三态输出引脚(5)	是	是	是	
RST#引脚驱动为低电平	是		是	
注1： POR由XTAL稳压器执行，而不是在系统级执行 2： POR在稳压器内部执行 3： POR在PHY内部执行 4： 配置脚输入不会重新锁存 5： 仅限用于配置脚的输出引脚				

6.2.1 芯片级复位

芯片级复位事件激活所有内部复位，可有效复位整个器件。芯片级复位通过触发以下任何输入事件启动：

- 上电复位（POR）
- RST#引脚复位
- EtherCAT系统复位

首先可通过轮询字节顺序测试寄存器（**BYTE_TEST**）来确定芯片级复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位必须通过轮询硬件配置寄存器（**HW_CFG**）或功耗管理控制寄存器（**PMT_CTRL**）的READY位来确定，直到该位置1为止。READY位置1时表示复位已完成且器件已准备好接受访问。

当READY位清零时，不能通过软件对任何内部资源进行读访问，硬件配置寄存器（**HW_CFG**）、功耗管理控制寄存器（**PMT_CTRL**）、字节顺序测试寄存器（**BYTE_TEST**）和复位控制寄存器（**RESET_CTL**）除外。在READY位置1之前，对任何地址的写操作均是无效的。

芯片级复位涉及可变输出电平焊盘的调节、配置脚的锁存以及全局复位的生成。

配置脚锁存

在POR、EtherCAT复位或RST#引脚复位期间，配置脚锁存将开启。在POR、EtherCAT复位或RST#引脚复位释放后，配置脚锁存将关闭。

CLK_25_EN和**XTAL_MODE**配置脚以及**CLK_25**引脚的输出使能、上拉和下拉不受EtherCAT复位或RST#引脚复位的控制；这些配置脚锁存将关闭。

可变电平I/O焊盘调节

在EtherCAT、POR或RST#引脚复位释放后，将向VO调节电路发送1 μs脉冲（有效低电平）。2 μs后，输出引脚即使能。使能输出前的2 μs延时为可变输出电平引脚留出了调节时间，同时为与输出引脚共用的配置脚提供了输入保持时间。

全局复位和时钟生成复位

在使能输出引脚后，复位与主系统时钟同步而成为全局复位。全局复位用于生成本地复位以及复位时钟生成。

6.2.1.1 上电复位（POR）

当器件刚上电或者断开电源并将其重新施加到器件时，将发生上电复位。此事件会复位器件内的所有电路。此复位的结果是锁存配置脚并执行EEPROM装载。POR用于触发可变电平I/O焊盘的调节以及芯片级复位。

POR也可用作系统级复位。RST#变为漏极开路输出，并在POR期间置为有效。其目的是在EtherCAT内核复位时完全复位EtherCAT子设备并/或使外部PHY保持复位。作为漏极开路输出，RST应线或到系统复位中。

注：以太网PHY应连接至RST#引脚，以使PHY在EtherCAT子设备就绪前保持复位。否则，远端链路伙伴会检测到来自PHY的有效链路信号，并会“打开”其端口，假定本地EtherCAT子设备就绪。
在所有电压均工作前，不会驱动RST#引脚。如果系统需要在电源斜升期间保持复位，则需要外部系统级解决方案。

施加有效电压后，POR复位通常需要约21 ms。

6.2.1.2 RST#引脚复位

将RST#输入引脚驱动为低电平会启动芯片级复位。此事件会复位器件内的所有电路。使用此复位输入是可选的，但使用时，必须确保驱动时间达到第17.6.3节“复位和配置脚时序”（第362页）中指定的时长。此复位的结果是锁存配置脚并执行EEPROM装载。

RST#引脚复位通常需要约1.3 ms。

注： RST#引脚在内部拉高。如果未使用，此信号可保持未连接状态。请勿依靠内部上拉电阻驱动器件外部的信号。

有关RST#引脚的说明，请参见表3-12“其他引脚”（第32页）。

6.2.1.3 EtherCAT系统复位

EtherCAT系统复位由三个独立的连续帧/命令组成的特殊序列启动，其功能与RST#引脚复位相同，惟一不同是在EtherCAT系统复位期间，RST#引脚变为漏极开路输出，并且置为有效的时间至少需要80 ms。

RST#是漏极开路输出，应线或到系统复位中。

注： 将RST#引脚连接到系统复位的目的是对EtherCAT子设备执行完全复位。EtherCAT主设备只在极其罕见的情况下发起复位，即本地单片机因严重事件停止且无法被通知重新初始化时。

6.2.2 模块级复位

模块级复位包含各种复位寄存器位输入，并为各种模块生成复位。模块级复位可影响一个或多个模块。

6.2.2.1 多模块复位

多模块复位激活多个内部复位，但不会复位整个芯片。配置脚不会在多模块复位时锁存。多模块复位通过将以下位置为有效来启动：

- 数字复位（DIGITAL_RST）

首先可通过轮询字节顺序测试寄存器（BYTE_TEST）确定多模块复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位必须通过轮询硬件配置寄存器（HW_CFG）或功耗管理控制寄存器（PMT_CTRL）的READY位来确定，直到该位置1为止。READY位置1时表示复位已完成且器件已准备好接受访问。

当READY位清零时，不能通过软件对任何内部资源进行读访问，硬件配置寄存器（HW_CFG）、功耗管理控制寄存器（PMT_CTRL）、字节顺序测试寄存器（BYTE_TEST）和复位控制寄存器（RESET_CTL）除外。在READY位置1之前，对任何地址的写操作均是无效的。

注： 数字复位不会复位指定为NASR的寄存器位。

数字复位（DIGITAL_RST）

通过将复位控制寄存器（RESET_CTL）的DIGITAL_RST位置1来执行数字复位。数字复位将复位器件的所有子模块，但以太网PHY除外。EEPROM装载在此复位后执行。数字复位后不会锁存配置脚。

数字复位通常需要约1.3 ms。

6.2.2.2 单模块复位

单模块复位将仅复位指定的模块。单模块复位不会锁存配置脚。单模块复位通过触发以下复位来启动：

- 端口A PHY复位
- 端口B PHY复位
- EtherCAT控制器复位

端口A PHY复位

端口A PHY复位通过将复位控制寄存器（RESET_CTL）的PHY_A_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位置1来执行。完成端口A PHY复位后，PHY_A_RST位和软复位位自动清零。器件的其他模块不会受到此复位的影响。

端口A PHY复位的完成可通过轮询复位控制寄存器（RESET_CTL）中的PHY_A_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位是否清零来确定。在正常情况下，发生端口A PHY复位后，PHY_A_RST和软复位位将清零约102 μ s。

注： 当使用软复位位复位端口A PHY时，不会复位指定为NASR的寄存器位。

除了上述方法外，端口A PHY会在从PHY掉电模式恢复后自动复位。此复位不同之处在于PHY掉电模式复位不会重载或复位任何PHY寄存器。更多信息，请参见第10.2.9节“PHY掉电模式”（第163页）。

有关端口A PHY复位的更多信息，请参见第10.2.11节“复位”（第167页）。

端口B PHY复位

端口B PHY复位通过将复位控制寄存器（RESET_CTL）的PHY_B_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位置1来执行。完成端口B PHY复位后，PHY_B_RST位和软复位位自动清零。器件的其他模块不会受到此复位的影响。

端口B PHY复位的完成可通过轮询复位控制寄存器（RESET_CTL）中的PHY_B_RST位或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的软复位位是否清零来确定。在正常情况下，发生端口B PHY复位后，PHY_B_RST和软复位位将清零约102 μ s。

注： 当使用软复位位复位端口B PHY时，不会复位指定为NASR的寄存器位。

除了上述方法外，端口B PHY会在从PHY掉电模式恢复后自动复位。此复位不同之处在于PHY掉电模式复位不会重载或复位任何PHY寄存器。更多信息，请参见第10.2.9节“PHY掉电模式”（第163页）。

有关端口B PHY复位的更多信息，请参见第10.2.11节“复位”（第167页）。

EtherCAT控制器复位

完整的器件和系统复位可通过EtherCAT主设备或本地主机向ESC复位ECAT寄存器（对于主设备）或ESC复位PDI寄存器（对于本地主机）写入值序列0x52（“R”）、0x45（“E”）和0x53（“S”）来启动。这将触发第6.2.1.3节“EtherCAT系统复位”中所述的复位。

EtherCAT控制器的单独复位可通过将复位控制寄存器（RESET_CTL）中的ETHERCAT_RST位置1来执行。

这将复位EtherCAT内核及其寄存器。它还将复位第11.13节（第247页）中所述的EtherCAT CSR和过程数据RAM访问逻辑并将复位第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）中所述的寄存器。

由于EtherCAT模块将通过EEPROM重新配置器件，主机接口将被禁止，直至复位完成。复位是否完成必须通过第8.4.2.2节（第76页）（用于HBI）和第9.2.1.1节（第116页）（用于SPI/SQI）中所述的方法来确定。

EtherCAT控制器复位通常需要约1.3 ms。

6.2.3 复位寄存器

6.2.3.1 复位控制寄存器 (RESET_CTL)

偏移量: 1F8h/31F8h

大小: 32位

此寄存器包含软件控制的复位。

注: 当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时,可读取该寄存器。如果主机接口处于复位状态,则返回的数据可能无效。

不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	说明	类型	默认值
31:7	保留	RO	-
6	EtherCAT®复位 (ETHERCAT_RST) 将此位置1会复位EtherCAT内核。当EtherCAT内核从复位状态释放时,此位自动清零。当此位置1时,对此位的所有写操作都会被忽略。	R/W SC	0b
5:3	保留	RO	-
2	端口B PHY复位 (PHY_B_RST) 将此位置1会复位端口B PHY。内部逻辑自动将PHY复位保持至少102 μs。当端口B PHY从复位状态释放时,此位自动清零。当此位置1时,对此位的所有写操作都会被忽略。	R/W SC	0b
1	端口A PHY复位 (PHY_A_RST) 将此位置1会复位端口A PHY。内部逻辑自动将PHY复位保持至少102 μs。当端口A PHY从复位状态释放时,此位自动清零。当此位置1时,对此位的所有写操作都会被忽略。	R/W SC	0b
0	数字复位 (DIGITAL_RST) 将此位置1会复位整个芯片 (PLL、端口B PHY和端口A PHY除外)。所有系统CSR均会复位 (任何NASR类型的位除外)。任何正在执行的EEPROM命令都将终止。 当芯片从复位状态释放时,此位自动清零。当此位置1时,对此位的所有写操作都会被忽略。	R/W SC	0b

6.3 功耗管理

器件支持多个模块和芯片级功耗管理功能以及唤醒事件检测和通知。

6.3.1 唤醒事件检测

6.3.1.1 PHY A和PHY B能量检测

能量检测掉电模式会降低PHY功耗。在能量检测掉电模式下，当在线缆上检测到能量（通常来自链路脉冲）时，PHY将从掉电状态恢复，并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的ENERGYON中断位置1。

有关PHY能量检测掉电模式的操作和配置的详细信息，请参见第10.2.9.2节“能量检测掉电”（第163页）。

注： 如果使能量检测掉电模式时存在载波，则检测将立即进行。

如果通过PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）允许中断，PHY将产生中断。此中断反映在中断状态寄存器（INT_STS）中的bit 26（PHY_INT_A，用于PHY A）和bit 27（PHY_INT_B，用于PHY B）中。INT_STS寄存器中的位将触发IRQ中断输出引脚（如果使能），如第7.2.1节“以太网PHY中断”（第60页）中所述。

能量检测PHY中断还会将功耗管理控制寄存器（PMT_CTRL）的相应能量检测/WoL状态端口A（ED_WOL_STS_A）或能量检测/WoL状态端口B（ED_WOL_STS_B）位置1。能量检测/WoL使能端口A（ED_WOL_EN_A）和能量检测/WoL使能端口B（ED_WOL_EN_B）位将使能相应的状态位作为PME事件。

注： 任何PHY中断均会将上述状态位置1。主机应仅在PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中允许相应的PHY中断源。

6.3.1.2 PHY A和PHY B LAN唤醒（WoL）

PHY A和PHY B提供对理想 DA、广播、魔术包和唤醒帧的WoL事件检测。

允许中断时，PHY将检测WoL事件并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的WoL中断位置1。如果通过PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）允许中断，PHY将产生中断。此中断反映在中断状态寄存器（INT_STS）中的bit 26（PHY_INT_A，用于PHY A）和bit 27（PHY_INT_B，用于PHY B）中。INT_STS寄存器中的位将触发IRQ中断输出引脚（如果使能），如第7.2.1节“以太网PHY中断”（第60页）中所述。

有关PHY WoL的操作和配置的详细信息，请参见第191页上的第10.2.10节“LAN唤醒（WoL）”。

WoL PHY中断还会将功耗管理控制寄存器（PMT_CTRL）的相应能量检测/WoL状态端口A（ED_WOL_STS_A）或能量检测/WoL状态端口B（ED_WOL_STS_B）位置1。能量检测/WoL使能端口A（ED_WOL_EN_A）和能量检测/WoL使能端口B（ED_WOL_EN_B）位将使能相应的状态位作为PME事件。

注： 任何PHY中断均会将上述状态位置1。主机应仅在PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中允许相应的PHY中断源。

6.3.2 唤醒（PME）通知

图6-1给出了用于控制PME中断的逻辑的简化框图。

PME模块用于处理功耗管理控制寄存器（PMT_CTRL）中PHY B能量检测/WoL状态端口B（ED_WOL_STS_B）位和PHY A能量检测/WoL状态端口A（ED_WOL_STS_A）位的锁存。

此模块还会通过相应的使能位（[能量检测/WoL使能端口B（ED_WOL_EN_B）](#)和[能量检测/WoL使能端口A（ED_WOL_EN_A）](#)）屏蔽状态位并将结果组合在一起以生成[中断状态寄存器（INT_STS）](#)中的[功耗管理中断事件（PME_INT）](#)状态位。PME_INT状态位随后通过[功耗管理事件中断允许（PME_INT_EN）](#)位屏蔽，并与其他中断源结合以驱动[IRQ](#)输出引脚。

注： 无论PME_INT_EN的设置如何，INT_STS寄存器中的PME中断状态位（PME_INT）都将置1。

除了产生中断事件之外，PME事件还可以驱动PME输出引脚以专门用于指示唤醒事件。PME事件通过[功耗管理控制寄存器（PMT_CTRL）](#)中的[PME使能（PME_EN）](#)位使能，PME输出引脚特性可通过[功耗管理控制寄存器（PMT_CTRL）](#)中的[PME缓冲器类型（PME_TYPE）](#)、[PME指示（PME_IND）](#)和[PME极性（PME_POL）](#)位进行配置。这些位可将PME输出引脚设置为漏极开路输出、高电平有效的推挽式输出或低电平有效的推挽式输出，并可将输出配置为连续信号或50 ms脉冲。

PME输出没有专用引脚，而是通过[功耗管理控制寄存器（PMT_CTRL）](#)中的[PME引脚映射（PME_PIN_SEL）](#)位域映射至其他多个引脚，取代这些引脚的正常功能。即使完成映射，也必须使能PME输出，否则被映射的引脚将保持非驱动状态。默认情况下，PME既未使能也未映射。

注： 在PME映射到另一个引脚之前，该引脚的默认状态是该引脚的正常功能。该引脚可能被驱动也可能未被驱动，并且可能存在内部或外部上拉或下拉电阻。系统设计人员有责任考虑到这一点，并牢记：

ERRLED： 通过EEPROM内容使能，但应设置为禁止。如果发生EEPROM装载错误，则会强制使能ERRLED功能，并且可能会发生错误的PME事件。ERRLED同时用作100FD_B配置脚。如果ERRLED用作PME输出（可能为线或共用信号），必须谨慎考虑配置脚的值。主机软件可能需要通过[硬件配置寄存器（HW_CFG）](#)中的[AMDIX禁止PHY B](#)位和[ANEG禁止PHY B](#)位来修正配置脚结果，并重新配置PHY B。另请注意，ERRLED位于VDD33 I/O电压域。

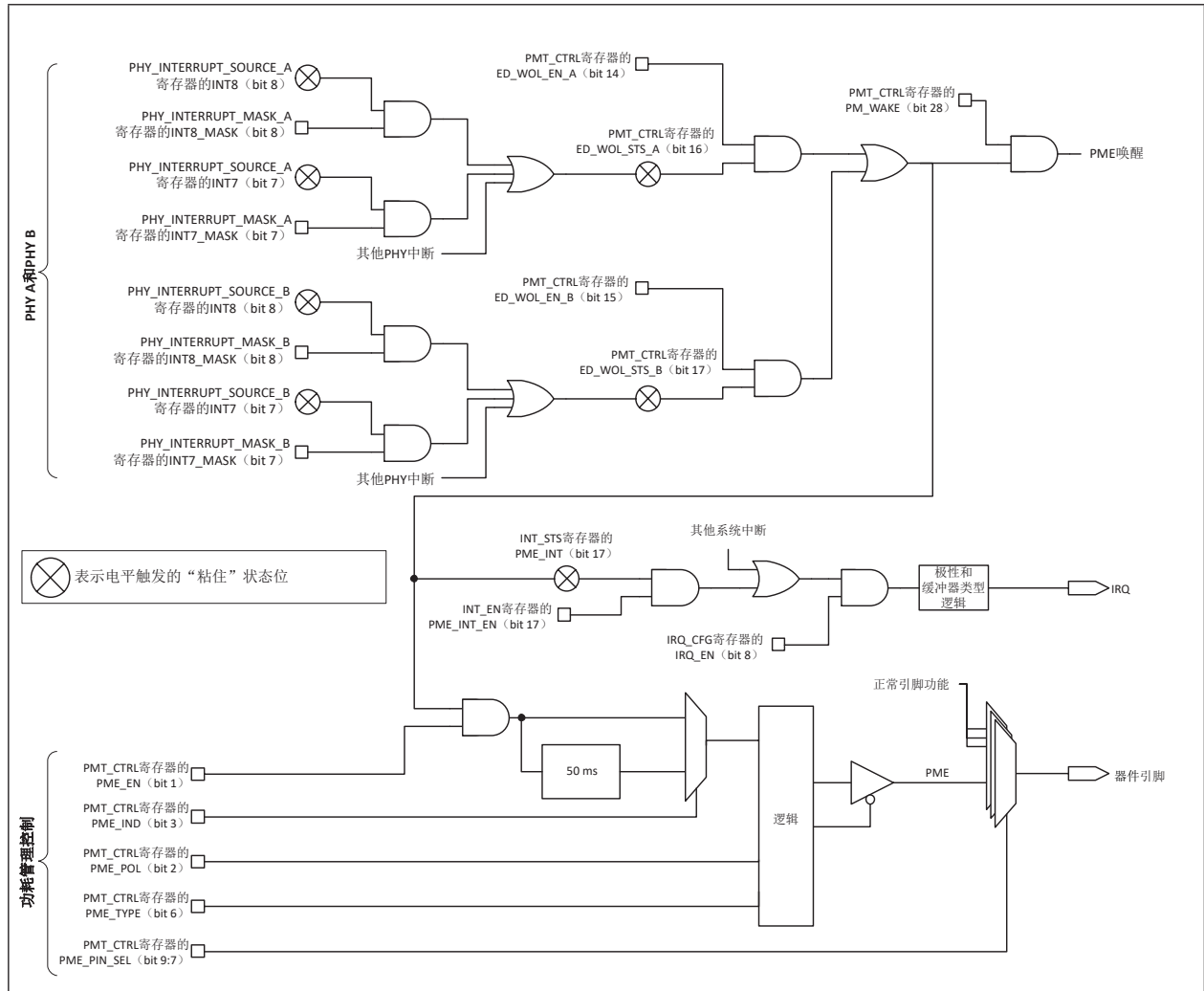
WAIT_ACK： 通过EEPROM内容使能，但应设置为禁止。

SYNC0/LATCH0/SYNC1/LATCH1： 通过EEPROM内容进行配置。如果设置为SYNC0/SYNC1，在设置PME引脚映射（PME_PIN_SEL）值之前，驱动值可能不正确。

在PME输出引脚被多个器件共用（线与连接）的系统配置中，可通过读取PMT_CTRL寄存器中的ED_WOL_STS_B和ED_WOL_STS_A位来确定哪个器件正在驱动PME信号。

当[功耗管理控制寄存器（PMT_CTRL）](#)的PM_WAKE位置1时，PME事件将在某些特定芯片级功耗模式下自动唤醒系统，如[第6.3.4.2节“退出低功耗模式”（第54页）](#)中所述。该操作与PME_EN、PME_POL、PME_IND和PME_TYPE寄存器位的值无关。

图6-1: PME引脚和PME中断信号生成



6.3.3 模块级功耗管理

器件支持通过软件控制的时钟来禁止各个模块以降低功耗。

注： 禁止各个模块不会自动复位模块，只会将该模块置于静态非工作状态，以降低器件的功耗。如果重新使能模块前不执行模块复位，则务必注意确保模块处于禁止后可重新使能的状态。

6.3.3.1 禁止EtherCAT内核

可通过将**功耗管理控制寄存器（PMT_CTRL）**中的ECAT_DIS位置1来禁止整个EtherCAT内核。为安全起见，要将此位置1，必须连续两次写入1。写0将复位计数。

6.3.3.2 PHY掉电

可以将PHY置于掉电模式，如第10.2.9节“PHY掉电模式”（第163页）中所述。

6.3.3.3 LED引脚掉电

所有LED输出都可通过将**功耗管理控制寄存器（PMT_CTRL）**中的LED_DIS位置1来禁止。漏极开路/源极开路LED不进行驱动。推挽式LED仍进行驱动，但会设置为无效状态。

6.3.4 芯片级功耗管理

器件支持掉电模式，以允许应用最大程度降低功耗。

通过禁止时钟来降低功耗，如**表6-2“功耗管理状态”**中所述。在任何功耗状态下，都会保存所有配置数据。除非在寄存器说明中特别指出，否则寄存器内容不受影响。

功耗状态分为正常工作功耗状态D0和三个节能状态D1、D2和D3。功耗状态适用于各种唤醒检测功能，但不会直接使能，也不会由这些功能强制执行。

D0：正常模式——这是此器件的正常工作模式。在此模式下，所有功能均可用。任何芯片级复位（POR、RST#引脚复位和EtherCAT系统复位）后即会自动进入此模式。

D1：禁止系统时钟，使能XTAL、PLL和网络时钟——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。如果通过PHY供电或外部供电，网络时钟保持使能状态。晶振和PLL保持使能状态。可以手动或自动退出此模式。

此模式可用于PHY通用掉电模式、PHY WoL模式和PHY能量检测掉电模式。

D2：禁止系统时钟，请求PLL禁止，使能XTAL——在此低功耗模式下，将禁止来自PLL时钟的所有时钟。PLL被允许禁止（如果两个PHY均处于能量检测或通用掉电模式，则将禁止）。如果通过PHY供电或外部供电，网络时钟保持使能状态。晶振保持使能状态。可以手动或自动退出此模式。

此模式对于PHY能量检测掉电模式和PHY WoL模式很有效，也可用于PHY通用掉电模式

D3：禁止系统时钟，禁止PLL，禁止XTAL——在此低功耗模式下，将禁止来自100 MHz PLL时钟的所有时钟。PLL将被禁止。外部网络时钟关闭。晶振被禁止。只能手动退出此模式。

此模式可用于PHY通用掉电模式。

设置此功耗状态前，主机必须通过将**PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）**中的**掉电（PHY_PWR_DWN）**位置1来将PHY置于通用掉电模式。

注： 禁止晶振将禁止CLK_25输出信号。

表6-2：功耗管理状态

时钟源	D0	D1	D2	D3
25 MHz晶振	开	开	开	关
PLL	开	开	关(2)	关
系统时钟（100 MHz、50 MHz、25 MHz和其他频率）	开	关	关	关
网络时钟	可用(1)	可用(1)	可用(1)	关(3)
注1： 如果通过PHY供电或外部供电 2： PLL被请求关闭，如果两个PHY 均处于能量检测或通用掉电模式，则将禁止 3： PHY时钟关闭，外部时钟关闭				

6.3.4.1 进入低功耗模式

要从正常模式（D0）进入任一低功耗模式（D1 - D3），请遵循以下步骤：

1. 向**功耗管理控制寄存器（PMT_CTRL）**中的PM_MODE和PM_WAKE位域写入所需值。
2. 按照第6.3.1节“唤醒事件检测”设置所需的唤醒检测。
3. 按照第6.3.2节“唤醒（PME）通知”设置适当的唤醒通知。
4. 确保器件处于可安全置于低功耗模式（发送所有数据包、禁止接收器并处理/刷新数据包等）的状态。
5. 将**功耗管理控制寄存器（PMT_CTRL）**中的PM_SLEEP_EN位置1。

注： 无法在PM_SLEEP_EN位置1的同时更改PM_MODE位域，也无法在更改PM_MODE位域的同时将PM_SLEEP_EN位置1。

进入任一低功耗模式后，**硬件配置寄存器（HW_CFG）**和**功耗管理控制寄存器（PMT_CTRL）**中器件就绪（READY）的位将被强制为低电平。

注： 进入任一节能状态后，主机接口将不起作用。

6.3.4.2 退出低功耗模式

可以手动或自动退出低功耗模式。

自动唤醒将基于第6.3.2节“唤醒（PME）通知”中所述的事件进行。通过**功耗管理控制寄存器（PMT_CTRL）**中的**功耗管理唤醒（PM_WAKE）**位使能自动唤醒。

在以下情况下，将通过主机发起手动唤醒：

- 对器件执行HBI写操作（CS和WR或者CS、RD_WR和ENB）。尽管在唤醒器件并执行读操作前会忽略所有写操作，主机仍应该指示写入**字节顺序测试寄存器（BYTE_TEST）**。在器件唤醒前，不应尝试写入任何其他地址。
- 对器件执行SPI/SQI周期（SCS#低电平和SCK高电平）。尽管在器件唤醒前会忽略所有读写操作，主机仍应该指示通过读取**字节顺序测试寄存器（BYTE_TEST）**来唤醒器件。在器件唤醒前，不应尝试读取和写入任何其他地址。

要确定主机接口何时正常工作，应轮询**字节顺序测试寄存器（BYTE_TEST）**。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询**硬件配置寄存器（HW_CFG）**或**功耗管理控制寄存器（PMT_CTRL）**中的**器件就绪（READY）**位来确定器件何时完全唤醒。

对于自动和手动唤醒，一旦器件恢复到节能状态D0且PLL已重新稳定，**器件就绪（READY）**位即变为高电平。此时，**功耗管理控制寄存器（PMT_CTRL）**中的PM_MODE和PM_SLEEP_EN位域也将清零。

在正常情况下，器件将在2 ms内唤醒。

6.3.5 功耗管理寄存器

6.3.5.1 功耗管理控制寄存器 (PMT_CTRL)

偏移量: 084h/3084h

大小: 32位

此读写寄存器控制器件的功耗管理功能和PME引脚。器件的就绪状态通过此寄存器的器件就绪 (READY) 位来确定。

注: 当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时, 可读取该寄存器。如果主机接口处于复位状态, 则返回的数据可能无效。

不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	说明	类型	默认值
31:29	功耗管理模式 (PM_MODE) 此寄存器位域用于确定当 功耗管理休眠使能 (PM_SLEEP_EN) 位置1时将进入的芯片级功耗管理模式。 000: D0 001: D1 010: D2 011: D3 100: 保留 101: 保留 110: 保留 111: 保留 如果 功耗管理休眠使能 (PM_SLEEP_EN) 位正在被写入1, 则对此位域的写操作将被忽略。 此位域在器件唤醒时清零。	R/W/SC	000b
28	功耗管理休眠使能 (PM_SLEEP_EN) 将此位置1会进入通过 功耗管理模式 (PM_MODE) 位域指定的芯片级功耗管理模式。 0: 器件未处于低功耗休眠状态 1: 器件处于低功耗休眠状态 此位不能与PM_MODE寄存器位域同时写入。PM_MODE位域必须置1, 然后必须将此位置1才能使器件正常工作。 如果 功耗管理模式 (PM_MODE) 正写入新值, 则向此位写入值1将被忽略。 注: 尽管硬件不会阻止, 但当 功耗管理模式 (PM_MODE) 的值为“D0”时, 不应向此位写入值1。 此位域在器件唤醒时清零。	R/W/SC	0b

位	说明	类型	默认值
27	功耗管理唤醒 (PM_WAKE) 此位置1时，将使能基于PME事件的自动唤醒。 0: 仅手动唤醒 1: 使能自动唤醒	R/W	0b
26	LED禁止 (LED_DIS) 此位用于禁止LED输出。漏极开路/源极开路LED不进行驱动。推挽式LED仍进行驱动，但会设置为无效状态。 0: 使能LED 1: 禁止LED	R/W	0b
25:22	保留	RO	-
21	EtherCAT®内核时钟禁止 (ECAT_DIS) 此位用于禁止EtherCAT内核的时钟。 0: 使能时钟 1: 禁止时钟 要将此位置1，必须连续两次写入1。写0将复位计数。	R/W	0b
20:18	保留	RO	-
17	能量检测/WoL状态端口B (ED_WOL_STS_B) 此位指示端口B PHY上发生的能量检测或WoL事件。 要将此位清零，还需要将PHY中的事件清除。第6.3节“功耗管理”（第50页）中介绍了事件源。	R/W1C	0b
16	能量检测/WoL状态端口A (ED_WOL_STS_A) 此位指示端口A PHY上发生的能量检测或WoL事件。 要将此位清零，还需要将PHY中的事件清除。第6.3节“功耗管理”（第50页）中介绍了事件源。	R/W1C	0b
15	能量检测/WoL使能端口B (ED_WOL_EN_B) 如果置1，当端口B中出现能量检测或WoL事件时，中断状态寄存器 (INT_STS) 中的PME_INT位将置为有效。	R/W	0b
14	能量检测/WoL使能端口A (ED_WOL_EN_A) 如果置1，当端口A中出现能量检测或WoL事件时，中断状态寄存器 (INT_STS) 中的PME_INT位将置为有效。	R/W	0b
13:10	保留	RO	-

位	说明	类型	默认值
9:7	PME引脚映射 (PME_PIN_SEL) 此位域用于将PME信号映射到其中一个器件引脚。 000: 无 001: ERRLED 010: WAIT_ACK 011: SYNC0/LATCH0 100: SYNC1/LATCH1 101: 保留 110: 保留 111: 保留 注: 即使完成映射, 也必须使能PME输出, 否则被映射的引脚将保持非驱动状态。	R/W NASR 注	000b
6	PME缓冲器类型 (PME_TYPE) 当此位清零时, PME输出引脚用作漏极开路缓冲器, 用于线或配置。置1时, PME输出引脚为推挽式驱动器。 0: PME引脚漏极开路输出 1: PME引脚推挽式驱动器 注: 当PME输出引脚配置为漏极开路输出时, 该寄存器的PME_POL位域被忽略且输出始终低电平有效。	R/W NASR 注	0b
5:4	保留	RO	-
3	PME指示 (PME_IND) PME信号可配置为脉冲输出或静态信号, 在检测到唤醒事件时置为有效。置1时, PME信号将在检测到唤醒事件时进入脉冲有效状态并持续50 ms。清零时, PME信号将在检测到唤醒事件时被持续驱动。 0: 在检测到事件时持续驱动PME 1: 在检测到事件时输出50 ms PME脉冲 可通过清零上述状态位或清零相应的使能位来停用PME信号。	R/W	0b
2	PME极性 (PME_POL) 该位控制PME信号的极性。置1时, PME输出为高电平有效信号。清零时, PME输出为低电平有效信号。 注: 当PME配置为漏极开路输出时, 此位域被忽略且输出始终低电平有效。 0: PME低电平有效 1: PME高电平有效	R/W NASR 注	0b
1	PME使能 (PME_EN) 当该位置1时, 将使能外部PME信号引脚。当该位清零时, 将禁止外部PME信号引脚。 注: 该位不会影响 中断状态寄存器 (INT_STS) 中的PME_INT中断位。 0: 禁止PME引脚 1: 使能PME引脚	R/W	0b

位	说明	类型	默认值
0	器件就绪 (READY) 置1时，该位指示器件已准备好接受访问。在上电复位、RST#复位、退出节能状态、EtherCAT芯片级/模块级复位或数字复位后，主机处理器可询问该位域以指示器件是否已稳定且完全激活。 该位的上升沿会将INT_STS中的器件就绪 (READY)位置为有效，并且可引起中断（如果允许）。 注： 当READY位清零时，将禁止对除了HW_CFG、PMT_CTRL、BYTE_TEST和RESET_CTL寄存器以外的任何内部资源进行读访问。该位置1之前，对任何地址的写访问都是无效的。 注： 该位与硬件配置寄存器 (HW_CFG)的bit 27相同。	RO	0b

注： 当**复位控制寄存器 (RESET_CTL)**中的DIGITAL_RST位置1时，不会复位指定为NASR的寄存器位。

6.4 器件就绪操作

器件支持就绪状态寄存器位，该位用于向主机软件指示器件何时完全准备好进行操作。此位可通过**功耗管理控制寄存器 (PMT_CTRL)**或**硬件配置寄存器 (HW_CFG)**读取。

上电复位、**RST#**复位、EtherCAT芯片级复位或数字复位（见第6.2节“复位”）后，**器件就绪 (READY)**位指示器件已读取并通过EEPROM的内容进行配置。

通过**复位控制寄存器 (RESET_CTL)**进行的EtherCAT复位将使EtherCAT内核从EEPROM重载，从而暂时导致**器件就绪 (READY)**位变为低电平。

进入除D0外的任何节能状态（见第6.3.4节“芯片级功耗管理”）都将导致**器件就绪 (READY)**位变为低电平。唤醒后，一旦器件恢复到节能状态D0并且PLL已重新稳定，**器件就绪 (READY)**位即变为高电平。

7.0 系统中断

7.1 功能概述

本章介绍器件的系统中断结构。器件提供了多层可编程中断结构，此结构通过系统中断控制器来控制。可编程系统中断由各个器件子模块在内部生成，并可配置为通过**IRQ**中断输出引脚生成单个外部主机中断。主机中断的可编程性质使用户可根据应用要求来优化性能。**IRQ**中断缓冲器类型、极性和置为无效的间隔是可修改的。**IRQ**中断可配置为漏极开路输出，以便与其他器件共用中断。所有内部中断均可屏蔽并且能够触发**IRQ**中断。

7.2 中断源

器件能生成以下类型的中断：

- 以太网PHY中断
- 功耗管理中断
- 通用定时器中断（GPT）
- EtherCAT中断
- 软件中断（通用）
- 器件就绪中断
- 时钟输出测试模式

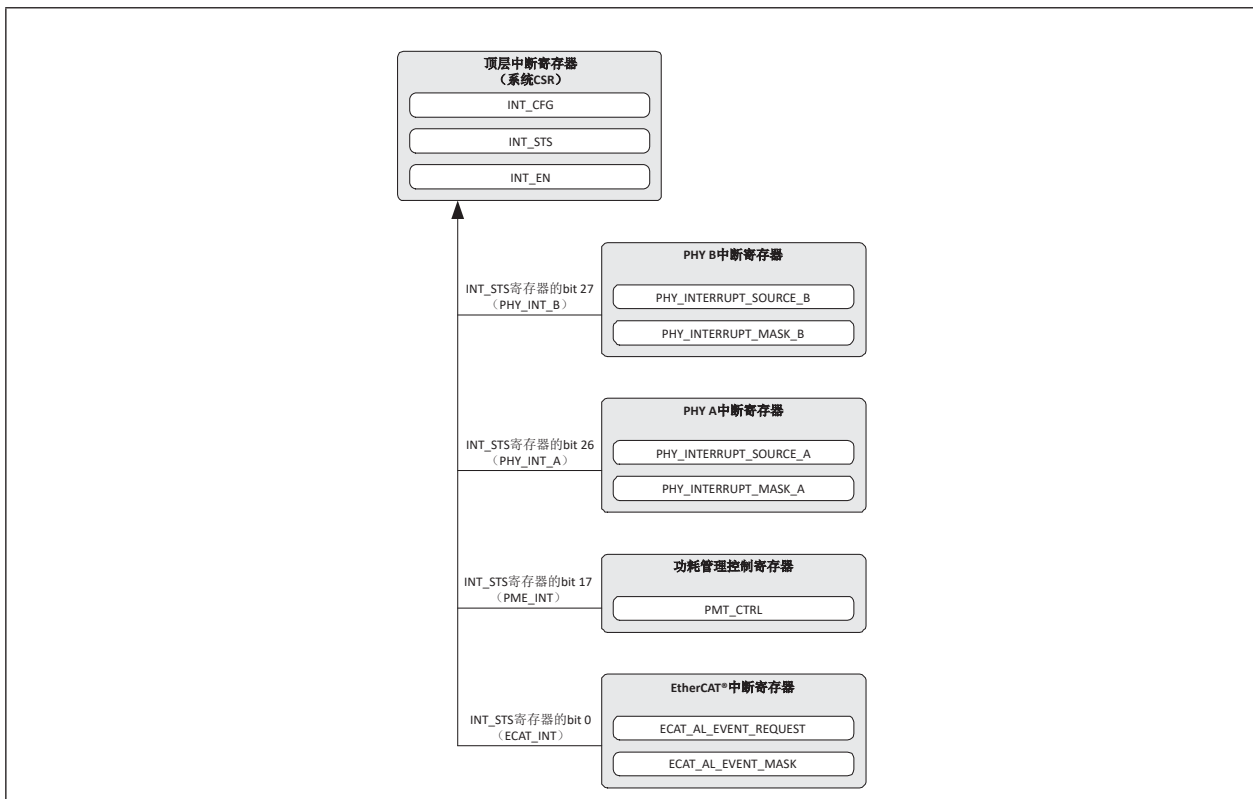
所有中断均通过排列成多层类分支结构的寄存器（如图7-1所示）进行访问和配置。器件中断结构的顶层是**中断状态寄存器（INT_STS）**、**中断允许寄存器（INT_EN）**和**中断配置寄存器（IRQ_CFG）**。

中断状态寄存器（INT_STS）和**中断允许寄存器（INT_EN）**聚合并允许/禁止来自各个器件子模块的所有中断，将它们组合在一起以产生**IRQ**中断。这两个寄存器为通用定时器、软件和器件就绪中断提供直接中断访问/配置。可以在这两个寄存器内直接监视、允许/禁止和清除这些中断。此外，还为EtherCAT子设备、功耗管理和以太网PHY中断提供了事件指示。这些中断的区别在于中断源在其他子模块寄存器中生成和清除。**INT_STS**寄存器不提供有关子模块内的哪个特定事件引起中断的详细信息，需要软件轮询额外的子模块中断寄存器（如图7-1所示）才能确定准确的中断源并将其清除。对于涉及多个寄存器的中断，只有在处理了中断并在其中断源清除后，才能在**INT_STS**寄存器中将其清除。

中断配置寄存器（IRQ_CFG）负责使能/禁止**IRQ**中断输出引脚以及配置其属性。**IRQ_CFG**寄存器允许修改**IRQ**引脚缓冲器类型、极性和置为无效的间隔。置为无效定时器可保证**IRQ**输出的最小中断置为无效周期，可通过**中断配置寄存器（IRQ_CFG）的中断置为无效间隔（INT_DEAS）**位域进行编程。全零设置将禁止置为无效定时器。在任何情况下，置为无效的间隔都从**IRQ**引脚置为无效时开始生效。

注： 置为无效定时器不适用于PME中断。PME中断在经过置为无效定时器门控后，以或逻辑接入**IRQ**逻辑。PME中断置为有效不会影响到置为无效定时器。

图7-1：功能中断层级



以下各节详细介绍了每个中断类别及其相关的寄存器。有关所有中断寄存器中各位的定义，请参见相应功能的章节。

7.2.1 以太网PHY中断

每个以太网PHY都提供一组相同的中断源。中断状态寄存器（INT_STS）的顶层PHY A中断事件（PHY_INT_A）和PHY B中断事件（PHY_INT_B）位为PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的PHY中断事件发生提供指示。

PHY中断通过各自的PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）允许/禁止。PHY中断源可通过PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）确定和清除。各个中断基于以下事件生成：

- ENERGYON激活
- 自动协商完成
- 检测到远程故障
- 链路中断（链路状态置为无效）
- 链路接通（链路状态有效）
- 自动协商LP应答
- 并行检测故障
- 收到自动协商页
- 检测到LAN唤醒事件

为了使中断事件触发外部**IRQ**中断引脚，必须在相应的**PHY x**中断屏蔽寄存器（**PHY_INTERRUPT_MASK_x**）中允许所需的**PHY**中断事件，**中断允许寄存器（INT_EN）**的**PHY A**中断事件使能（**PHY_INT_A_EN**）和/或**PHY B**中断事件使能（**PHY_INT_B_EN**）位必须置1且必须通过**中断配置寄存器（IRQ_CFG）**的**IRQ使能（IRQ_EN）**位使能**IRQ**输出。

有关以太网**PHY**中断的更多详细信息，请参见第10.2.8节“**PHY中断**”（第160页）。

7.2.2 功耗管理中断

器件提供了多个功耗管理事件中断源。**中断状态寄存器（INT_STS）**的顶层**功耗管理中断事件（PME_INT）**位提供发生**功耗管理控制寄存器（PMT_CTRL）**中功耗管理中断事件的指示。

功耗管理控制寄存器（PMT_CTRL）提供所有功耗管理条件的使能/禁止功能以及状态。其中包括**PHY**上的能量检测以及通过**PHY A**和**PHY B**提供的**LAN**唤醒（理想的**DA**、广播、唤醒帧或魔术包）检测。

为了使功耗管理中断事件触发外部**IRQ**中断引脚，必须在**功耗管理控制寄存器（PMT_CTRL）**中允许所需的功耗管理中断事件，**中断允许寄存器（INT_EN）**的**功耗管理事件中断允许（PME_INT_EN）**位必须置1且必须通过**中断配置寄存器（IRQ_CFG）**的**IRQ使能（IRQ_EN）**bit 8使能**IRQ**输出。

功耗管理中断只是器件功耗管理功能的一部分。有关功耗管理的更多详细信息，请参见第6.3节“**功耗管理**”（第50页）。

7.2.3 通用定时器中断

顶层**中断状态寄存器（INT_STS）**和**中断允许寄存器（INT_EN）**中提供**GP定时器（GPT_INT）**中断。此中断在**通用定时器计数寄存器（GPT_CNT）**从0折回FFFFh时发出，在**中断状态寄存器（INT_STS）**的**GP定时器（GPT_INT）**位写1时清除。

为了使通用定时器中断事件触发外部**IRQ**中断引脚，必须通过**通用定时器配置寄存器（GPT_CFG）**中的**GP定时器使能（TIMER_EN）**位使能**GPT**，**中断允许寄存器（INT_EN）**的**GP定时器中断允许（GPT_INT_EN）**位必须置1且必须通过**中断配置寄存器（IRQ_CFG）**的**IRQ使能（IRQ_EN）**位使能**IRQ**输出。

有关通用定时器的更多详细信息，请参见第14.1节“**通用定时器**”（第343页）。

7.2.4 EtherCAT中断

中断状态寄存器（INT_STS）的顶层**EtherCAT中断事件（ECAT_INT）**提供发生**AL事件请求寄存器**中**EtherCAT**中断事件的指示。**AL事件屏蔽寄存器**提供所有**EtherCAT**中断条件的允许/禁止功能。**AL事件请求寄存器**提供所有**EtherCAT**中断的状态。

为了使**EtherCAT**中断事件触发外部**IRQ**中断引脚，必须在**AL事件屏蔽寄存器**中允许所需的**EtherCAT**中断，**中断允许寄存器（INT_EN）**的**EtherCAT中断事件使能（ECAT_INT_EN）**位必须置1且必须通过**中断配置寄存器（IRQ_CFG）**的**IRQ使能（IRQ_EN）**位使能**IRQ**输出。

有关**EtherCAT**中断的更多详细信息，请参见第11.0节“**EtherCAT**”（第232页）。

7.2.5 软件中断

顶层**中断状态寄存器（INT_STS）**和**中断允许寄存器（INT_EN）**中提供了通用软件中断。当**中断允许寄存器（INT_EN）**的**软件中断允许（SW_INT_EN）**位从清零切换为置1（即，在使能的上升沿）时，将产生**中断状态寄存器（INT_STS）**的**软件中断（SW_INT）**。此中断设计用于常规软件，提供了一种简单的软件产生中断的方法。

为了使软件中断事件触发外部**IRQ**中断引脚，必须通过**中断配置寄存器（IRQ_CFG）**的**IRQ使能（IRQ_EN）**位使能**IRQ**输出。

7.2.6 器件就绪中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供了器件就绪中断。中断状态寄存器（INT_STS）的器件就绪（READY）位用于指示器件已准备好在上电或复位条件后接受访问。在中断状态寄存器（INT_STS）中对该位写1会将其清零。

为了使器件就绪中断事件触发外部IRQ中断引脚，中断允许寄存器（INT_EN）的器件就绪使能（READY_EN）位必须置1且必须通过中断配置寄存器（IRQ_CFG）的IRQ使能（IRQ_EN）位使能IRQ输出。

7.2.7 时钟输出测试模式

要实现系统级调试，可通过将中断配置寄存器（IRQ_CFG）的IRQ时钟选择（IRQ_CLK_SELECT）位置1将晶振时钟使能到IRQ引脚上。

IRQ引脚应通过IRQ缓冲器类型（IRQ_TYPE）位设置为推挽式驱动器以获得最佳效果。

7.3 中断寄存器

本节详细介绍与可直接寻址中断相关的系统CSR。这些寄存器用于控制、配置和监视IRQ中断输出引脚以及各种器件中断源。有关整个可直接寻址寄存器映射的概述，请参见第5.0节“寄存器映射”（第39页）。

表7-1：中断寄存器

地址	EtherCAT®直接映射模式	寄存器名称（符号）
054h	3054h	中断配置寄存器（IRQ_CFG）
058h	3058h	中断状态寄存器（INT_STS）
05Ch	305Ch	中断允许寄存器（INT_EN）

т1o1m T ʒ^ lwvψ/CD~

Z ' лрпKколрпK ' OH β

K'Ω ʒ G ~ lwv H_u Â

β		جى	Y
OM'HP	中断置 ʒ ^ lbϕψ59!{~ β G T ʒ ml kǎ Õ ~ Â β ʒ л ψ a ʒ ϑ lbϕψ59!{ ä β ʒ ʊ F K v T Â U β Ω ~ ʏ ~ K v X T Â β Ъ g ta9ψlbϕ T Â	wk 2	00K
HO'MP	G̃	wh	π
MP	T ʒ ^ lbϕψ59!{ψ/[w~ U ʒ Ω ~ M ψ T L ʒ T ʒ ʒ ~ ɛ a ʒ ʒ ~ Â o' Ъ 1' ʒ ʒ	wk 2 {/	OK
MO	T ʒ ^ lbϕψ59!{ψ{ϕ{~ β M T L ʒ F G ʒ T T Ъ ψ ʊ [lwv Â β T L ʒ F G ʒ T~ T ʊ [lwv Â o' T L ʒ G ʒ T 1' T L ʒ G ʒ T	wh	0b
MH	η T ^ lwvψlbϕ~ ~ β G ρ lwv ~ Ъ lwvψ9b β T ʒ G Â β M ~ ì T w̄ ʒ ~H T F o' ~H T G 1' w̄ ʒ ʒ ~H T G	wh	0b
MM'Yφ	G̃	wh	π
y	lwv a ^ lwvψ9b~ β L lwv T F Â ~ lwv F F Ъ ʒ Â β K v ρ T β ʒ Ъ Ъ Â o' lwv ʒ F 1' a lwv ʒ F	wk 2	0b

位	说明	类型	默认值
7:5	保留	RO	-
4	IRQ极性 (IRQ_POL) 清零时，此位使IRQ线用作低电平有效输出。置1时，IRQ输出高电平有效。当IRQ（通过IRQ_TYPE位）配置为漏极开路输出时，此位被忽略且中断始终低电平有效。 0：IRQ低电平有效输出 1：IRQ高电平有效输出	R/W NASR 注1	0b
3:2	保留	RO	-
1	IRQ时钟选择 (IRQ_CLK_SELECT) 当此位置1时，IRQ引脚上可输出晶振时钟。这用于系统调试，目的为观察时钟，不适用于任何功能目的。 注： 当使用此位时，IRQ引脚应设置为推挽式驱动器。	R/W	0b
0	IRQ缓冲器类型 (IRQ_TYPE) 当此位清零时，IRQ引脚用作漏极开路输出，用于线或中断配置。置1时，IRQ为推挽式驱动器。 注： 当配置为漏极开路输出时，IRQ_POL位被忽略且中断输出始终低电平有效。 0：IRQ引脚为漏极开路输出 1：IRQ引脚为推挽式驱动器	R/W NASR 注1	0b

注1： 当[复位控制寄存器 \(RESET_CTL\)](#) 中的DIGITAL_RST位置1时，不会复位指定为NASR的寄存器位。

7.3.2 中断状态寄存器 (INT_STS)

偏移量: 058h/3058h

大小: 32位

此寄存器包含中断的当前状态。值1表示满足相应中断条件，而值0表示未满足中断条件。此寄存器的位反映了中断源的状态，与是否在[中断允许寄存器 \(INT_EN\)](#)中允许中断源作为中断无关。当指示为R/W1C时，向相应位写入1将响应并清除中断。

位	说明	类型	默认值
31	软件中断 (SW_INT) 当 中断允许寄存器 (INT_EN) 中的 软件中断允许 (SW_INT_EN) 位设置为高电平时，将产生该中断。写入1将清除此中断。	R/W1C	0b
30	器件就绪 (READY) 此中断用于指示器件已准备好在上电或复位条件后接受访问。	R/W1C	0b
29:28	保留	RO	-
27	PHY B中断事件 (PHY_INT_B) 此位指示来自PHY B的中断事件。中断源可通过轮询 PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定。	RO	0b
26	PHY A中断事件 (PHY_INT_A) 此位指示来自PHY A的中断事件。中断源可通过轮询 PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x) 确定。	RO	0b
25:20	保留	RO	-
19	GP定时器 (GPT_INT) 当 通用定时器计数寄存器 (GPT_CNT) 从0折回FFFFh时，将发出此中断。	R/W1C	0b
18	保留	RO	-
17	功耗管理中断事件 (PME_INT) 当按 功耗管理控制寄存器 (PMT_CTRL) 中的配置检测到功耗管理事件时，将发出此中断。该中断功能独立于PME信号，即使禁止PME信号，该功能仍有效。写入1将清零该位，与PME硬件信号的状态无关。要将此位清零，必须先将 功耗管理控制寄存器 (PMT_CTRL) 中的所有未屏蔽位清零。 注： 中断置为无效间隔不适用于PME中断。	R/W1C	0b
16:1	保留	RO	-
0	EtherCAT®中断事件 (ECAT_INT) 此位指示EtherCAT中断事件。中断源可通过轮询 AL事件请求寄存器 确定。	RO	0b

7.3.3 中断允许寄存器 (INT_EN)

偏移量: 05Ch/305Ch

大小： 32位

此寄存器包含**IRQ**输出引脚的中断允许。向任何一位写入1均会允许相应中断作为**IRQ**的中断源。**中断状态寄存器 (INT_STS)**中的位将反映中断源的状态，与是否在此寄存器中允许中断源作为中断无关 (**软件中断允许 (SW_INT_EN)**除外)。有关每个中断的说明，请参见**中断状态寄存器 (INT_STS)**中的各个位，这些位的布局与此寄存器的布局相同。

位	说明	类型	默认值
31	软件中断允许 (SW_INT_EN)	R/W	0b
30	器件就绪中断允许 (READY_EN)	R/W	0b
29:28	保留	RO	-
27	PHY B中断事件允许 (PHY_INT_B_EN)	R/W	0b
26	PHY A中断事件允许 (PHY_INT_A_EN)	R/W	0b
25:20	保留	RO	-
19	GP定时器中断允许 (GPT_INT_EN)	R/W	0b
18	保留	RO	-
17	功耗管理事件中断允许 (PME_INT_EN)	R/W	0b
16:1	保留	RO	-
0	EtherCAT®中断事件使能 (ECAT_INT_EN)	R/W	0b

8.0 主机总线接口

8.1 功能概述

主机总线接口（HBI）模块提供高速异步从接口，简化了器件与主机系统之间的通信。HBI允许访问系统CSR、内部FIFO和存储器，并基于字节顺序选择来处理字节交换。

下面概述了HBI提供的功能：

- **地址总线输入：**支持两种寻址模式，分别是**复用地址/数据模式**和**变址寻址模式**。模式选择通过配置输入来完成。
- **可选数据总线宽度：**可通过配置输入选择主机数据总线宽度。
EtherCAT直接映射模式：支持16位和8位数据模式。**BE1**和**BE0**用于字节选择。对于非EtherCAT内核寄存器，HBI执行字节/字到双字的组合/拆分。在16位模式下，不支持单字节访问。对于EtherCAT内核寄存器和过程RAM，支持单个字节访问。无需执行字节到双字的组装/拆分。
- **可选读/写控制模式：**提供两种控制模式。单独的读取和写入引脚或者使能和方向引脚。模式选择通过配置输入来完成。
- **可选控制线极性/缓冲器类型：**可通过配置输入选择等待/应答片选、读/写、字节使能和地址锁存器信号的极性，以及等待/应答信号的缓冲器类型。
- **动态字节顺序控制：**HBI支持基于字节顺序信号选择大尾数法和小尾数法的主机字节顺序。该高度灵活的接口提供混合字节顺序的方法来访问寄存器和存储器。根据器件寻址模式的不同，该信号可以是受配置寄存器控制的信号，或者作为选通地址输入的一部分。
- **支持总线等待状态：**与EtherCAT直接映射模式一起使用时，HBI可提供等待/应答信号以指示何时能够读取数据或完成写周期。
- **直接FIFO访问：**FIFO直接选择信号将直接对EtherCAT过程RAM写数据FIFO（仅复用地址模式）执行所有主机写操作，并且直接从EtherCAT过程RAM读数据FIFO（仅复用地址模式）执行所有主机读操作。该信号作为地址输入的一部分选通。

8.2 控制逻辑

8.2.1 读/写控制信号

器件支持两种不同的读/写信号方法：

- 读（**RD**）和写（**WR**）选通是单独引脚上的输入。
- 读信号和写信号从使能输入（**ENB**）和方向输入（**RD_WR**）解码。

8.2.2 控制线极性和缓冲器类型

器件支持对以下各项进行极性控制：

- 片选输入（**CS**）
- 读选通（**RD**）/方向输入（**RD_WR**）
- 写选通（**WR**）/使能输入（**ENB**）
- 字节使能（**BE0**和**BE1**）
- 地址锁存控制（**ALELO**和**ALEHI**）
- 等待/应答（**WAIT_ACK**）

器件支持对以下各项进行缓冲器类型控制：

- 等待/应答（WAIT_ACK）

8.2.3 通过CS信号限定ALE信号的有效性（仅限复用地址/数据模式）

可选择通过CS信号限定ALELO和ALEHI信号的有效性。使能限时，CS必须在ALELO和ALEHI期间有效，以对地址输入进行选通。未使能限时，CS在地址阶段期间状态为无关。

8.2.4 等待/应答操作

在EtherCAT直接映射模式（见第5.0节“寄存器映射”）下工作时，主机系统必须满足器件的时序访问要求。如果读取EtherCAT内核CSR或过程数据RAM，读周期必须等待至读数据已在内部检索完毕后才能开始。所有写周期必须等待之前的EtherCAT内核CSR或过程数据RAM写访问在内部完成后才能开始。主机系统既可以等待指定的最坏情况访问时间，也可以使用WAIT_ACK信号。

WAIT_ACK仅在EtherCAT直接映射模式下使用。当未处于EtherCAT直接映射模式时，如果WAIT_ACK使能，则始终处于无效状态（显示ACK）。

WAIT_ACK可设置为低电平有效的漏极开路输出（用于线与系统），或者设置为三态推挽式输出。

有关WAIT_ACK操作的说明，请参见第8.4.3.3节。

8.3 器件寻址、字节顺序控制和数据FIFO选择

8.3.1 复用地址/数据模式

在复用地址/数据模式下，地址、FIFO直接选择和字节顺序选择输入与数据总线共用。支持两种方法，即单阶段地址锁存（最多可使用16个地址/数据引脚）和双阶段地址锁存（仅使用低8位数据位）。

8.3.1.1 单阶段地址锁存

在单阶段模式下，所有地址位、FIFO直接选择信号和字节顺序选择均通过ALELO信号的后沿选通到器件中。地址锁存在全部16个地址/数据引脚上实现。在8位数据模式下，引脚AD[15:8]专用于寻址，不必通过读写操作连续驱动这些高地址线来发送有效地址。由于器件始终不会驱动这些引脚，因此可以接受这种称为部分地址复用的操作。

可选择通过CS信号限定ALELO信号的有效性。使能限时，CS必须在ALELO期间有效，以对地址输入进行选通。未使能限时，CS在地址阶段期间状态为无关。

地址将被保留以供未来所有读写操作使用，直至发生复位事件或装载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

8.3.1.2 双阶段地址锁存

在双阶段模式下，地址低8位通过ALELO信号的无效边沿选通到器件中，剩余的地址高位、FIFO直接选择信号和字节顺序选择均通过ALEHI信号的后沿选通到器件中。选通可采用任意顺序。在8位数据模式下，不使用引脚AD[15:8]。在16位数据模式下，引脚D[15:8]仅用于数据。

可选择通过CS信号限定ALELO和ALEHI信号的有效性。使能限时，CS必须在ALELO和ALEHI期间有效，以对地址输入进行选通。未使能限时，CS在地址阶段期间状态为无关。

地址将被保留以供未来所有读写操作使用，直至发生复位事件或装载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

8.3.1.3 地址位到地址/数据引脚的映射

在8位数据模式下，地址bit 0与引脚AD[0]复用，地址bit 1与引脚AD[1]复用，以此类推。

在EtherCAT直接映射模式下，最高地址位是bit 13，与引脚AD[13]（单阶段）或AD[5]（双阶段）复用。锁存到器件中的地址被视为字节地址，包含16K字节（0至3FFFh）。

在16位数据模式下，地址bit 1与引脚AD[0]复用，地址bit 2与引脚AD[1]复用，以此类推。

在EtherCAT直接映射模式下，最高地址位是bit 13，与引脚AD[12]（单阶段）或AD[4]（双阶段）复用。锁存到器件中的地址被视为字地址，包含8K字（0至1FFFh）。

EtherCAT直接映射模式使地址位数增加了4位。

当地址发送到器件的其余部分时，将被转换为字节地址。

8.3.1.4 字节顺序选择到地址/数据引脚的映射

字节顺序选择包含在复用地址中，从而允许主机系统基于所用的存储器地址动态选择字节顺序。这样就能通过混合字节顺序的方法来访问寄存器和存储器。

字节顺序选择与最后一个地址位之前一位的数据引脚复用，如表8-1所示。

表8-1：字节顺序选择到地址/数据引脚的映射

	地址模式	
	EtherCAT®直接映射模式	
数据模式	单阶段	双阶段
8位	AD14	AD6
16位	AD13	AD5

8.3.1.5 FIFO直接选择到地址/数据引脚的映射

将FIFO直接选择信号包含在复用地址中，从而允许主机系统将EtherCAT过程RAM数据FIFO视为较大的扁平地址空间进行寻址。

在EtherCAT直接映射模式下，由于未使用过程RAM FIFO，因此不使用FIFO直接选择。

FIFO直接选择信号与最后一个地址位之前两位的数据引脚复用，如表8-2所示。

表8-2：FIFO直接选择到地址/数据引脚的映射

	地址模式	
	EtherCAT®直接映射模式	
数据模式	单阶段	双阶段
8位	N/A	N/A
16位	N/A	N/A

8.3.2 变址寻址模式

在变址寻址模式下，对器件内部寄存器和存储器的访问通过变址和数据寄存器间接映射。所需的内部地址以特定偏移量写入器件。写入的值随后用作内部地址，用于访问相关的数据寄存器地址。

提供三个变址/数据寄存器组，可实现多线程操作，无需担心某个线程会损坏另一个线程设置的变址。

通过直接（异步）使用主机地址输入，可选择相应的变址寄存器，进而选定内部寄存器。

主机不提供FIFO直接选择信号，但当主机访问位于字节地址18h-1Bh的数据寄存器时，会通过仿真实现。按照下面的第8.3.3.2节“变址寄存器旁路FIFO访问（仅限变址寻址模式）”所述，当读取或写入位于字节地址18h-1Bh的数据寄存器时，会访问EtherCAT过程RAM数据FIFO。在EtherCAT直接映射模式下，由于未使用过程RAM FIFO，因此不使用变址寄存器旁路FIFO访问。

主机不提供字节顺序信号，但可为每个变址/数据对和变址寄存器旁路FIFO访问方法配置字节顺序。

下面给出了主机地址寄存器映射。在8位数据模式下，主机地址输入（ADDR[4:0]）是字节地址。在16位数据模式下，不提供ADDR0且主机地址输入（ADDR[4:1]）是字地址。

表8-3：主机总线接口变址寻址模式寄存器映射

字节地址	符号	寄存器名称
00h-03h	HBI_IDX_0	主机总线接口变址寄存器0
04h-07h	HBI_DATA_0	主机总线接口数据寄存器0
08h-0Bh	HBI_IDX_1	主机总线接口变址寄存器1
0Ch-0Fh	HBI_DATA_1	主机总线接口数据寄存器1
10h-13h	HBI_IDX_2	主机总线接口变址寄存器2
14h-17h	HBI_DATA_2	主机总线接口数据寄存器2
18h-1Bh	PROCESS_RAM_FIFO （在EtherCAT®直接映射 模式下不使用）	过程RAM写数据FIFO 过程RAM读数据FIFO
1Ch-1Fh	HBI_CFG	主机总线接口配置寄存器

8.3.2.1 主机总线接口变址寄存器

变址寄存器可按字或字节写入，具体取决于数据模式。写入这些寄存器时，无需考虑双字组合规则。变址寄存器的格式如下：

位	说明	类型	默认值
31:17	保留	RO	-
16	高字节使能 在16位数据模式下，如果使能EtherCAT®直接映射模式，则该低电平有效位用于使能访问EtherCAT内核寄存器或过程数据RAM时的字的高字节。 0 = 使能高字节 1 = 禁止高字节 该位对读操作和写操作均适用。 访问非EtherCAT内核寄存器时不使用该位，因为此类寄存器始终为双字宽度（通过双字组合/拆分过程实现）。	R/W	0b
15:0	内部地址 访问相应数据寄存器时使用的地址。 注： 每个变址寄存器提供的内部地址始终被视为字节地址。 访问非EtherCAT内核寄存器时不使用地址1:0，因为此类寄存器始终按双字对齐。 在16位数据模式下，如果使能EtherCAT直接映射模式，则地址0作为低电平有效的低字节使能位，用于使能访问EtherCAT内核寄存器或过程数据RAM时的字的低字节。 0 = 使能低字节 1 = 禁止低字节 该位对读操作和写操作均适用。	R/W	1234h 注2

注2： 默认值可用于帮助确定寄存器的字节顺序。

8.3.2.2 主机总线接口数据寄存器的使用

主机总线接口数据寄存器提供了一个用于访问内部寄存器的4字节窗口。

对非EtherCAT内核寄存器的访问始终按双字对齐且大小为双字。变址寄存器中地址位域的低两位未使用。

HBI负责执行双字组合/拆分，内部访问以双字为单位进行。主机总线地址的bit 1和bit 0（仅限8位数据模式）用于选择数据寄存器中的四个字节之一（8位数据模式）或两个字之一（16位数据模式）。软件可选择将这些字节（8位数据模式）或字（16位数据模式）作为数据寄存器内不同地址（如@HBI_DATA_0和@HBI_DATA_0+1等）处的字节/字进行寻址，或者可选择将其作为一个双字进行寻址，并让主机的总线接口单元（Bus Interface Unit, BIU）将较大的双字数据类型拆分为字节或字。无论哪种情况，都将在递增的地址（如@HBI_DATA_0和@HBI_DATA_0+1等）上多次访问数据寄存器。

使用EtherCAT直接映射模式时，访问EtherCAT内核寄存器或处理数据RAM无需按双字对齐。变址寄存器中地址位域的bit 1和bit 0（仅限8位数据模式）用作内部指针的一部分。

内部数据访问按原生主机总线宽度执行，但所选的EtherCAT内核寄存器或过程数据RAM可能按双字、字或字节执行。当寄存器宽度超过主机总线宽度时，可通过两种方法访问多个字/字节。

- 通过寻址数据寄存器的低字/字节（如@HBI_DATA_0）来访问低字/字节。然后递增变址寄存器中的地址位域。通过再次寻址数据寄存器的低字/字节（如@HBI_DATA_0）来访问下一个字/字节（8位数据模式下需再重复两次该操作）。
- 通过寻址数据寄存器的低字/字节（如@HBI_DATA_0）来访问低字/字节。通过寻址数据寄存器的下一个字/字节（如@HBI_DATA_0+1或+2）来访问下一个字/字节（8位数据模式下需再重复两次该操作）。

使用第一种方法时，软件需要重新组合或拆分数据。使用第二种方法时，尽管软件无需在数据访问之间递增地址位域，但仍需重新组合或拆分数据。此外，第二种方法还允许软件按双字或字寻址数据寄存器，并让主机的总线接口单元（BIU）将较大的数据类型（双字或字）拆分为字和字节。

为了在寻址数据寄存器的连续存储单元时访问EtherCAT内核寄存器或过程数据RAM的连续存储单元，硬件会将主机地址的低2位加到变址寄存器的地址位域中以仿真地址位域递增。

8.3.2.3 主机总线接口配置寄存器

HBI配置寄存器用于指定接口的字节顺序。每个变址/数据对以及变址寄存器旁路FIFO访问方法的字节顺序可单独指定。

该寄存器的字节顺序是不相干的，因为每个字节都投影到4个位置。

HBI配置寄存器可按双字、字或字节写入，具体取决于数据模式。写入该寄存器时，无需考虑双字组合规则。配置寄存器的格式如下：

位	说明	类型	默认值
31:28	保留	RO	-
27	FIFO字节顺序影子3 该位是bit 3的影子。	R/W	0b
26	主机总线接口变址/数据寄存器2字节顺序影子3 该位是bit 2的影子。	R/W	0b
25	主机总线接口变址/数据寄存器1字节顺序影子3 该位是bit 1的影子。	R/W	0b
24	主机总线接口变址/数据寄存器0字节顺序影子3 该位是bit 0的影子。	R/W	0b
23:20	保留	RO	-
19	FIFO字节顺序影子2 该位是bit 3的影子。	R/W	0b
18	主机总线接口变址/数据寄存器2字节顺序影子2 该位是bit 2的影子。	R/W	0b
17	主机总线接口变址/数据寄存器1字节顺序影子2 该位是bit 1的影子。	R/W	0b
16	主机总线接口变址/数据寄存器0字节顺序影子2 该位是bit 0的影子。	R/W	0b
15:12	保留	RO	-
11	FIFO字节顺序影子1 该位是bit 3的影子。	R/W	0b
10	主机总线接口变址/数据寄存器2字节顺序影子1 该位是bit 2的影子。	R/W	0b

位	说明	类型	默认值
9	主机总线接口变址/数据寄存器1字节顺序影子1 该位是bit 1的影子。	R/W	0b
8	主机总线接口变址/数据寄存器0字节顺序影子1 该位是bit 0的影子。	R/W	0b
7:4	保留	RO	-
3	FIFO字节顺序 该位用于指定通过变址/数据寄存器以外的方法访问FIFO时的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 3、bit 11、bit 19和bit 27进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b
2	主机总线接口变址/数据寄存器2字节顺序 该位用于指定变址和数据寄存器组2的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 2、bit 10、bit 18和bit 26进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b
1	主机总线接口变址/数据寄存器1字节顺序 该位用于指定变址和数据寄存器组1的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 1、bit 9、bit 17和bit 25进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b
0	主机总线接口变址/数据寄存器0字节顺序 该位用于指定变址和数据寄存器组0的字节顺序。 0 = 小尾数法 1 = 大尾数法 注： 为了避免该寄存器的字节顺序存在任何歧义，将对bit 0、bit 8、bit 16和bit 24进行投影。如果这些位中的任意一位在写操作期间置1，则所有这些位都将置1。	R/W	0b

8.3.3 EtherCAT过程RAM数据FIFO访问

8.3.3.1 FIFO直接选择访问（仅限复用地址/数据模式）

如第8.3.1.5节中所述，FIFO直接选择信号允许主机系统将EtherCAT过程RAM数据FIFO视为较大的扁平地址空间进行寻址。当地址锁存周期期间锁存的FIFO直接选择信号有效时，将对EtherCAT过程RAM写数据FIFO执行所有主机写操作，并对EtherCAT过程RAM读数据FIFO执行所有主机读操作。仅解码锁存的低地址信号，以选择正确的字节或字。该模式将忽略所有其他的地址输入。所有其他操作均相同（双字组合和FIFO弹出等）。

8.3.3.2 变址寄存器旁路FIFO访问（仅限变址寻址模式）

除了变址访问外，还可旁路变址寄存器并在地址18h-1Bh处访问FIFO。在该地址处，将对EtherCAT过程RAM写数据FIFO执行主机写操作，并对EtherCAT过程RAM读数据FIFO执行主机读操作。没有相关的变址寄存器。

8.4 数据周期

数据周期包括针对器件内部寄存器的读写周期，对于变址寻址模式，还包括针对变址寄存器和配置寄存器的读写周期。

所有地址模式的数据周期都类似。差异之处将在相应的位置注明。

8.4.1 内部寄存器数据访问

注： 内部寄存器不包括在EtherCAT直接映射模式下可由主机直接访问的EtherCAT内核寄存器和过程数据RAM。有关访问EtherCAT内核的说明，请参见第8.4.3节。

主机数据总线可以是16位或8位宽，而所有内部寄存器均是32位宽。在8位或16位数据模式下，主机总线接口执行从字或字节到双字的转换。要执行一次读/写操作，需要在同一双字中执行两次或四次连续访问。

对于变址寻址模式，每个数据寄存器（共四个，包括一个用于变址寄存器旁路FIFO访问的寄存器）都会单独执行字或字节到双字的转换。可对这些寄存器（以及HBI变址和配置寄存器）进行混合访问，而无需担心数据损坏。

8.4.1.1 写周期

当CS和WR有效时（或者当CS和ENB有效且RD_WR指示写操作时），将发生写周期。

在写周期的后沿（WR、CS或ENB变为无效），主机数据将被捕捉到HBI中的寄存器（在变址寻址模式下为四组寄存器之一）中。根据总线宽度的不同，捕捉的数据可以是字或字节。对于8位或16位数据模式，其作用为双字组合，组合的对象是字还是字节取决于低地址输入（在变址寻址模式下则取决于实时主机地址输入）。字节交换也在此时基于寄存器的字节顺序完成。有关确定字节顺序的说明，请参见第8.4.4节。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至读周期执行完成。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至读周期执行完成。

8位和16位访问

在8位或16位数据模式下，主机需要执行两次16位/四次8位写操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字/字节，前提是对其余的字或字节执行额外的写操作。

注： 向同一双字写入相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

对于变址寻址模式，使用两个变址/数据寄存器对访问同一内部寄存器会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

对于变址寻址模式，对同一数据寄存器进行读写混合操作会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

写字节/字计数器（在变址寻址模式下，四个数据寄存器各有一个单独的计数器）会保持跟踪写操作次数。在写周期的后沿，计数器（在变址寻址模式下为四个计数器之一，具体取决于捕捉的主机地址）递增。所有写操作均发生后，使用在写周期的前沿捕捉的地址和在写周期的后沿捕捉的数据对内部寄存器执行32位写操作（对于变址寻址模式，基于捕捉的主机地址选择四组数据寄存器之一）。

如果功耗管理模式设置为D0以外的任何模式，则写字节/字计数器复位。

8.4.1.2 读周期

当CS和RD有效时（或者当CS和ENB有效且RD_WR指示读操作时），将发生读周期。

在读周期开始时，会选择相应的器件寄存器，其中的数据会被驱动到数据引脚上。

根据总线宽度的不同，读取的数据可以是字或字节。对于8位或16位数据模式，返回字节还是字取决于字节顺序和低地址输入（在变址寻址模式下则取决于实时主机地址输入）。有关确定字节顺序的说明，请参见第8.4.4节。

初始化完成的轮询

器件初始化之前，HBI将不会返回有效数据。要确定HBI何时工作，应遵循以下步骤：

对于复用地址/数据模式，应轮询字节顺序测试寄存器（BYTE_TEST）。每次轮询都应包含地址锁存周期和一个数据周期。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）中的器件就绪（READY）位来确定器件何时完全配置。

对于变址寻址模式，应先轮询主机总线接口变址寄存器0，然后轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）中的器件就绪（READY）位来确定器件何时完全配置。

功耗管理期间以及功耗管理之后的读操作

在D0以外的任何功耗管理模式期间，来自主机总线的读操作都将被忽略。如果功耗管理模式在有效读周期期间切换回D0，则读周期的尾端将被忽略。内部寄存器不受影响，HBI的状态不会改变。

8位和16位访问

对于某些寄存器访问，主机需要执行两次连续的16位/四次连续的8位读操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字或字节，前提是对其余的字或字节执行额外的读操作。

注： 从同一双字读取相同的字或字节会引发未定义或不需要的操作。HBI硬件不会阻止该操作。HBI仅计数是否已完成四次字节读操作。

对于变址寻址模式，使用两个变址/数据寄存器对访问同一内部寄存器会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

对于变址寻址模式，对同一数据寄存器进行读写混合操作会引发未定义或不需要的操作。HBI硬件不会阻止该操作。

读字节/字计数器（在变址寻址模式下，四个数据寄存器各有一个单独的计数器）会保持跟踪读操作次数。该（这些）计数器与上述写计数器是相互独立的。在读周期的后沿，计数器（在变址寻址模式下为四个计数器之一，具体取决于捕捉的主机地址）递增计数。在最后一次读取双字时，会执行内部读操作以更新任何“读取时更改”CSR或FIFO。

如果功耗管理模式设置为D0以外的任何模式，则读字节/字计数器复位。

特殊CSR处理

即时位

任何由硬件事件更新的寄存器位均从读周期开始时保持不变，以防止该位在读周期期间发生更改。

16位或8位模式下的多字节/字即时寄存器

一些寄存器具有跨越多个字节或字的“即时”位域或相关位域。对于16位和8位数据读操作，这些位域的值可能在各主机读周期之间发生更改。为避免读取中间值，这些寄存器在读取第一个字节或字时锁定，在读取最后一个字节或字时解锁。

具有该功能的寄存器会在其寄存器说明中添加注释。如果功耗管理模式设置为D0以外的任何模式，则寄存器将解锁。

复位或初始化期间的寄存器轮询

一些寄存器支持在复位或器件初始化期间轮询，以确定何时可访问器件。对于这些寄存器，只可执行一次读操作，而无需读取其他字或字节。寄存器的同一字节或字可反复重读。

支持16位或8位读取或者可在复位或器件初始化期间读取的寄存器在其寄存器说明中进行了注释。

8.4.2 变址寻址模式变址和配置寄存器数据访问

如第8.3.2节所述，变址寻址模式包含变址和配置寄存器。

主机数据总线可以为16位宽或8位宽。HBI变址寄存器和HBI配置寄存器为32位宽，可以按字或字节写入，具体取决于数据模式。它们不存在也不需要字/字节到双字的转换。

8.4.2.1 写周期

当CS和WR有效时（或者当CS和ENB有效且RD_WR指示写操作时），将发生写周期。

在写周期的后沿（WR、CS或ENB变为无效），主机数据将被捕捉到配置寄存器或其中一个变址寄存器中。

根据总线宽度的不同，写入的数据可以是字或字节。受影响的字或字节由寄存器的字节顺序（在[主机总线接口配置寄存器](#)中指定）和低地址输入确定。不支持单字节访问（16位数据模式下）。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至读周期执行完成。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至读周期执行完成。

8.4.2.2 读周期

当CS和RD有效时（或者当CS和ENB有效且RD_WR指示读操作时），将发生读周期。直接通过主机总线使用主机地址。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。根据总线宽度的不同，读取的数据可以是字或字节。对于8位或16位数据模式，返回的字节或字由寄存器的字节顺序（在[主机总线接口配置寄存器](#)中指定）和主机低地址输入确定。

8.4.3 EtherCAT直接映射模式

注： 在EtherCAT直接映射模式下，非EtherCAT内核寄存器继续使用第8.4.1.2节和第8.4.2.2节中所述的方法进行访问。

在EtherCAT直接映射模式下，变址寻址模式变址和配置寄存器继续使用第8.4.2.1节和第8.4.2.2节中所述的方法进行访问。

在EtherCAT直接映射模式下，EtherCAT内核寄存器和过程数据RAM映射到主机地址空间中。主机数据总线可以为16位或8位宽，EtherCAT内核接口设置为匹配。主机总线接口不执行任何字节到字的转换。在16位模式下，可执行字节或字访问。

8.4.3.1 EtherCAT内核寄存器和过程数据RAM写访问

当CS和WR有效时（或当CS和ENB有效且RD_WR指示写操作时），写周期开始。主机地址和高字节使能在写周期开始时必须有效。

内部写访问在主机写周期期间（需响应）或之后（无需响应）执行，具体取决于配置。

如果选择需响应的写操作，内部写操作在写周期开始时启动，WAIT_ACK引脚指示等待。当内部写操作完成时，WAIT_ACK引脚指示应答，允许主机写周期完成。请注意，需响应的写操作要求主机数据在主机写周期开始时有效。

如果选择无需响应的写操作，内部操作在主机写周期结束时开始。在这种情况下，外部写访问非常快，但紧随其后的任何访问都将因等待处理的写操作而延迟（由WAIT_ACK引脚控制）。在这种情况下，器件的最大访问时间更长。

写周期的宽度可以是字或字节。访问EtherCAT内核时，HBI不执行字组合。所有主机访问都发送到EtherCAT内核接口。

注： 在变址16位模式下，尽管主机总线可能提供字节使能，但器件不使用。字节使能在内部作为变址寄存器中的位提供。主机可能实际上执行的是字访问，但字节使能位指定实际受影响的字节。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至读周期执行完成。

功耗管理期间以及功耗管理之后的写操作

D0以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至读周期执行完成。

8.4.3.2 EtherCAT内核寄存器和过程数据RAM读访问

当CS和RD有效时（或者当CS和ENB有效且RD_WR指示读操作时），将发生读周期。主机地址和高字节使能在读周期开始时必须有效。

内部读操作在读周期开始时启动，WAIT_ACK引脚指示等待。读操作在所有无需响应的内部写操作完成之后执行，EtherCAT内核接口提供有效数据。读取的数据保存在EtherCAT内核接口中，并返回到HBI以基于异步主机地址进行复用。

WAIT_ACK引脚变为指示应答，允许主机读周期完成。通过在EtherCAT内核接口中进行配置，可将读访问的WAIT_ACK置为无效额外延迟15 ns，以满足相对于WAIT_ACK的额外外部数据建立时间要求。

读周期的宽度可以是字或字节。访问EtherCAT内核时，HBI不执行字拆分。所有主机访问都发送到EtherCAT内核接口。

8.4.3.3 等待/应答操作

在EtherCAT直接映射模式下工作时，主机系统必须满足器件的时序访问要求。所有读写周期必须等待任何无需响应的写访问在内部完成。所有读操作和需响应的写操作必须等待内部数据周期完成。

主机系统既可以等待指定的最坏情况访问时间，也可以使用WAIT_ACK信号。

为确保一致性，针对非EtherCAT内核寄存器以及变址寻址模式变址和配置寄存器的读操作和写操作遵循相同的WAIT_ACK操作。

读数据周期和写数据周期均从CS的前沿开始，WAIT_ACK输出在该边沿使能。主机可在CS之后的任一点或与其同步开始读周期或写周期。

如果无需响应的EtherCAT内核写操作在内部等待处理，WAIT_ACK从一开始就指示等待。如果没有等待处理的无需响应的写操作，WAIT_ACK从一开始就指示应答（不忙）。

对于无需响应的写操作，如果之前的写操作未在内部等待处理或已完成，WAIT_ACK将指示应答。一旦指示应答，主机便可在其总线上完成写周期。写周期在内部被捕捉并由EtherCAT内核接口执行。

对于需响应的写操作和读操作，WAIT_ACK在主机启动周期的数据部分时指示等待。一旦写周期或读周期在内部完成，WAIT_ACK将指示应答，主机随后可完成其周期。

WAIT_ACK在CS无效时变为非驱动状态。

8.4.4 主机字节顺序

器件支持大尾数法和小尾数法两种主机字节顺序。不同的寻址模式提供不同的字节顺序选择。对于复用地址/数据模式，字节顺序选择在地址锁存周期内锁存。对于变址寻址模式，字节顺序选择来自主机总线接口配置寄存器中的四个字节顺序位（每个变址/数据对各对应一位，变址寄存器旁路FIFO访问方法对应一位）。

当字节顺序选择为低电平时，主机访问为小尾数法；当字节顺序选择为高电平时，主机访问为大尾数法。对于复用模式，字节顺序选择可连接到高位地址线，从而基于地址进行字节顺序选择。该高度灵活的接口为寄存器和存储器提供混合字节顺序访问方法以进行PIO和主机DMA访问。

大多数内部总线为32位，在内部使用小尾数法的字节顺序。主机总线接口的内部逻辑基于相应的字节顺序位以及最低有效地址位的状态重新排列字节的顺序。

图8-1和图8-2给出了支持的字节顺序配置的数据路径操作以及数据总线大小。

图8-1: 小尾数法字节顺序

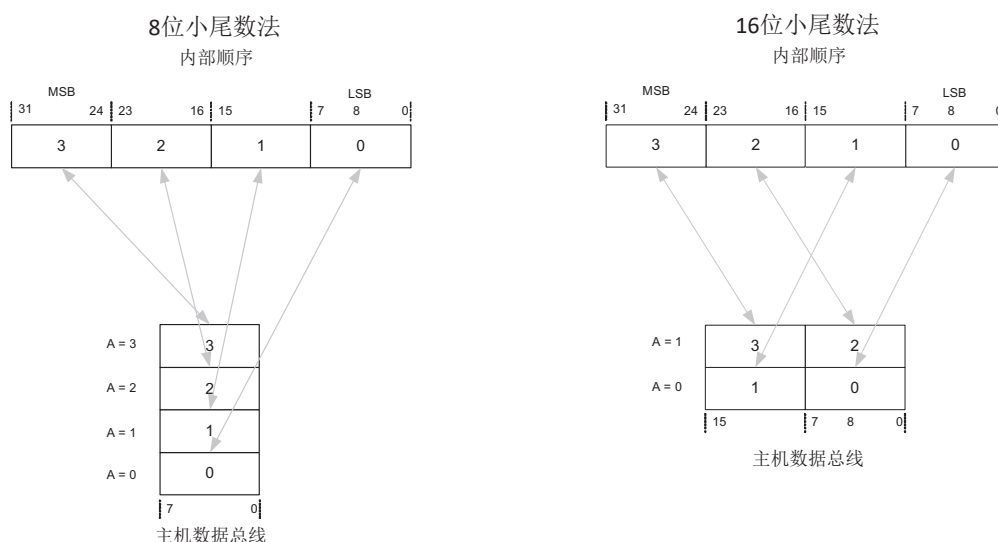
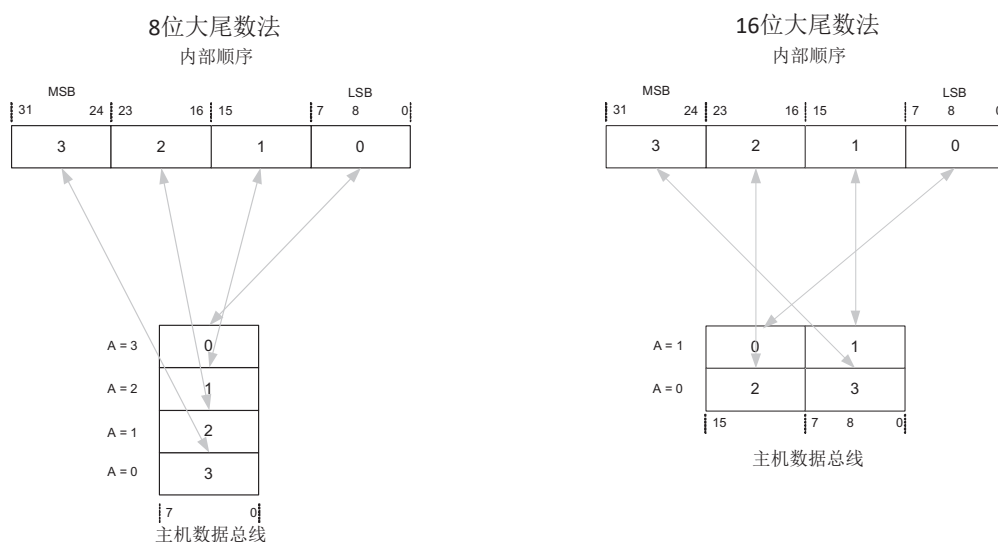


图8-2: 大尾数法字节顺序



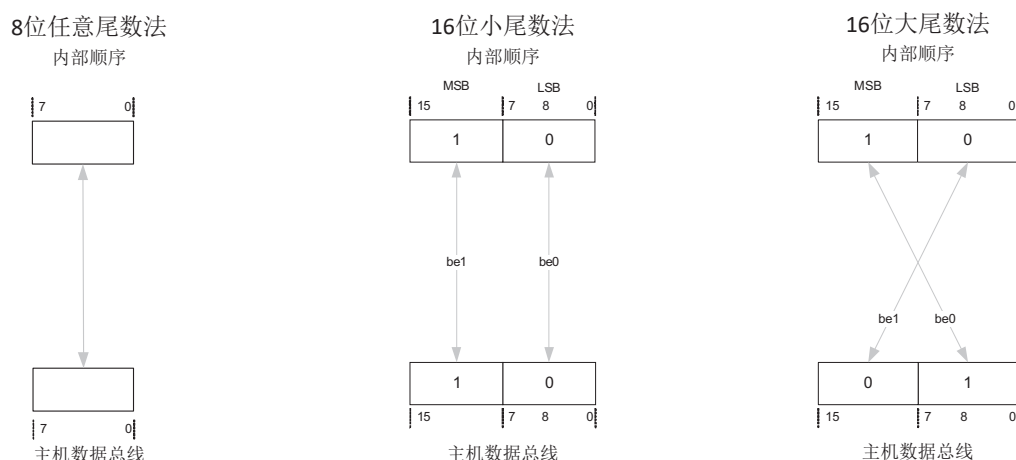
8.4.4.1 EtherCAT直接映射模式

在EtherCAT直接映射模式下，EtherCAT内核接口为8位或16位宽，与主机总线宽度选择相匹配。

8位模式下的字节顺序不适用（内部数据总线的高8位未使用）。当宽度为16位时，在内部使用小尾数法字节顺序。如果主机访问采用大尾数法，主机总线接口会交换高低字节。

注： 字节使能BE1/BE0始终遵循主机总线引脚，因此在大尾数法模式下，字节使能也会交换。

图8-3：字节排序——EtherCAT®直接映射模式，EtherCAT内核



8.5 功能时序图——EtherCAT直接映射模式

以下各节给出了EtherCAT直接映射模式下的功能时序图。

8.5.1 复用寻址模式功能时序图

以下各时序图给出了不同地址/数据配置和总线大小条件下的复用寻址模式读写周期示例。这些图并未涵盖支持的所有主机总线组合方式，重点在于详细介绍复用寻址工作模式下的主要配置差异（总线大小和双/单阶段地址锁存）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了低电平有效的推挽式**WAIT_ACK**信号以及高电平有效的**BE1/0**、**ALEHI/ALELO**、**CS**、**RD**和**WR**信号。这些信号的极性可分别通过**PDI配置寄存器**和**扩展PDI配置寄存器**（HBI模式）中的**HBI WAIT_ACK极性**、**HBI BE1/BE0极性**、**HBI ALE极性**、**HBI片选极性**、**HBI读取以及读/写极性**和**HBI写入以及使能极性**位选择。更多详细信息，请参见第8.2.2节“控制线极性和缓冲器类型”（第67页）。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，16位模式可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见第8.4.4节“主机字节顺序”（第78页）。
- 本节中的时序图利用**RD**和**WR**信号。另外还支持备用的**RD_WR**和**ENB**信号。HBI读/写模式可通过**PDI配置寄存器的HBI读/写模式**位选择。**RD_WR**和**ENB**信号的极性可通过**HBI读取以及读/写极性**和**HBI写入以及使能极性**配置输入选择。
- 可选择通过**PDI配置寄存器的HBI ALE限定位**用**CS**信号限定**ALELO**和/或**ALEHI**的有效性。更多信息，请参见第8.3.1.1节“单阶段地址锁存”（第68页）和第8.3.1.2节“双阶段地址锁存”（第68页）。
- 在双阶段地址锁存模式下，**ALEHI**和**ALELO**周期的顺序可以是任意的。可能跳过**ALELO**和**ALEHI**周期的其中一个，也可能两个周期都跳过，器件保留锁存的最后一个地址。
- 在单阶段地址锁存模式下，可能跳过**ALELO**周期，器件保留锁存的最后一个地址。

注： 访问非EtherCAT内核寄存器时，通常不会跳过ALELO周期，因为需要访问连续的字节或字才能满足完整的双字周期。但是，一些寄存器允许单字节或字访问，在这种情况下，可以对这些寄存器执行多次访问，而无需重新锁存重复的地址。

- 访问非EtherCAT内核寄存器时，为确保正确组合双字，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。
- 在16位模式下访问非EtherCAT内核寄存器时，所有周期都是16位宽，BE1/BE0不使用。在16位模式下访问EtherCAT内核寄存器和过程RAM时，可通过BE1/BE0引脚选择8位或16位传输。

8.5.1.1 双阶段地址锁存

本节中的各图详细描述了双阶段地址锁存时复用寻址模式下的16位和8位读操作和写操作。

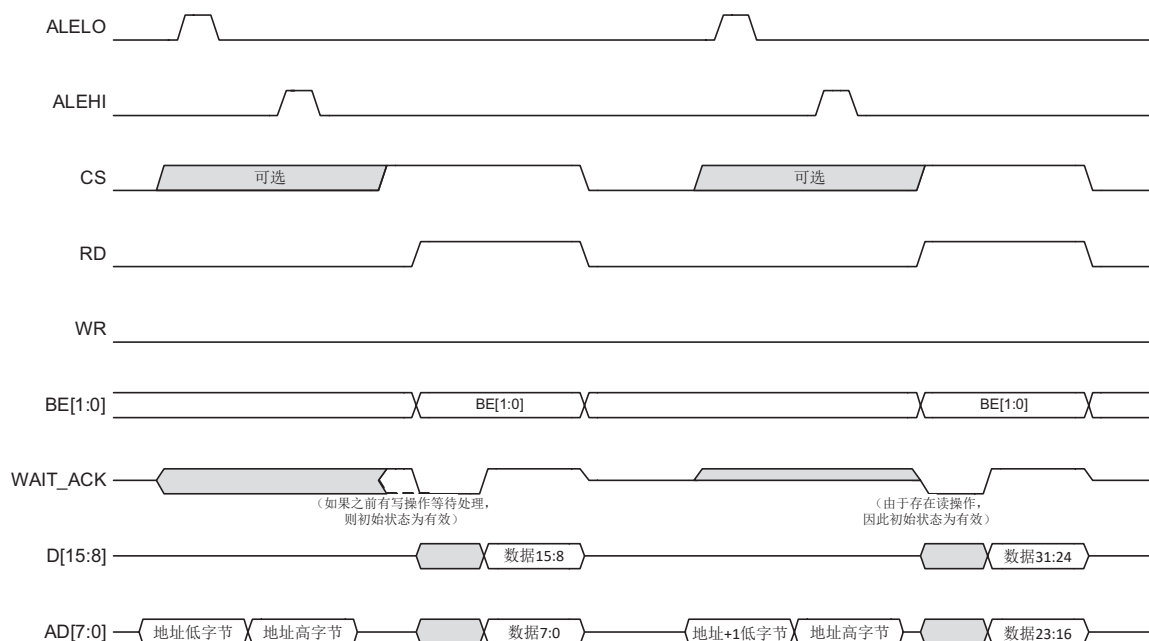
16位模式读操作

字地址从AD[7:0]按顺序锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则会驱动为无效状态。WAIT_ACK在RD有效时立即驱动为有效状态。CS和RD可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

D[15:8]和AD[7:0]在RD有效期间驱动为有效状态，并在WAIT_ACK变为无效后保持有效。如果需要，可为双字的另外16位重复该周期。

图8-4：双阶段锁存时的复用寻址（16位读操作）



16位模式无需响应的写操作

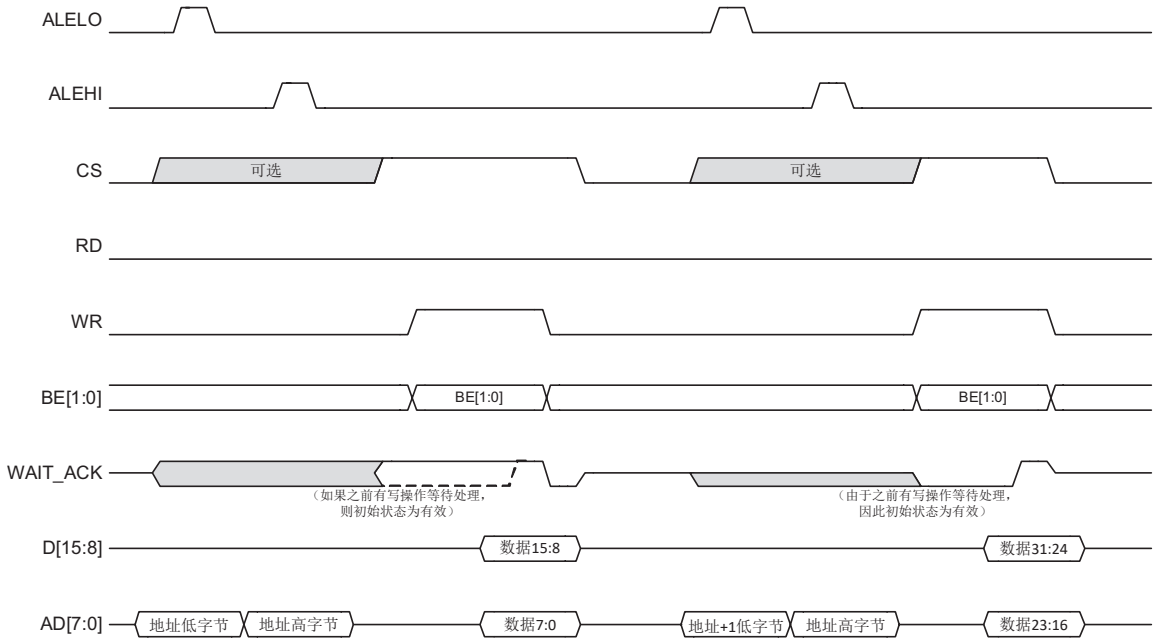
字地址从AD[7:0]按顺序锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在WR无效时立即驱动为有效状态。CS和WR可能同时变为无效，在这种情况下，WAIT_ACK始终不会变成有效（第二个示例）。

D[15:8]和AD[7:0]上的数据在WR的后沿写入。

如果需要，可为双字的另外16位重复该周期。

图8-5：双阶段锁存时的复用寻址（16位无需响应的写操作）



8位模式读操作

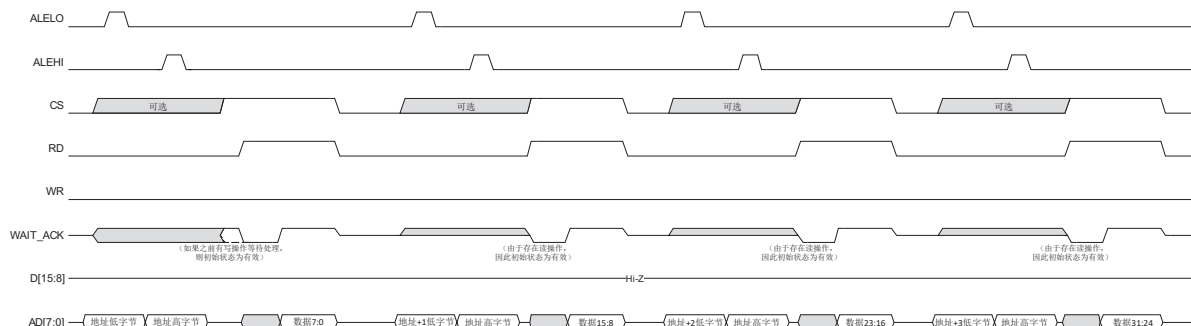
字节地址从AD[7:0]按顺序锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在RD有效时立即驱动为有效状态。CS和RD可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

AD[7:0]在RD有效期间驱动为有效状态，并在WAIT_ACK变为无效后保持有效。不会使用或驱动D[15:8]引脚。

如果需要，可为双字中的其他字节重复该周期。

图8-7：双阶段锁存时的复用寻址（8位读操作）



8位模式无需响应的写操作

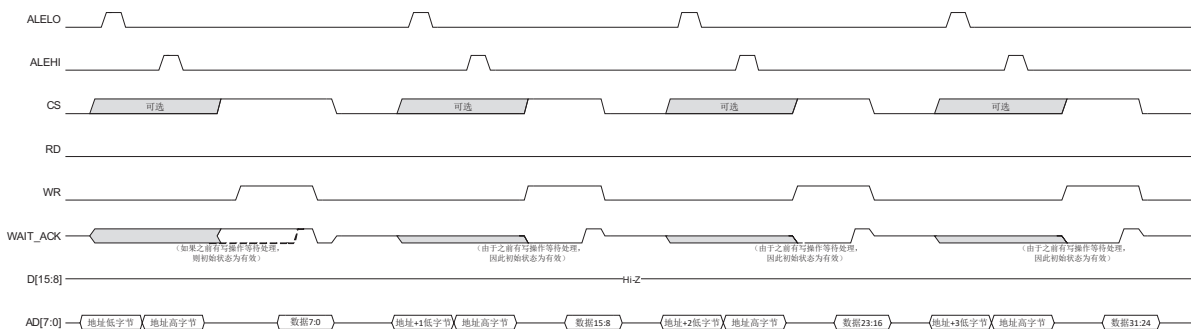
字节地址从AD[7:0]按顺序锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在WR无效时立即驱动为有效状态。CS和WR可能同时变为无效，在这种情况下，WAIT_ACK始终不会变成有效（第二个示例）。

AD[7:0]上的数据在WR的后沿写入。不会使用或驱动D[15:8]引脚。

如果需要，可为双字中的其他字节重复该周期。

图8-8：双阶段锁存时的复用寻址（8位无需响应的写操作）



8位模式需响应的写操作

字节地址从AD[7:0]按顺序锁存。

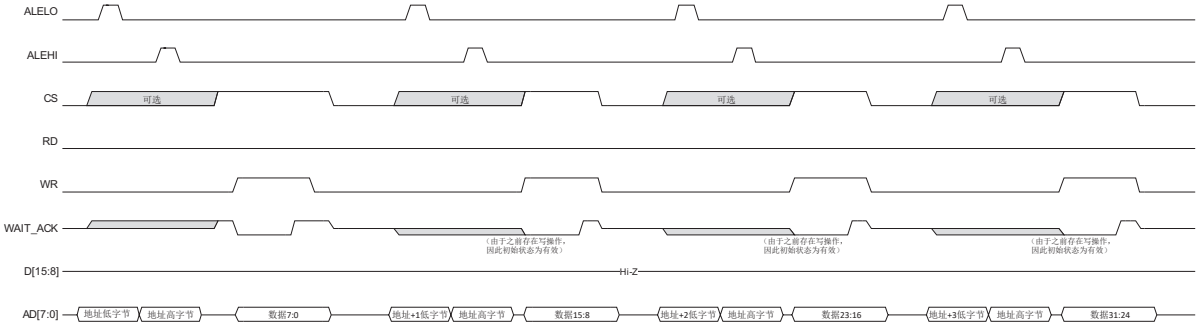
WAIT_ACK在CS有效时立即被驱动。WAIT_ACK最初驱动为无效状态，因为之前不会有写操作等待处理。WAIT_ACK在WR有效时立即驱动为有效状态。CS和WR可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

AD[7:0]上的数据从WR的前沿开始写入。WR可能在WAIT_ACK变为无效后立即变为无效。不会使用或驱动D[15:8]引脚。

对于EtherCAT内核寄存器和过程RAM，写周期在WR有效期间发生。对于非EtherCAT内核寄存器，写周期在WR无效时发生。因此，数据一直保持到WR变为无效。

如果需要，可为双字中的其他字节重复该周期。

图8-9：双阶段锁存时的复用寻址（8位需响应的写操作）



8.5.1.2 单阶段地址锁存

本节中的各图详细描述了单阶段地址锁存时复用寻址模式下的16位和8位读操作和写操作。

16位模式读操作

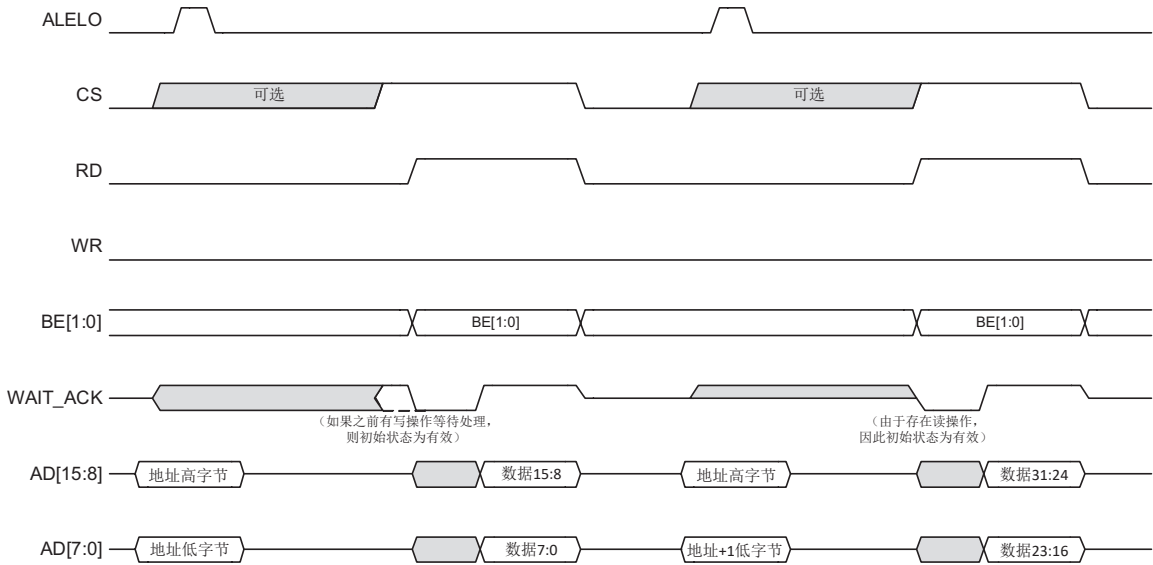
字地址同时从AD[7:0]和AD[15:8]锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在RD有效时立即驱动为有效状态。CS和RD可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

AD[15:0]在RD有效期间驱动为有效状态，并在WAIT_ACK变为无效后保持有效。

如果需要，可为双字的另外16位重复该周期。

图8-10：单阶段锁存时的复用寻址（16位读操作）



16位模式无需响应的写操作

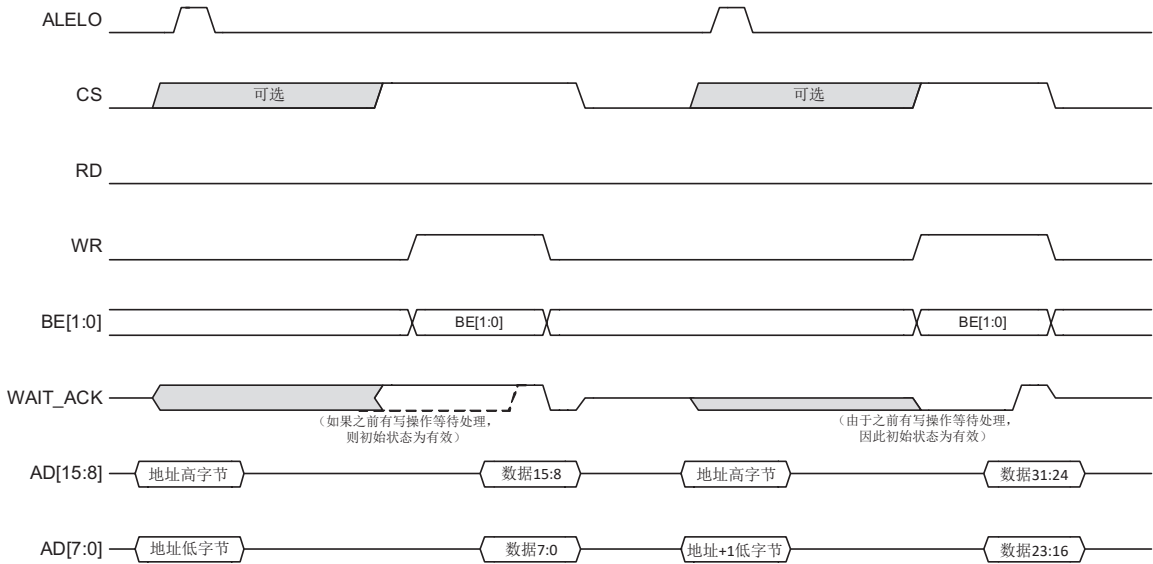
字地址同时从AD[7:0]和AD[15:8]锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在WR无效时立即驱动为有效状态。CS和WR可能同时变为无效，在这种情况下，WAIT_ACK始终不会变成有效（第二个示例）。

AD[15:8]上的数据在WR的后沿写入。

如果需要，可为双字的另外16位重复该周期。

图8-11：单阶段锁存时的复用寻址（16位无需响应的写操作）



16位模式需响应的写操作

字地址同时从AD[7:0]和AD[15:8]锁存。

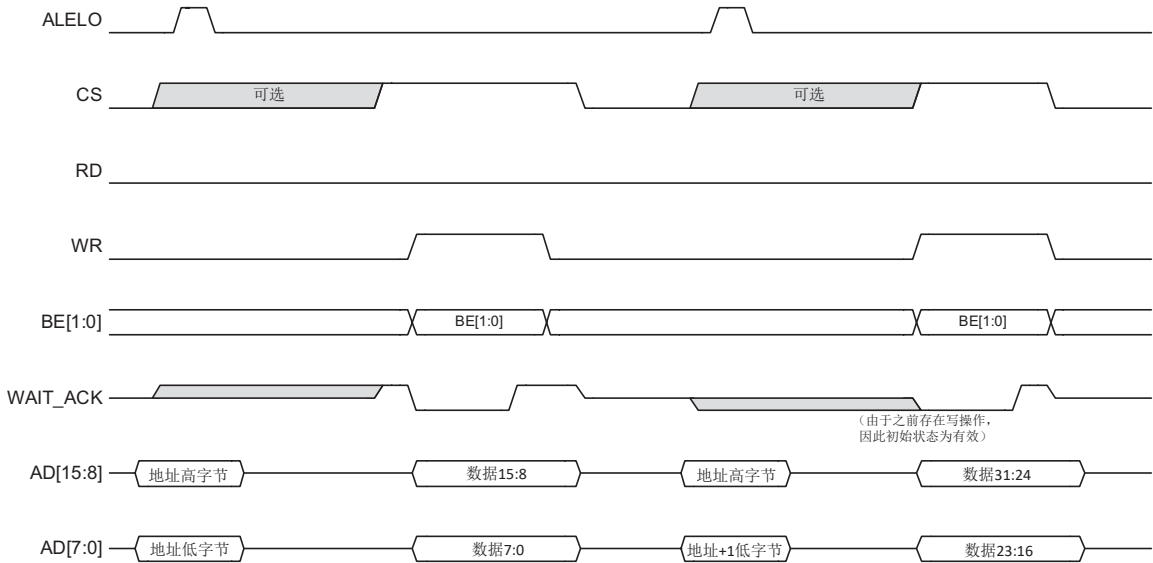
WAIT_ACK在CS有效时立即被驱动。WAIT_ACK最初驱动为无效状态，因为之前不会有写操作等待处理。WAIT_ACK在WR有效时立即驱动为有效状态。CS和WR可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

AD[15:0]上的数据从WR的前沿开始写入。WR可能在WAIT_ACK变为无效后立即变为无效。

对于EtherCAT内核寄存器和过程RAM，写周期在WR有效期间发生。对于非EtherCAT内核寄存器，写周期在WR无效时发生。因此，数据一直保持到WR变为无效。

如果需要，可为双字的另外16位重复该周期。

图8-12：单阶段锁存时的复用寻址（16位需响应的写操作）



8位模式读操作

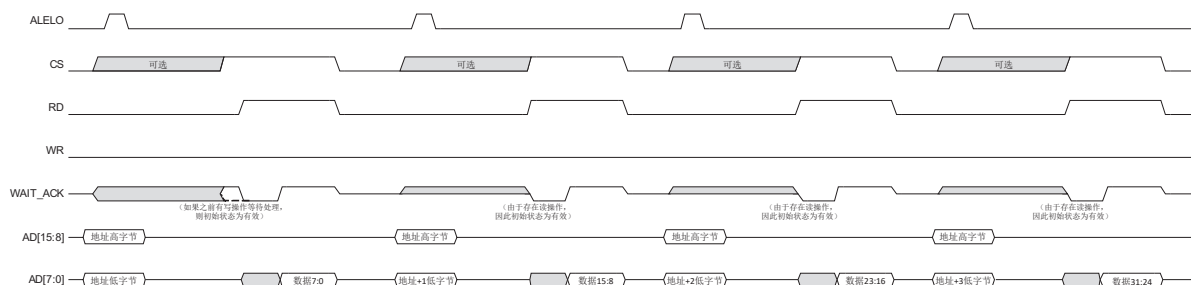
字节地址同时从AD[7:0]和AD[15:8]锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在RD有效时立即驱动为有效状态。CS和RD可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

AD[7:0]在RD有效期间驱动为有效状态，并在WAIT_ACK变为无效后保持有效。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。

如果需要，可为双字中的其他字节重复该周期。

图8-13：单阶段锁存时的复用寻址（8位读操作）



8位模式无需响应的写操作

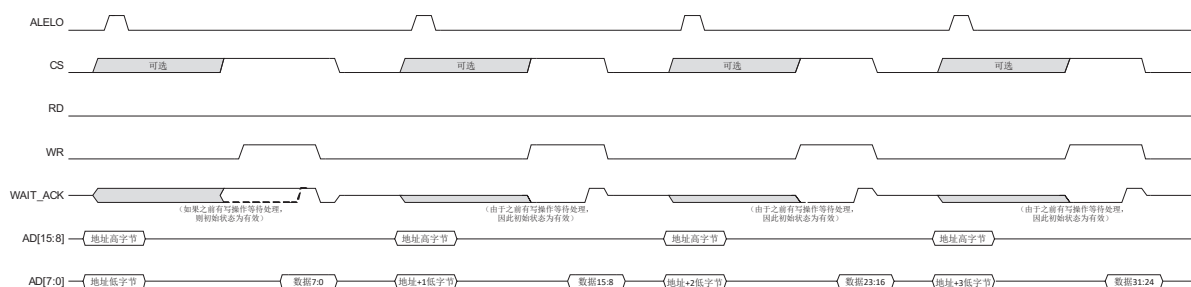
字节地址同时从AD[7:0]和AD[15:8]锁存。

WAIT_ACK在CS有效时立即被驱动。如果之前有写操作等待处理，WAIT_ACK最初驱动为有效状态，否则驱动为无效状态。WAIT_ACK在WR无效时立即驱动为有效状态。CS和WR可能同时变为无效，在这种情况下，WAIT_ACK始终不会变成有效（第二个示例）。

AD[7:0]上的数据在WR的后沿写入。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。

如果需要，可为双字中的其他字节重复该周期。

图8-14：单阶段锁存时的复用寻址（8位无需响应的写操作）



8位模式需响应的写操作

字节地址同时从AD[7:0]和AD[15:8]锁存。

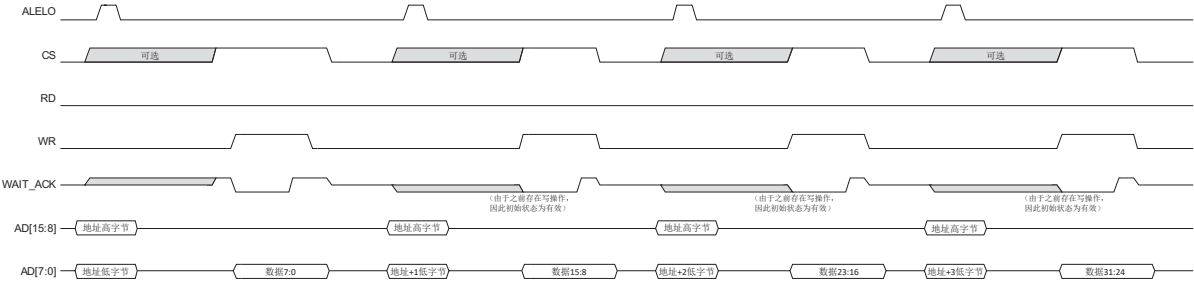
WAIT_ACK在CS有效时立即被驱动。WAIT_ACK最初驱动为无效状态，因为之前不会有写操作等待处理。WAIT_ACK在WR有效时立即驱动为有效状态。CS和WR可能同时变为有效，在这种情况下，WAIT_ACK最初始终驱动为有效状态（第二个示例）。

AD[7:0]上的数据从WR的前沿开始写入。WR可能在WAIT_ACK变为无效后立即变为无效。数据阶段不使用或驱动AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。

对于EtherCAT内核寄存器和过程RAM，写周期在WR有效期间发生。对于非EtherCAT内核寄存器，写周期在WR无效时发生。因此，数据一直保持到WR变为无效。

如果需要，可为双字中的其他字节重复该周期。

图8-15：单阶段锁存时的复用寻址（8位需响应的写操作）



8.5.2 变址寻址模式功能时序图

以下各时序图给出了不同配置和总线大小条件下的示例变址（非复用）寻址模式读写周期。这些图并未涵盖支持的所有主机总线组合方式，重点在于详细介绍变址寻址工作模式下的主要配置差异（总线大小和配置/变址/数据周期）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了低电平有效的推挽式**WAIT_ACK**信号以及高电平有效的**CS**、**RD**和**WR**信号。这些信号的极性可分别通过**PDI配置寄存器**（HBI模式）的**HBI WAIT_ACK极性**、**HBI片选极性**、**HBI读取以及读/写极性**和**HBI写入以及使能极性**位选择。更多详细信息，请参见第8.2.2节“控制线极性和缓冲器类型”（第67页）。
- 本节中的时序图描述了小尾数法的字节顺序。但通过**主机总线接口配置寄存器**中的字节顺序位，16位模式支持可配置的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见第8.4.4节“主机字节顺序”（第78页）。
- 本节中的时序图利用**RD**和**WR**信号。另外还支持备用的**RD_WR**和**ENB**信号。HBI读/写模式可通过**PDI配置寄存器的HBI读/写模式**位选择。**RD_WR**和**ENB**信号的极性可通过**HBI读取以及读/写极性**和**HBI写入以及使能极性**配置输入选择。
- 访问非EtherCAT内核寄存器时，为确保正确组合双字，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（一些内部寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。
- 在16位模式下访问变址和配置寄存器时，所有周期都是16位宽，内部BE1/BE0未使用。在16位模式下访问非EtherCAT内核寄存器时，所有周期都是16位宽，内部BE1/BE0未使用。在16位模式下访问EtherCAT内核寄存器和过程RAM时，可通过内部BE1/BE0选择8位或16位传输。

8.5.2.1 配置寄存器数据访问

本节中的各图详细描述了变址寻址模式下对配置寄存器的16位和8位模式读操作和写操作。

16位模式读操作和写操作

无需响应的写操作

对于无需响应的写操作，地址设置为访问配置寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**WR**无效时立即驱动为有效状态。**CS**和**WR**可能同时变为无效，在这种情况下，**WAIT_ACK**始终不会变成有效（第三个示例）。

D[15:0]上的数据在**WR**的后沿写入。

如果主机需要，可为配置寄存器的其他字重复该周期。

需响应的写操作

对于需响应的写操作，地址设置为访问配置寄存器。

WAIT_ACK在**CS**有效时立即被驱动。**WAIT_ACK**最初驱动为无效状态，因为之前不会有写操作等待处理。**WAIT_ACK**在**WR**有效时立即驱动为有效状态。**CS**和**WR**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第五个示例）。

D[15:0]上的数据从**WR**的前沿开始写入。**WR**可能在**WAIT_ACK**变为无效后立即变为无效。写周期在**WR**无效时发生，因此数据一直保持到**WR**变为无效。

如果主机需要，可为配置寄存器的其他字重复该周期。

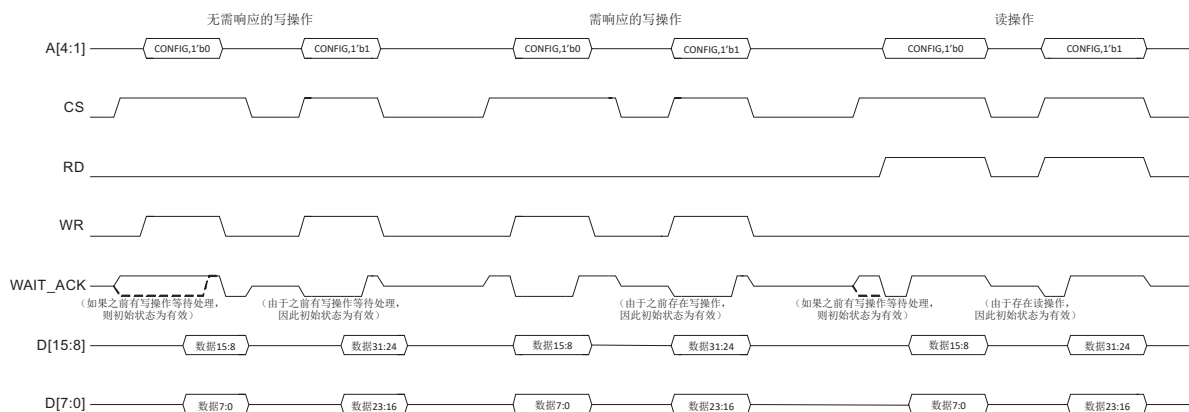
读操作

对于读操作，地址设置为访问配置寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**RD**有效时立即驱动为有效状态。**CS**和**RD**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第二个示例）。

D[15:0]在**RD**有效期间驱动为有效状态，并在**WAIT_ACK**变为无效后保持有效。如果主机需要，可为配置寄存器的其他字重复该周期。

图8-16：变址寻址配置寄存器访问——16位无需响应的写操作/需响应的写操作/读操作



8位模式读操作和写操作

无需响应的写操作

对于无需响应的写操作，地址设置为访问配置寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**WR**无效时立即驱动为有效状态。**CS**和**WR**可能同时变为无效，在这种情况下，**WAIT_ACK**始终不会变成有效（第二个示例）。

D[7:0]上的数据在**WR**的后沿写入。不会使用或驱动**D[15:8]**引脚。

如果主机需要，可为配置寄存器的其余字节重复该周期。此处显示第一个字节和最后一个字节。

需响应的写操作

对于需响应的写操作，地址设置为访问配置寄存器。

WAIT_ACK在**CS**有效时立即被驱动。**WAIT_ACK**最初驱动为无效状态，因为之前不会有写操作等待处理。**WAIT_ACK**在**WR**有效时立即驱动为有效状态。**CS**和**WR**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第四个示例）。

D[7:0]上的数据从**WR**的前沿开始写入。**WR**可能在**WAIT_ACK**变为无效后立即变为无效。不会使用或驱动**D[15:8]**引脚。写周期在**WR**无效时发生，因此数据一直保持到**WR**变为无效。

如果主机需要，可为配置寄存器的其余字节重复该周期。此处显示第一个字节和最后一个字节。

读操作

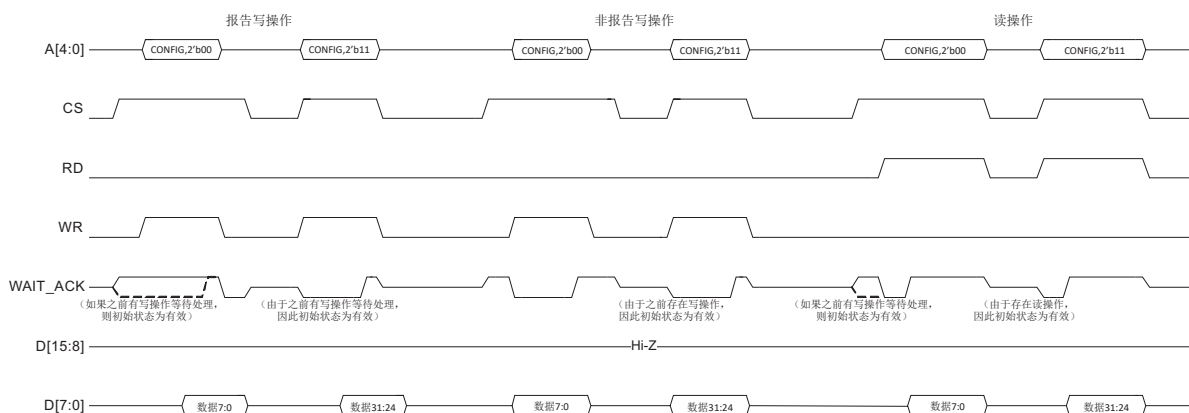
对于读操作，地址设置为访问配置寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**RD**有效时立即驱动为有效状态。**CS**和**RD**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第六个示例）。

D[7:0]在**RD**有效期间驱动为有效状态，并在**WAIT_ACK**变为无效后保持有效。不会使用或驱动**D[15:8]**引脚。

如果主机需要，可为配置寄存器的其余字节重复该周期。此处显示第一个字节和最后一个字节。

图8-17：变址寻址配置寄存器访问——8位无需响应的写操作/需响应的写操作/读操作



8.5.2.2 变址寄存器数据访问

本节中的各图详细描述了变址寻址模式下对变址寄存器的16位和8位模式读操作和写操作。

16位模式读操作和写操作

无需响应的写操作

对于无需响应的写操作，地址设置为访问其中一个变址寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**WR**无效时立即驱动为有效状态。**CS**和**WR**可能同时变为无效，在这种情况下，**WAIT_ACK**始终不会变成有效（第二个示例）。

D[15:0]上的数据在**WR**的后沿写入。

如果主机需要，可为变址寄存器的其他字重复该周期。

需响应的写操作

对于需响应的写操作，地址设置为访问其中一个变址寄存器。

WAIT_ACK在**CS**有效时立即被驱动。**WAIT_ACK**最初驱动为无效状态，因为之前不会有写操作等待处理。**WAIT_ACK**在**WR**有效时立即驱动为有效状态。**CS**和**WR**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第四个示例）。

D[15:0]上的数据从**WR**的前沿开始写入。**WR**可能在**WAIT_ACK**变为无效后立即变为无效。写周期在**WR**无效时发生，因此数据一直保持到**WR**变为无效。

如果主机需要，可为变址寄存器的其他字重复该周期。

读操作

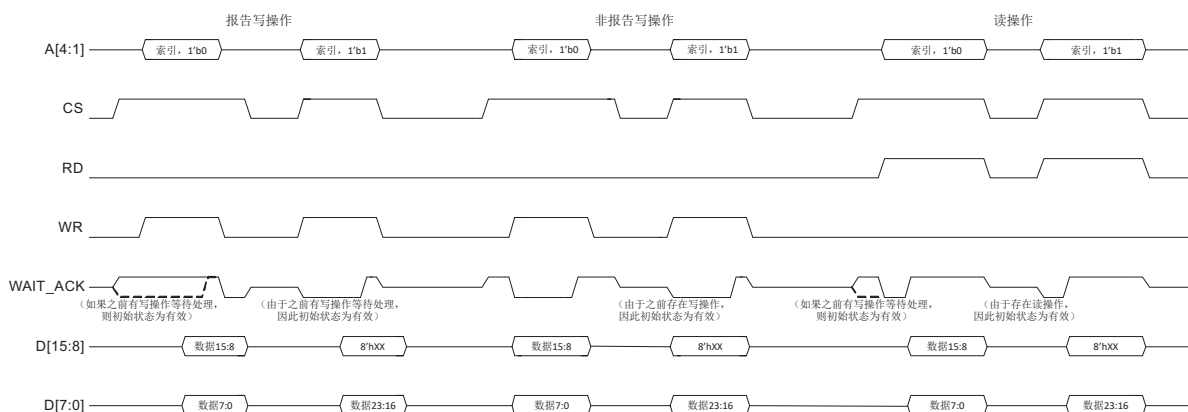
对于读操作，地址设置为访问其中一个变址寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**RD**有效时立即驱动为有效状态。**CS**和**RD**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第六个示例）。

D[15:0]在**RD**有效期间驱动为有效状态，并在**WAIT_ACK**变为无效后保持有效。如果主机需要，可为变址寄存器的其他字重复该周期。

注： 变址寄存器的高字节保留且无关。

图8-18：变址寻址变址寄存器访问——16位无需响应的写操作/需响应的写操作/读操作



8位模式读操作和写操作

无需响应的写操作

对于无需响应的写操作，地址设置为访问其中一个变址寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**WR**无效时立即驱动为有效状态。**CS**和**WR**可能同时变为无效，在这种情况下，**WAIT_ACK**始终不会变成有效（第二个示例）。

D[7:0]上的数据在**WR**的后沿写入。不会使用或驱动**D[15:8]**引脚。

如果主机需要，可为变址寄存器的其余字节重复该周期。此处显示第一个字节和第二个字节。

需响应的写操作

对于需响应的写操作，地址设置为访问其中一个变址寄存器。

WAIT_ACK在**CS**有效时立即被驱动。**WAIT_ACK**最初驱动为无效状态，因为之前不会有写操作等待处理。**WAIT_ACK**在**WR**有效时立即驱动为有效状态。**CS**和**WR**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第四个示例）。

D[7:0]上的数据从**WR**的前沿开始写入。**WR**可能在**WAIT_ACK**变为无效后立即变为无效。不会使用或驱动**D[15:8]**引脚。写周期在**WR**无效时发生，因此数据一直保持到**WR**变为无效。

如果主机需要，可为变址寄存器的其余字节重复该周期。此处显示第一个字节和第二个字节。

读操作

对于读操作，地址设置为访问其中一个变址寄存器。

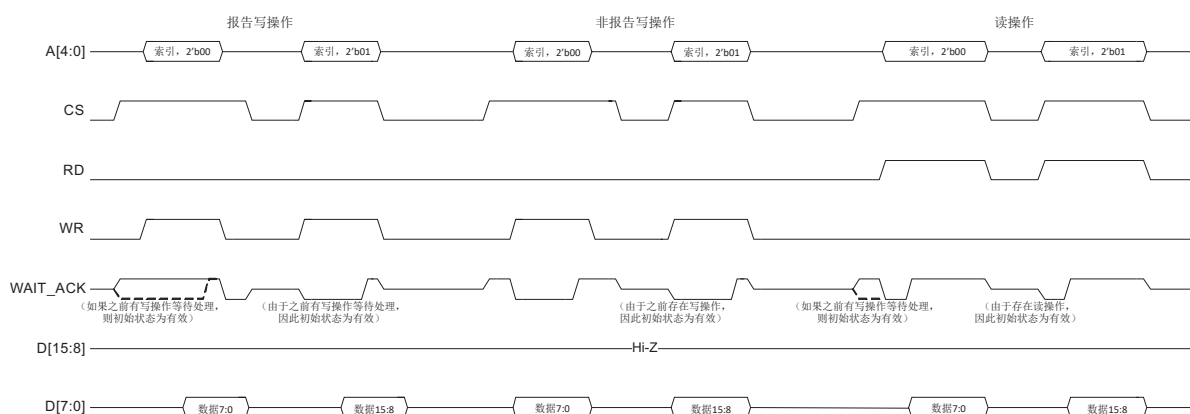
WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**RD**有效时立即驱动为有效状态。**CS**和**RD**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第六个示例）。

D[7:0]在**RD**有效期间驱动为有效状态，并在**WAIT_ACK**变为无效后保持有效。不会使用或驱动**D[15:8]**引脚。

如果主机需要，可为变址寄存器的其余字节重复该周期。此处显示第一个字节和第二个字节。

注： 变址寄存器的高字节保留且无关。因此，对该字节的读操作和写操作不起作用。

图8-19：变址寻址变址寄存器访问——8位无需响应的写操作/需响应的写操作/读操作



8.5.2.3 内部寄存器数据访问

本节中的各图详细描述了变址寻址模式下对典型内部寄存器的16位和8位模式数据读周期和写周期。尽管此处未显示，但数据读写操作通常在变址寄存器写操作之后进行。

16位模式读操作和写操作

其中一个变址寄存器按上述方式设置。

无需响应的写操作

对于无需响应的写操作，地址随后设置为访问相应的数据寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**WR**无效时立即驱动为有效状态。**CS**和**WR**可能同时变为无效，在这种情况下，**WAIT_ACK**始终不会变成有效（第二个示例）。

D[15:0]上的数据在**WR**的后沿写入。不会使用或驱动**D[15:8]**引脚。

如果需要，可为数据寄存器的其他字重复该周期。

需响应的写操作

对于需响应的写操作，地址随后设置为访问相应的数据寄存器。

WAIT_ACK在**CS**有效时立即被驱动。**WAIT_ACK**最初驱动为无效状态，因为之前不会有写操作等待处理。**WAIT_ACK**在**WR**有效时立即驱动为有效状态。**CS**和**WR**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第四个示例）。

D[15:0]上的数据从**WR**的前沿开始写入。**WR**可能在**WAIT_ACK**变为无效后立即变为无效。不会使用或驱动**D[15:8]**引脚。写周期在**WR**无效时发生，因此数据一直保持到**WR**变为无效。

如果需要，可为数据寄存器的其他字重复该周期。

读操作

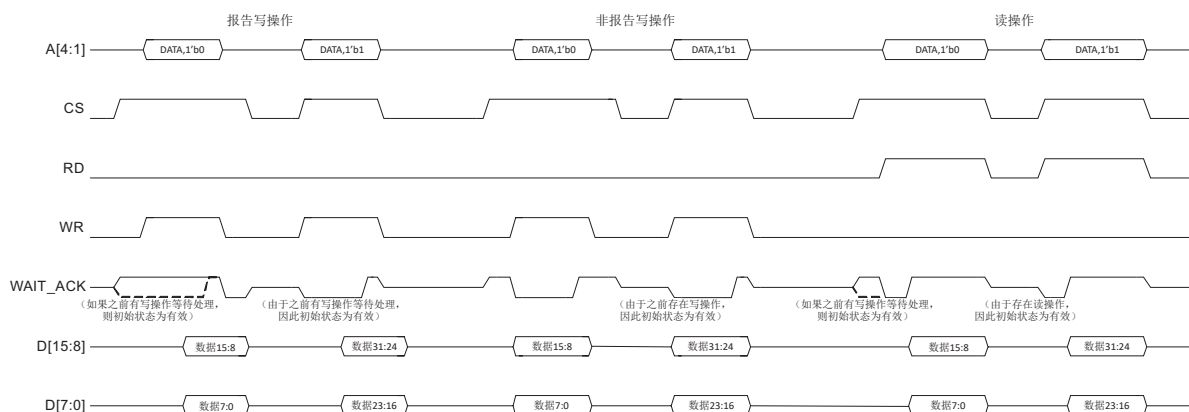
对于读操作，地址随后设置为访问相应的数据寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**RD**有效时立即驱动为有效状态。**CS**和**RD**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第六个示例）。

D[15:0]在**RD**有效期间驱动为有效状态，并在**WAIT_ACK**变为无效后保持有效。

如果需要，可为数据寄存器的其他字重复该周期。

图8-20：变址寻址内部寄存器数据访问——16位无需响应的写操作/需响应的写操作/读操作



8位模式读操作和写操作

其中一个变址寄存器按上述方式设置。

无需响应的写操作

对于无需响应的写操作，地址随后设置为访问相应的数据寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**WR**无效时立即驱动为有效状态。**CS**和**WR**可能同时变为无效，在这种情况下，**WAIT_ACK**始终不会变成有效（第二个示例）。

D[7:0]上的数据在**WR**的后沿写入。不会使用或驱动**D[15:8]**引脚。

如果需要，可为数据寄存器的其余字节重复该周期。此处显示第一个字节和最后一个字节。

需响应的写操作

对于需响应的写操作，地址随后设置为访问相应的数据寄存器。

WAIT_ACK在**CS**有效时立即被驱动。**WAIT_ACK**最初驱动为无效状态，因为之前不会有写操作等待处理。**WAIT_ACK**在**WR**有效时立即驱动为有效状态。**CS**和**WR**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第四个示例）。

D[7:0]上的数据从**WR**的前沿开始写入。**WR**可能在**WAIT_ACK**变为无效后立即变为无效。不会使用或驱动**D[15:8]**引脚。写周期在**WR**无效时发生，因此数据一直保持到**WR**变为无效。

如果需要，可为数据寄存器的其余字节重复该周期。此处显示第一个字节和最后一个字节。

读操作

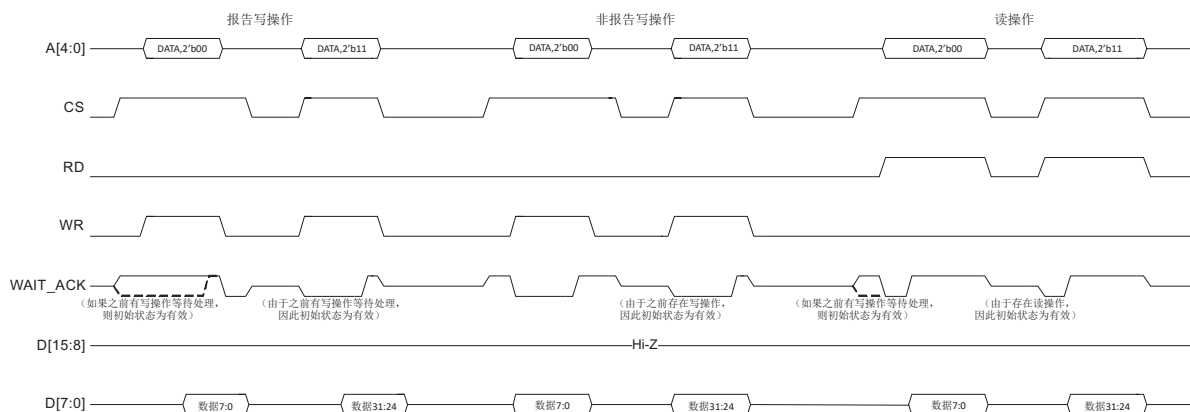
对于读操作，地址随后设置为访问相应的数据寄存器。

WAIT_ACK在**CS**有效时立即被驱动。如果之前有写操作等待处理，**WAIT_ACK**最初驱动为有效状态，否则驱动为无效状态。**WAIT_ACK**在**RD**有效时立即驱动为有效状态。**CS**和**RD**可能同时变为有效，在这种情况下，**WAIT_ACK**最初始终驱动为有效状态（第六个示例）。

D[7:0]在**RD**有效期间驱动为有效状态，并在**WAIT_ACK**变为无效后保持有效。不会使用或驱动**D[15:8]**引脚。

如果需要，可为数据寄存器的其余字节重复该周期。此处显示第一个字节和最后一个字节。

图8-21：变址寻址内部寄存器数据访问——8位无需响应的写操作/需响应的写操作/读操作



8.6 时序要求

8.6.1 复用寻址模式时序要求

以下图表规定了复用地址/数据模式期间的时序要求。由于不同操作（例如，双阶段和单阶段，8位和16位）间的时序要求是类似的，因此很多时序要求使用同一张图进行说明，没有针对任何特定的功能操作单独进行说明。

对于本节中的时序规范，应注意以下几点：

- 本节中的时序图描述了低电平有效的推挽式**WAIT_ACK**和高电平有效的**ALEHI/ALELO**、**CS**、**RD**、**WR**、**RD_WR**和**ENB**信号。这些信号的极性可分别通过**PDI配置寄存器**（HBI模式）的**HBI WAIT_ACK极性**、**HBI ALE极性**、**HBI片选极性**、**HBI读取以及读/写极性**和**HBI写入以及使能极性**位选择。更多详细信息，请参见第8.2.2节“控制线极性和缓冲器类型”（第67页）。
- 可选择通过**PDI配置寄存器**的**HBI ALE**限定位用**CS**信号限定**ALELO**和/或**ALEHI**的有效性。这用虚线表示。**ALELO/ALEHI**和**CS**间的时序要求仅适用于该模式有效的情况。
- 在双阶段地址锁存模式下，**ALEHI**和**ALELO**周期的顺序可以是任意的。**ALEHI**在前用实线表示。**ALELO**在前用虚线表示。
- 读周期后可能跟着地址周期、写周期或另一个读周期。写周期后可能跟着地址周期、读周期或另一个写周期。这些用虚线表示。

8.6.1.1 读时序要求——EtherCAT直接映射模式

以下各节给出了EtherCAT直接映射模式下的功能时序图。

如果使能用于输出，**WAIT_ACK**用于指示数据何时有效可供捕捉，否则主机必须假定采用列出的最坏情况数据访问时间。

WAIT_ACK在**CS**有效时输出，如果没有因之前有写操作等待处理而处于有效状态，则在**RD**或**ENB**有效时立即变为有效。如果**CS**和**RD/ENB**同时变为有效，**WAIT_ACK**会驱动为有效状态。

如果使用**RD**和**WR**信号，当**CS**有效时将**RD**置为有效，主机读周期启动。当**RD**置为无效时，该周期结束。**CS**可能与**RD**一起置为有效和无效，而并非在**RD**有效期间。

或者，如果使用**RD_WR**和**ENB**信号，当**CS**有效时将**ENB**置为有效且**RD_WR**指示读操作时，主机读周期启动。当**ENB**置为无效时，该周期结束。**CS**可能与**ENB**一起置为有效和无效，而并非在**ENB**有效期间。

有关功能说明的信息，请参见第8.5.1节“复用寻址模式功能时序图”（第80页）。

图8-22：复用寻址读周期时序

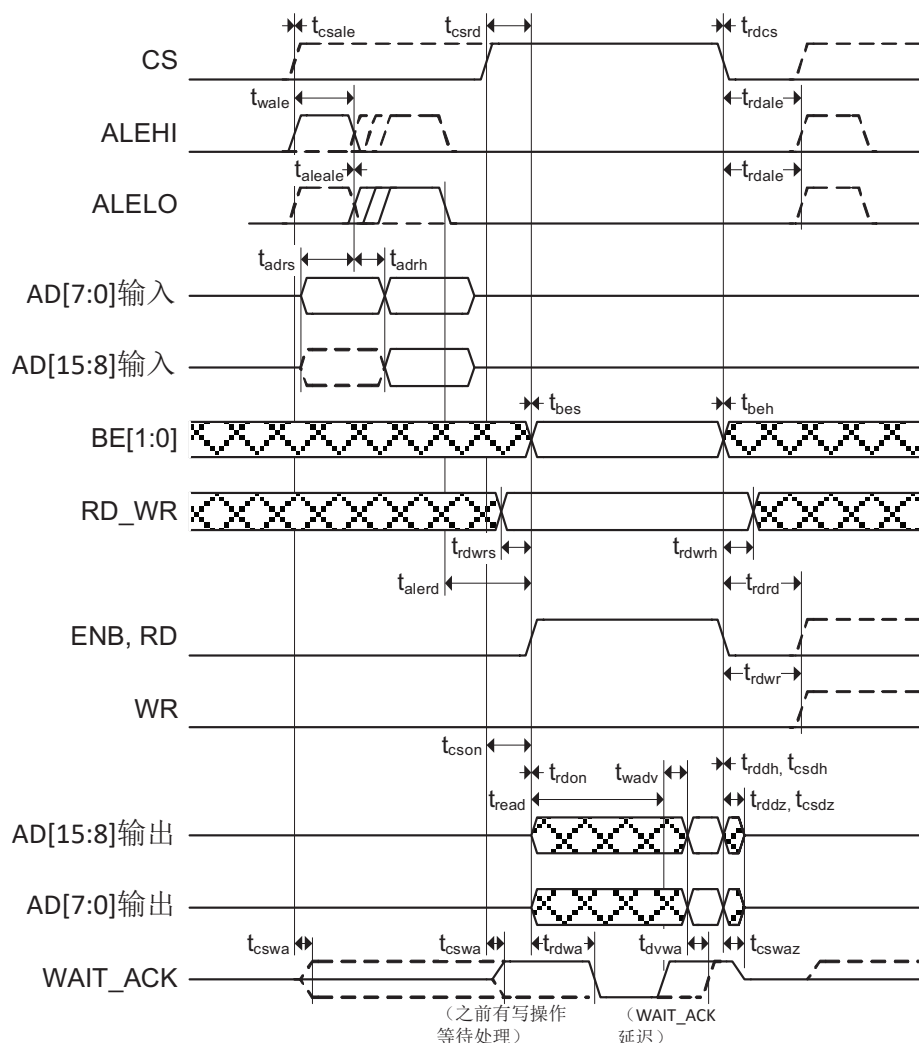


表8-4：复用寻址读周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{csale}	从CS建立到ALELO和ALEHI有效的时间 注3和注2	0			ns
t_{csrd}	从CS建立到RD或ENB有效的时间	0			ns
t_{rdcs}	RD或ENB无效之后CS的保持时间	0			ns
t_{wale}	ALELO和ALEHI脉冲宽度	10			ns
t_{adrs}	从地址建立到ALELO和ALEHI无效的时间	10			ns
t_{adrh}	ALELO或ALEHI无效之后地址的保持时间	5			ns
t_{aleale}	从ALELO无效到ALEHI有效的时间 从ALEHI无效到ALELO有效的时间 注1和注2	0			ns
t_{alerd}	从ALELO和ALEHI无效到RD或ENB有效的时间 注2	5			ns
t_{bes}	从字节使能建立到RD或ENB有效的时间	0			ns
t_{beh}	RD或ENB无效之后字节使能的保持时间	0			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注4	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注4	5			ns
t_{rdon}	从RD或ENB到数据缓冲区开启的时间	0			ns
t_{rddh}	RD或ENB无效之后数据输出的保持时间	0			ns
t_{rddz}	从RD或ENB无效到数据缓冲区关闭的时间			9	ns
t_{cson}	从CS到数据缓冲区开启的时间	0			ns
t_{csdh}	CS无效之后数据输出的保持时间	0			ns
t_{csdz}	从CS无效到数据缓冲区关闭的时间			9	ns
t_{rdale}	地址阶段之前的RD或ENB无效时间	13			ns
t_{rdrd}	下一个RD或ENB之前的RD或ENB无效时间 注4	13			ns
t_{rdwr}	下一个WR之前的RD无效时间 注5和注6	13			ns
t_{cswa}	从CS有效到WAIT_ACK有效的时间			10	ns
t_{rdwa}	从RD或ENB有效到WAIT_ACK有效的时间			10	ns

表8-4: 复用寻址读周期时序值 (续)

符号	说明	最小值	典型值	最大值	单位
t_{read}	从RD或ENB有效到WAIT_ACK无效的时间 - 8位读操作 - 之前无写操作等待处理 注7			235	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 8位读操作 - 之前有8位写操作等待处理 注7			435	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 8位读操作 - 之前有16位写操作等待处理 注7			495	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 16位读操作 - 之前无写操作等待处理 注7			315	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 16位读操作 - 之前有8位写操作等待处理 注7			515	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 16位读操作 - 之前有16位写操作等待处理 注7			575	ns
t_{wadv}	从WAIT_ACK无效到数据有效 (正常WAIT_ACK) 的时间			5	ns
t_{dvwa}	WAIT_ACK无效之前数据有效的时间——延迟 WAIT_ACK	15			ns
t_{cswaz}	从CS无效到WAIT_ACK关闭的时间			9	ns

注1: 双阶段寻址

注2: 取决于ALEHI/ALELO顺序。

注3: 通过CS限定ALELO和/或ALEHI的有效性。

注4: RD_WR和ENB信号。

注5: 未插入地址阶段。

注6: RD和WR信号。

注7: 如果使能延迟WAIT_ACK, 则增加20 ns。

注: 时序值是相对于25 pF的等效测试负载而言的。

表8-5: 复用寻址无需响应的写周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{csale}	从CS建立到ALELO和ALEHI有效的时间 注10和注9	0			ns
t_{cswr}	从CS建立到WR或ENB有效的时间	0			ns
t_{wrCs}	WR或ENB无效之后CS的保持时间	0			ns
t_{wale}	ALELO和ALEHI脉冲宽度	10			ns
t_{adrs}	从地址建立到ALELO和ALEHI无效的时间	10			ns
t_{adrh}	ALELO或ALEHI无效之后地址的保持时间	5			ns
t_{aleale}	从ALELO无效到ALEHI有效的时间 从ALEHI无效到ALELO有效的时间 注8和注9	0			ns
t_{alewr}	从ALELO和ALEHI无效到WR或ENB有效的时间 注9	5			ns
t_{bes}	从字节使能建立到WR或ENB有效的时间	0			ns
t_{beh}	WR或ENB无效之后字节使能的保持时间	0			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注11	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注11	5			ns
t_{ds}	从数据建立到WR或ENB无效的时间	10			ns
t_{dh}	WR或ENB无效之后数据的保持时间	0			ns
t_{wr}	WR或ENB的有效时间 - 之前无写操作等待处理	32			ns
t_{wrcyc}	WR或ENB的周期时间 - 之前无写操作等待处理	45			ns
t_{wrAle}	地址阶段之前的WR或ENB无效时间	13			ns
t_{wrwr}	下一个WR或ENB之前的WR或ENB无效时间 注12	13			ns
t_{wrrd}	下一个RD之前的WR无效时间 注12和注13	13			ns
t_{cswa}	从CS有效到WAIT_ACK有效的时间			10	ns
t_{write}	从WR或ENB有效到WAIT_ACK无效的时间 - 之前有8位写操作等待处理			200	ns
	从WR或ENB有效到WAIT_ACK无效的时间 - 之前有16位写操作等待处理			280	ns
t_{wawr}	从WAIT_ACK无效到WR或ENB无效的时间	0			ns
t_{wrwa}	从WR或ENB无效到WAIT_ACK有效的时间 注14			10	ns
t_{cswaz}	从CS无效到WAIT_ACK关闭的时间			9	ns

注8: 双阶段寻址

注9: 取决于ALEHI/ALELO顺序。

注10: 通过CS限定ALELO和/或ALEHI的有效性。

注11: RD_WR和ENB信号。

注12: 未插入地址阶段。

注13: RD和WR信号。

注14: 如果先前未置为三态。

8.6.1.3 需响应的写操作时序要求——EtherCAT直接映射模式

以下各节给出了EtherCAT直接映射模式下的功能时序图。

如果使能用于输出，**WAIT_ACK**用于指示何时可以结束写周期，否则主机必须假设采用列出的最坏情况写访问时间。

WAIT_ACK在CS有效时输出。它最初将处于无效状态，并在写选通（**WR**或**ENB**）有效时变为有效。一旦**WAIT_ACK**无效，写选通可能会立即置为无效。

如果使用**RD**和**WR**信号，当**CS**有效时将**WR**置为有效，主机写周期启动。当**WR**置为无效时，该周期结束。**CS**可能与**WR**一起置为有效和无效，而并非在**WR**有效期间。

或者，如果使用RD_WR和ENB信号，当CS有效时将ENB置为有效且RD_WR指示写操作时，主机写周期启动。当ENB置为无效时，该周期结束。CS可能与ENB一起置为有效和无效，而并非在ENB有效期间。

有关功能说明的信息，请参见第8.5.1节“复用寻址模式功能时序图”（第80页）。

图8-24: 复用寻址需响应的写周期时序

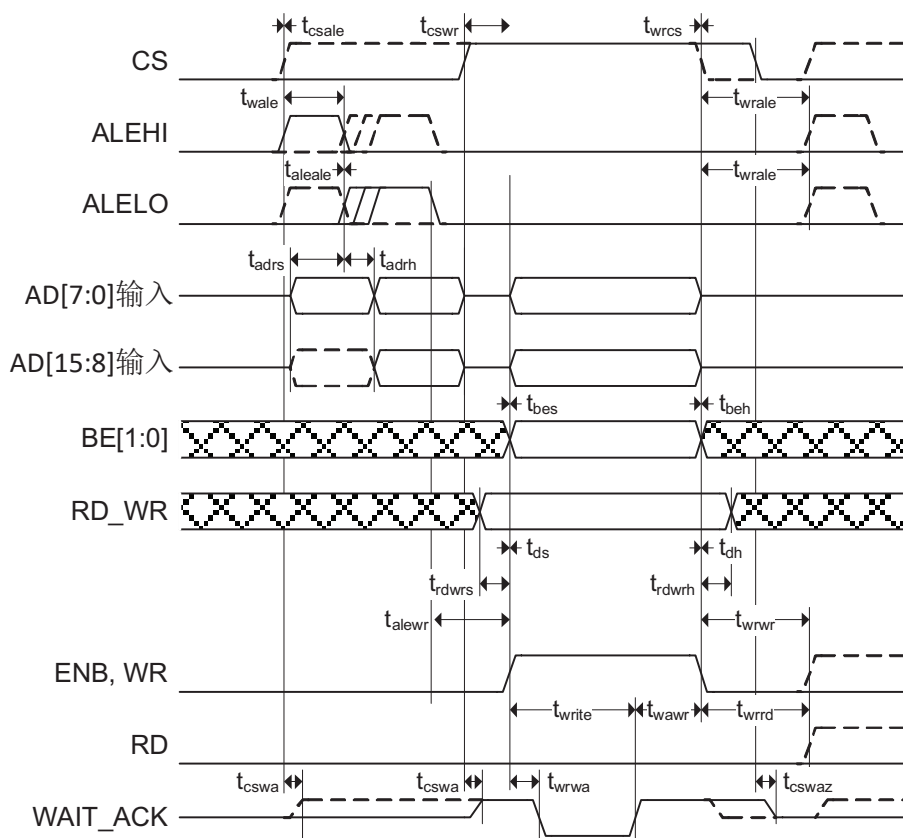


表8-6: 复用寻址需响应的写周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{csale}	从CS建立到ALELO和ALEHI有效的时间 注17和注16	0			ns
t_{cswr}	从CS建立到WR或ENB有效的时间	0			ns
t_{wrCs}	WR或ENB无效之后CS的保持时间	0			ns
t_{wale}	ALELO和ALEHI脉冲宽度	10			ns
t_{adrs}	从地址建立到ALELO和ALEHI无效的时间	10			ns
t_{adrh}	ALELO或ALEHI无效之后地址的保持时间	5			ns
t_{aleale}	从ALELO无效到ALEHI有效的时间 从ALEHI无效到ALELO有效的时间 注15和注16	0			ns
t_{alewr}	从ALELO和ALEHI无效到WR或ENB有效的时间 注16	5			ns
t_{bes}	从字节使能建立到WR或ENB有效的时间	0			ns
t_{beh}	WR或ENB无效之后字节使能的保持时间	0			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注18	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注18	5			ns
t_{ds}	从数据建立到WR或ENB有效的时间	0			ns
t_{dh}	WR或ENB无效之后数据的保持时间	0			ns
t_{wrAle}	地址阶段之前的WR或ENB无效时间	13			ns
t_{wrwr}	下一个WR或ENB之前的WR或ENB无效时间 注19	13			ns
t_{wrrd}	下一个RD之前的WR无效时间 注19和注20	13			ns
t_{cswa}	从CS有效到WAIT_ACK有效的时间			10	ns
t_{wrwa}	从WR或ENB有效到WAIT_ACK有效的时间			10	ns
t_{write}	从WR或ENB有效到WAIT_ACK无效的时间 - 8位写操作			200	ns
	从WR或ENB有效到WAIT_ACK无效的时间 - 16位写操作			280	ns
t_{wawr}	从WAIT_ACK无效到WR或ENB无效的时间	0			ns
t_{cswaz}	从CS无效到WAIT_ACK关闭的时间			9	ns

注15: 双阶段寻址

注16: 取决于ALEHI/ALELO顺序。

注17: 通过CS限定ALELO和/或ALEHI的有效性。

注18: RD_WR和ENB信号。

注19: 未插入地址阶段。

注20: RD和WR信号。

8.6.2 变址寻址模式时序要求

以下图表规定了变址寻址模式期间的时序要求。由于不同操作（例如，8位和16位，变址、配置和数据寄存器，变址寄存器旁路FIFO访问）间的时序要求是类似的，因此很多时序要求使用同一张图进行说明，没有针对任何特定的功能操作单独进行说明。

对于本节中的时序规范，应注意以下几点：

- 本节的时序图描述了低电平有效的推挽式**WAIT_ACK**以及高电平有效的**CS**、**RD**、**WR**、**RD_WR**和**ENB**信号。这些信号的极性可分别通过**PDI配置寄存器**（HBI模式）的**HBI WAIT_ACK极性**、**HBI片选极性**、**HBI读取以及读/写极性**和**HBI写入以及使能极性**位选择。更多详细信息，请参见第8.2.2节“控制线极性和缓冲器类型”（第67页）。
- 读周期后可能跟着写周期或另一个读周期。写周期后可能跟着读周期或另一个写周期。这些用虚线表示。

8.6.2.1 读时序要求——EtherCAT直接映射模式

以下各节给出了EtherCAT直接映射模式下的功能时序图。

如果使能用于输出，**WAIT_ACK**用于指示数据何时有效可供捕捉，否则主机必须假定采用列出的最坏情况数据访问时间。

WAIT_ACK在**CS**有效时输出，如果没有因之前有写操作等待处理而处于有效状态，则在**RD**或**ENB**有效时立即变为有效。如果**CS**和**RD/ENB**同时变为有效，**WAIT_ACK**会驱动为有效状态。

如果使用**RD**和**WR**信号，当**CS**有效时将**RD**置为有效，主机读周期启动。当**RD**置为无效时，该周期结束。**CS**可能与**RD**一起置为有效和无效，而并非在**RD**有效期间。

或者，如果使用**RD_WR**和**ENB**信号，当**CS**有效时将**ENB**置为有效且**RD_WR**指示读操作时，主机读周期启动。当**ENB**置为无效时，该周期结束。**CS**可能与**ENB**一起置为有效和无效，而并非在**ENB**有效期间。

有关功能说明的信息，请参见第8.5.2节“变址寻址模式功能时序图”（第91页）。

图8-25：变址寻址读周期时序

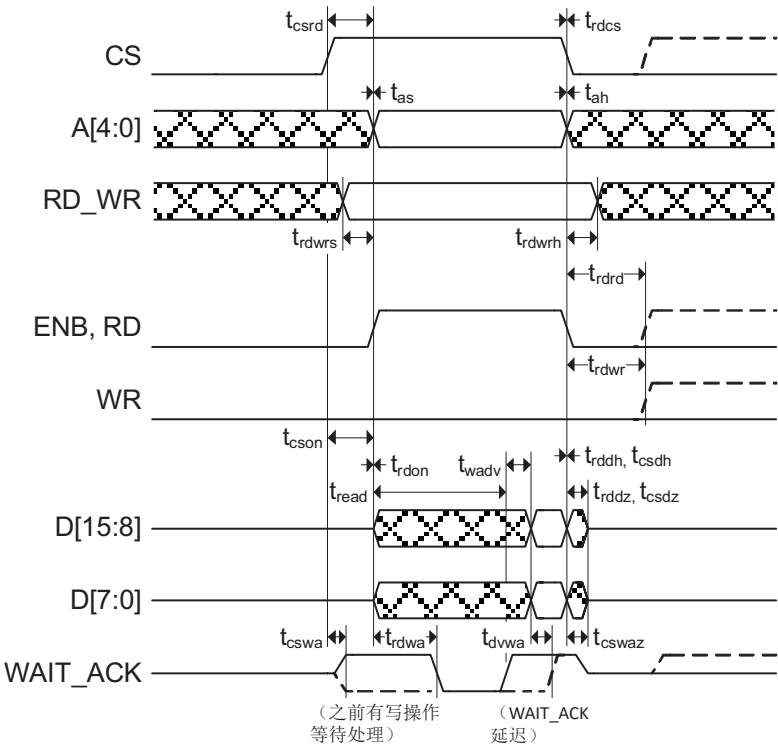


表8-7：变址寻址读周期时序值

符号	说明	最小值	典型值	最大值	单位
$t_{csrđ}$	从CS建立到RD或ENB有效的时间	0			ns
$t_{rđcs}$	RD或ENB无效之后CS的保持时间	0			ns
t_{as}	从地址END_SEL建立到RD或ENB有效的时间	0			ns
t_{ah}	RD或ENB无效之后地址END_SEL的保持时间	0			ns
$t_{rđwrs}$	从RD_WR建立到ENB有效的时间 注21	5			ns
$t_{rđwrh}$	ENB无效之后RD_WR的保持时间 注21	5			ns
t_{rdon}	从RD或ENB到数据缓冲区开启的时间	0			ns
t_{rddh}	RD或ENB无效之后数据输出的保持时间	0			ns
t_{rddz}	从RD或ENB无效到数据缓冲区关闭的时间			9	ns
t_{cson}	从CS到数据缓冲区开启的时间	0			ns
t_{csdh}	CS无效之后数据输出的保持时间	0			ns
t_{csdz}	从CS无效到数据缓冲区关闭的时间			9	ns
$t_{rđrd}$	下一个RD或ENB之前的RD或ENB无效时间	13			ns
$t_{rđwr}$	下一个WR之前的RD无效时间 注22	13			ns
t_{cswa}	从CS有效到WAIT_ACK有效的时间			10	ns
t_{rdwa}	从RD或ENB有效到WAIT_ACK有效的时间			10	ns

表8-7：变址寻址读周期时序值（续）

t _{read}	从RD或ENB有效到WAIT_ACK无效的时间 - 8位读操作 - 之前无写操作等待处理 注23			235	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 8位读操作 - 之前有8位写操作等待处理 注23			435	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 8位读操作 - 之前有16位写操作等待处理 注23			495	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 16位读操作 - 之前无写操作等待处理 注23			315	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 16位读操作 - 之前有8位写操作等待处理 注23			515	ns
	从RD或ENB有效到WAIT_ACK无效的时间 - 16位读操作 - 之前有16位写操作等待处理 注23			575	ns
t _{wadv}	从WAIT_ACK无效到数据有效（正常WAIT_ACK）的时间			5	ns
t _{dvwa}	WAIT_ACK无效之前数据有效的时间——延迟WAIT_ACK	15			ns
t _{csfaz}	从CS无效到WAIT_ACK关闭的时间			9	ns

注21： RD_WR和ENB信号。

注22： RD和WR信号。

注23： 如果使能延迟WAIT_ACK，则增加20 ns。

注： 时序值是相对于25 pF的等效测试负载而言的。

8.6.2.2 无需响应的写操作时序要求——EtherCAT直接映射模式

以下各节给出了EtherCAT直接映射模式下的功能时序图。

如果使能用于输出，**WAIT_ACK**用于指示何时可以结束写周期，否则主机必须假设采用列出的最坏情况写访问时间。

WAIT_ACK在**CS**有效时输出，如果之前有写操作等待处理，它将处于有效状态。否则，它将处于无效状态。写选通（**WR**或**ENB**）可能会置为有效。一旦**WAIT_ACK**无效，写选通可能会立即置为无效。**WAIT_ACK**在**WR**或**ENB**无效时立即变为有效。如果**CS**和**WD/ENB**同时变为无效，**WAIT_ACK**将被释放，可能不会看到有效状态。

如果使用**RD**和**WR**信号，当**CS**有效时将**WR**置为有效，主机写周期启动。当**WR**置为无效时，该周期结束。**CS**可能与**WR**一起置为有效和无效，而并非在**WR**有效期间。

或者，如果使用**RD_WR**和**ENB**信号，当**CS**有效时将**ENB**置为有效且**RD_WR**指示写操作时，主机写周期启动。当**ENB**置为无效时，该周期结束。**CS**可能与**ENB**一起置为有效和无效，而并非在**ENB**有效期间。

有关功能说明的信息，请参见第8.5.2节“变址寻址模式功能时序图”（第91页）。

图8-26：变址寻址无需响应的写周期时序

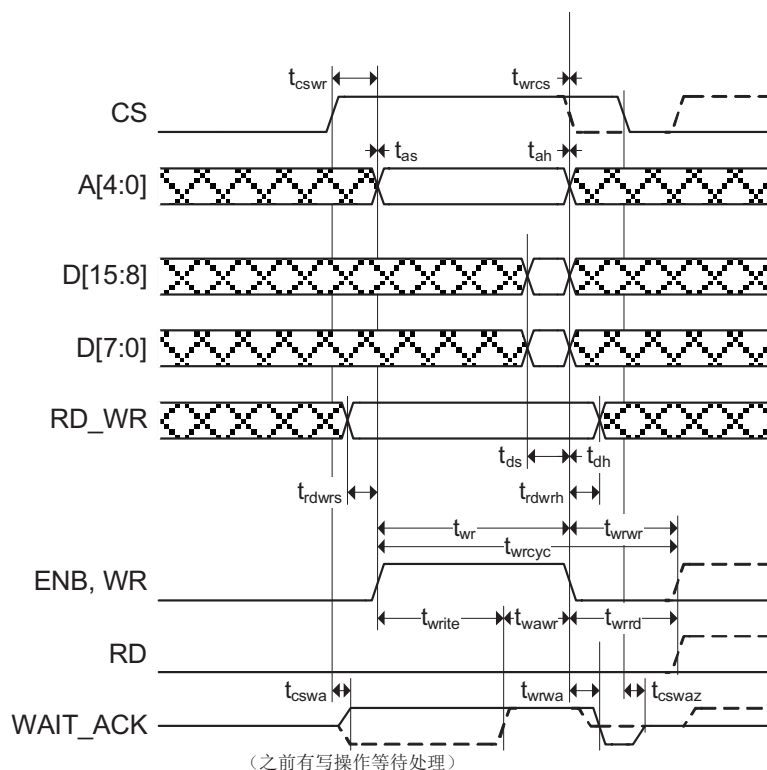


表8-8：变址寻址无需响应的写周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{cswr}	从CS建立到WR或ENB有效的时间	0			ns
t_{wrCs}	WR或ENB无效之后CS的保持时间	0			ns
t_{as}	从地址建立到WR或ENB有效的时间	0			ns
t_{ah}	WR或ENB无效之后地址的保持时间	0			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注24	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注24	5			ns
t_{ds}	从数据建立到WR或ENB无效的时间	10			ns
t_{dh}	WR或ENB无效之后数据的保持时间	0			ns
t_{wr}	WR或ENB的有效时间 - 之前无写操作等待处理	32			ns
t_{wrcyc}	WR或ENB的周期时间 - 之前无写操作等待处理	45			ns
t_{wrwr}	下一个WR或ENB之前的WR或ENB无效时间	13			ns
t_{wrrd}	下一个RD之前的WR无效时间 注25	13			ns
t_{cswa}	从CS有效到WAIT_ACK有效的时间			10	ns
t_{write}	从WR或ENB有效到WAIT_ACK无效的时间 - 之前有8位写操作等待处理			200	ns
	从WR或ENB有效到WAIT_ACK无效的时间 - 之前有16位写操作等待处理			280	ns
t_{wawr}	从WAIT_ACK无效到WR或ENB无效的时间	0			ns
t_{wrwa}	从WR或ENB无效到WAIT_ACK有效的时间 注26			10	ns
t_{cswaz}	从CS无效到WAIT_ACK关闭的时间			9	ns

注24： RD_WR和ENB信号。

注25： RD和WR信号。

注26： 如果先前未置为三态。

8.6.2.3 需响应的写操作时序要求——EtherCAT直接映射模式

以下各节给出了EtherCAT直接映射模式下的功能时序图。

如果使能用于输出，**WAIT_ACK**用于指示何时可以结束写周期，否则主机必须假设采用列出的最坏情况写访问时间。

WAIT_ACK在**CS**有效时输出。它最初将处于无效状态，并在写选通（**WR**或**ENB**）有效时变为有效。一旦**WAIT_ACK**无效，写选通可能会立即置为无效。

如果使用**RD**和**WR**信号，当**CS**有效时将**WR**置为有效，主机写周期启动。当**WR**置为无效时，该周期结束。**CS**可能与**WR**一起置为有效和无效，而并非在**WR**有效期间。

或者，如果使用**RD_WR**和**ENB**信号，当**CS**有效时将**ENB**置为有效且**RD_WR**指示写操作时，主机写周期启动。当**ENB**置为无效时，该周期结束。**CS**可能与**ENB**一起置为有效和无效，而并非在**ENB**有效期间。

有关功能说明的信息，请参见第8.5.2节“变址寻址模式功能时序图”（第91页）。

图8-27：变址寻址需响应的写周期时序

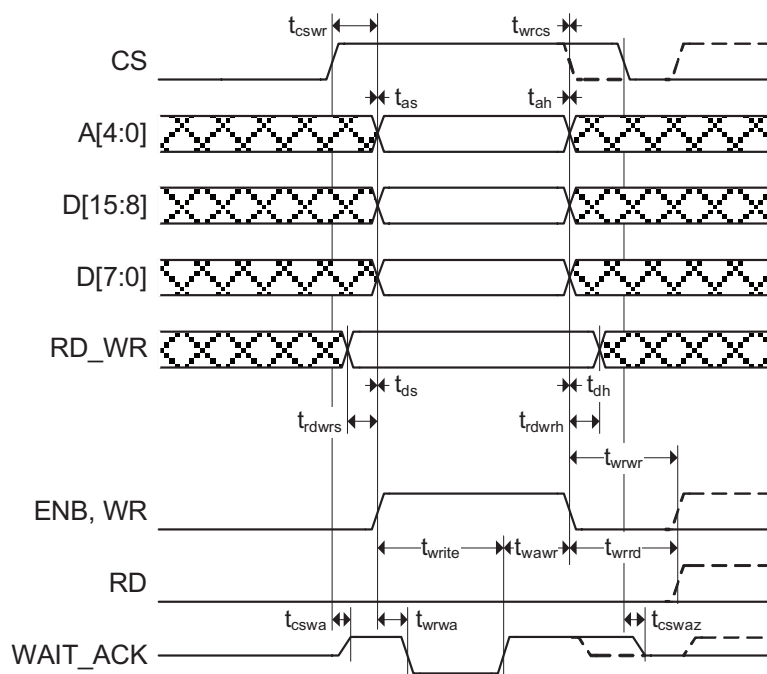


表8-9：变址寻址需响应的写周期时序值

符号	说明	最小值	典型值	最大值	单位
t_{cswr}	从CS建立到WR或ENB有效的时间	0			ns
$t_{wr cs}$	WR或ENB无效之后CS的保持时间	0			ns
t_{as}	从地址建立到WR或ENB有效的时间	0			ns
t_{ah}	WR或ENB无效之后地址的保持时间	0			ns
t_{rdwrs}	从RD_WR建立到ENB有效的时间 注27	5			ns
t_{rdwrh}	ENB无效之后RD_WR的保持时间 注27	5			ns
t_{ds}	从数据建立到WR或ENB有效的时间	0			ns
t_{dh}	WR或ENB无效之后数据的保持时间	0			ns
t_{wrwr}	下一个WR或ENB之前的WR或ENB无效时间	13			ns
t_{wrrd}	下一个RD之前的WR无效时间 注28	13			ns
t_{cswa}	从CS有效到WAIT_ACK有效的时间			10	ns
t_{wrwa}	从WR或ENB有效到WAIT_ACK有效的时间			10	ns
t_{write}	从WR或ENB有效到WAIT_ACK无效的时间 - 8位写操作			200	ns
	从WR或ENB有效到WAIT_ACK无效的时间 - 16位写操作			280	ns
t_{wawr}	从WAIT_ACK无效到WR或ENB无效的时间	0			ns
t_{cswaz}	从CS无效到WAIT_ACK关闭的时间			9	ns

注27： RD_WR和ENB信号。

注28： RD和WR信号。

9.0 SPI/SQI从器件

9.1 功能概述

SPI/SQI从模块提供低引脚数同步从接口，便于器件与主机系统之间的通信。凭借SPI/SQI从器件，可访问系统CSR、内部FIFO和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。SPI模式支持单、双和四位通道，时钟速率最高达80 MHz。SQI模式始终使用四位通道，其工作时钟速率最高也为80 MHz。

以下内容概述了SPI/SQI从器件提供的功能：

- **串行读操作：**以最高30 MHz的频率进行4线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **快速读操作：**以最高80 MHz的频率进行4线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **双/四输出读操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）读操作。串行命令、地址和并行数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **双/四I/O读操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）读操作。串行命令、并行地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **SQI读操作：**以最高80 MHz的频率进行6线（时钟、选择、数据输入/数据输出）读操作。并行命令、地址和数据。首次访问为空字节。采用递增、递减和静态寻址实现单次或多次寄存器读操作。
- **写操作：**以最高80 MHz的频率进行4线（时钟、选择、数据输入和数据输出）写操作。串行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- **双/四数据写操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）写操作。串行命令、地址和并行数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- **双/四地址/数据写操作：**以最高80 MHz的频率进行4线或6线（时钟、选择、数据输入/数据输出）写操作。串行命令、并行地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。
- **SQI写操作：**以最高80 MHz的频率进行6线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。采用递增、递减和静态寻址实现单次或多次寄存器写操作。

9.2 SPI/SQI从器件操作

SIO[3:0]引脚上的输入数据在SCK输入时钟的上升沿被采样。SIO[3:0]引脚上的输出数据在时钟的下降沿被采样。SCK输入时钟可以是高电平有效脉冲或低电平有效脉冲。当SCS#片选输入为高电平时，SIO[3:0]输入被忽略，且SIO[3:0]输出为三态。

在SPI模式下，8位指令在SCS#变为有效后从输入时钟的第一个上升沿开始。该指令始终以串行方式输入SI/SIO0。

对于读指令和写指令，指令字节后跟两个地址字节。根据指令的不同，地址字节可以串行方式输入，或者以每个时钟2位或4位的方式输入。虽然部分寄存器均按双字访问，但地址位域被视为字节地址。使用十四个地址位指定地址。地址位域的bit 15和bit 14用于指定连续访问时地址自动递减（10b）还是自动递增（01b）。

对于读命令（READ指令除外），地址字节后跟一个或两个传输长度字节。根据指令的不同，传输长度字节可以串行方式输入，或者以每个时钟2位或4位的方式输入。虽然部分寄存器均按双字访问，但传输长度位域被视为字节长度。对于单字节传输长度格式，bit 7为低电平，bit 6-0指定最大127字节的长度。对于双字节传输长度格式，第一个字节的bit 7为高电平，bit 6-0位指定长度的低7位。第二个字节位域的bit 6-0指定长度的高7位，最大传输长度为16,383字节（16K-1）。传输长度不包括任何空字节。

对于读指令和写指令，可编程数量的初始空字节周期跟在地址或传输长度（如适用）字节后面（位于第一个数据字节前面）。

对于读指令和写指令，如果存在空字节，则一个或多个数据字段跟在空字节后面，否则将跟在地址或传输长度（如适用）字节后面。数据以串行方式输入或输出，或者以每个时钟2位或4位的方式输入和输出。

双字内的各个数据字节之间通过可编程数量的空字节（包括零）进行分隔。每个双字通过可单独编程数量的空字节（包括零）进行分隔。器件在写指令的初始空字节周期（跟在地址字节后面）或空字节期间不驱动输出，但在读命令的后续空字节周期期间会驱动输出。为确保未来兼容性，空输入字节应为零。空输出字节未定义。空字节以串行方式输入和输出，或者以每个时钟2位或4位的方式输入和输出。

空字节的数量可根据读写命令类型单独编程，并通过设置SPI配置（SPICFG）指令进行设置。SPICFG指令本身不使用空字节，以保持其格式的一致性。

可通过使能四I/O（EQIO）指令从SPI模式切换至SQI模式。一旦处于SQI模式，后续的所有命令、地址、空字节和数据字节均以每个时钟4位的方式输入。可通过复位四I/O（RSTQIO）指令退出SQI模式。

所有指令、地址、传输长度和数据均以最高有效位（Most Significant Bit，MSb）、最高双位（MSD）或最高半字节（MSN）在前的方式传输。地址以最高有效字节（Most Significant Byte，MSB）在前的方式传输。传输长度以最高有效字节（LSB）在前的方式传输。多字节数据以最低有效字节（Least Significant Byte，LSB）在前（小尾数法）的方式传输。

SPI接口支持最高80 MHz的输入时钟。正常（非高速）读指令限制在30 MHz。可通过编程空字节数来调整数据速率或初始读访问时间。

SPI接口支持最短50 ns的连续命令间隔时间（最短SCS#无效时间为50 ns）。

表9-1列出了SPI模式下支持的指令。表9-2列出了SQI指令。不得使用不受支持的命令。

表9-1: SPI指令

指令	说明	位宽度 注1	指令 代码	地址 字节	长度 字节	初始 空字节 注2 注3	每个 字节或 双字 空字节 注4	数据 字节 注5	最大 频率
配置									
SETCFG	设置配置	1-0-1	01h	0	0	0	0	39	80 MHz
EQIO	使能SQI	1-0-0	38h	0	0	0	0	0	80 MHz
RSTQIO	复位SQI	1-0-0	FFh	0	0	0	0	0	80 MHz
读操作									
READ	读操作	1-1-1	03h	2	0	0至255	0至255	4至∞ / 1至∞	30 MHz
FASTREAD	以较高速度进行读操作	1-1-1	0Bh	2	1或2	1至255	0至255	4至16K / 1至16K	80 MHz

表9-1: SPI指令（续）

指令	说明	位宽度 注1	指令 代码	地址 字节	长度 字节	初始 空字节 注2 注3	每个 字节或 双字 空字节 注4	数据 字节 注5	最大 频率
SDOR	SPI双输出 读操作	1-1-2	3Bh	2	1或2	1至255	0至255	4至16K / 1至16K	80 MHz
SDIOR	SPI双I/O 读操作	1-2-2	BBh	2	1或2	2至255	0至255	4至16K / 1至16K	80 MHz
SQOR	SPI四输出 读操作	1-1-4	6Bh	2	1或2	1至255	0至255	4至16K / 1至16K	80 MHz
SQIOR	SPI四I/O 读操作	1-4-4	EBh	2	1或2	4至255	0至255	4至16K / 1至16K	80 MHz
写操作									
WRITE	写操作	1-1-1	02h	2	0	0至255	0至255	4至 ∞ / 1至 ∞	80 MHz
SDDW	SPI双数据 写操作	1-1-2	32h	2	0	0至255	0至255	4至 ∞ / 1至 ∞	80 MHz
SDADW	SPI双地址/ 数据写操作	1-2-2	B2h	2	0	0至255	0至255	4至 ∞ / 1至 ∞	80 MHz
SQDW	SPI四数据 写操作	1-1-4	62h	2	0	0至255	0至255	4至 ∞ / 1至 ∞	80 MHz
SQADW	SPI四地址/ 数据写操作	1-4-4	E2h	2	0	0至255	0至255	4至 ∞ / 1至 ∞	80 MHz

注1: 位宽度格式为: 指令代码位宽度、地址/传输长度/初始空位宽度和数据/后续空位宽度。

注2: 尽管默认设为最小值, 但硬件并不强制, 应由软件使用。

在EtherCAT直接映射模式下, 应使用第9.3节“EtherCAT直接映射模式”中所述的备用最小值。

注3: 初始空字节的位宽度遵循地址的位宽度。

注4: 数据间空字节的位宽度遵循数据的位宽度。

注5: 在EtherCAT直接映射模式下, 对于非EtherCAT内核CSR, 最小数据字节数仍为4。对于EtherCAT内核CSR或过程RAM, 最小数据字节数为1。

表9-2: SQI指令

指令	说明	位宽度 注6	指令 代码	地址 字节	长度 字节	初始 空字节 注7 注8	每个 字节或 双字 空字节 注9	数据 字节 注10	最大 频率
配置									
SETCFG	设置配置	4-0-4	01h	0	0	0	0	39	80 MHz
RSTQIO	复位SQI	4-0-0	FFh	0	0	0	0	0	80 MHz
读操作									
FASTREAD	以较高速度进行读操作	4-4-4	0Bh	2	1或2	3至255	0至255	4至16K / 1至16K	80 MHz
写操作									
WRITE	写操作	4-4-4	02h	2	0	0至255	0至255	4至∞ / 1至∞	80 MHz

- 注6:** 位宽度格式为: 指令代码位宽度、地址/传输长度/初始空位宽度和数据/后续空位宽度。
- 注7:** 尽管默认设为最小值, 但硬件并不强制, 应由软件使用。
- 在EtherCAT直接映射模式下, 应使用第9.3节“EtherCAT直接映射模式”中所述的备用最小值。
- 注8:** 初始空字节的位宽度遵循地址的位宽度。
- 注9:** 数据间空字节的位宽度遵循数据的位宽度。
- 注10:** 在EtherCAT直接映射模式下, 对于非EtherCAT内核CSR, 最小数据字节数仍为4。对于EtherCAT内核CSR或过程RAM, 最小数据字节数为1。

9.2.1 器件初始化

直到器件初始化至各种配置输入均有效的程度，SPI/SQI接口才会响应外部引脚活动并受其影响。

一旦器件完成初始化，SPI/SQI接口便会忽略这些引脚，直至检测到SCS#的上升沿。

9.2.1.1 初始化完成的SPI/SQI从器件读轮询

器件初始化之前，SPI/SQI接口将不会返回有效数据。要确定SPI/SQI接口何时正常工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）中的器件就绪（READY）位来确定器件何时完全配置。

注：主机在轮询BYTE_TEST寄存器时，应只使用单寄存器读操作（每次SCS#为低电平时发生一个数据周期）。

9.2.2 功耗管理期间和功耗管理之后的访问

在D0以外的任何功耗管理模式期间，会忽略读写操作，SPI/SQI接口不会响应任何外部引脚活动，也不会受其影响。

一旦功耗管理模式切换回D0，SPI/SQI接口便会忽略这些引脚，直至检测到SCS#的上升沿。

要确定SPI/SQI接口何时正常工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）中的器件就绪（READY）位来确定器件何时完全配置。

注：主机在轮询BYTE_TEST寄存器时，应只使用单寄存器读操作（每次SCS#为低电平时发生一个数据周期）。

9.2.3 等待/应答操作

在EtherCAT直接映射模式（见第9.3节“EtherCAT直接映射模式”）下工作时，主机系统必须满足器件的时序访问要求。如果读取EtherCAT内核CSR或过程数据RAM，读周期必须等待至读数据已在内部检索完毕后才能开始。所有写周期必须等待至任何先前对EtherCAT内核CSR或过程数据RAM的写访问在内部完成后才能开始。主机系统既可以等待指定的最坏情况访问时间，也可以使用WAIT_ACK信号。

WAIT_ACK引脚通过PDI配置寄存器（SPI模式）的SPI_WAIT_ACK极性和SPI_WAIT_ACK缓冲器类型位组合使能。

WAIT_ACK仅在EtherCAT直接映射模式下使用。当未处于EtherCAT直接映射模式时，如果WAIT_ACK使能，则始终处于无效状态（显示ACK）。WAIT_ACK可设置为低电平有效的漏极开路输出（用于线与系统），或者设置为三态推挽式输出。这通过PDI配置寄存器（SPI模式）的SPI_WAIT_ACK缓冲器类型位进行控制。作为推挽式输出，其极性由PDI配置寄存器（SPI模式）的SPI_WAIT_ACK极性位设置。有关WAIT_ACK操作的说明，请参见第9.3.2.3节“等待状态”。

9.2.4 SPI配置命令

9.2.4.1 设置配置

设置配置指令设置每条指令预期的空字节数。当时钟频率最高为80 MHz时，SPI和SQI总线协议支持该指令。

首先将SCS#置为有效，选择SPI/SQI从接口。8位SETCFG指令（01h）在SPI模式下以每个时钟1位的方式输入SI/SIO[0]引脚，在SQI模式下以每个时钟4位的方式输入SIO[3:0]引脚。

命令字节后跟数据。对于SPI模式，数据以第一个字节的MSb在前的方式输入到SI/SIO[0]引脚。对于SQI模式，以第一个字节的MSN在前的方式向SIO[3:0]输入半字节宽的数据。其余位/半字节在后续的时钟边沿移入。

要结束该周期，需将SCS#输入置为无效。

下面列出了空字节的顺序及其默认值。每条指令有三个值。第一个值是在第一个数据字节之前的空字节数。第二个值是双字内各字节之间的空字节数。第三个值是双字之间的空字节数。请注意，命令的最后一个数据字节后面没有空字节。

在EtherCAT直接映射模式下，应按照第9.3节“EtherCAT直接映射模式”中所述设置备用最小值。

表9-3：空字节顺序和默认值

字节顺序	指令	初始	双字内部	双字之间
		默认值		
SPI				
0	READ	0	-	-
1		-	0	-
2			-	0
3	FASTREAD	1	-	-
4		-	0	-
5			-	0
6	SDOR	1	-	-
7		-	0	-
8			-	0
9	SDIOR	2	-	-
10		-	0	-
11			-	0
12	SQOR	1	-	-
13		-	0	-
14			-	0
15	SQIOR	4	-	-
16		-	0	-
17			-	0
18	WRITE	0	-	-
19		-	0	-
20			-	0
21	SDDW	0	-	-
22		-	0	-
23			-	0
24	SDADW	0	-	-
25		-	0	-
26		-	-	0
27	SQDW	0	-	-
28		-	0	-
29			-	0

字节顺序	指令	初始	双字内部	双字之间
		默认值		
30	SQADW	0	-	-
31		-	0	-
32		-	-	0
SQL				
33	FASTREAD	3	-	-
34		-	0	-
35			-	0
36	WRITE	0	-	-
37		-	0	-
38		-	-	0

图9-1给出了SPI模式下的设置配置指令图示。图9-2给出了SQI模式下的设置配置指令图示。

图9-1: SPI模式设置配置

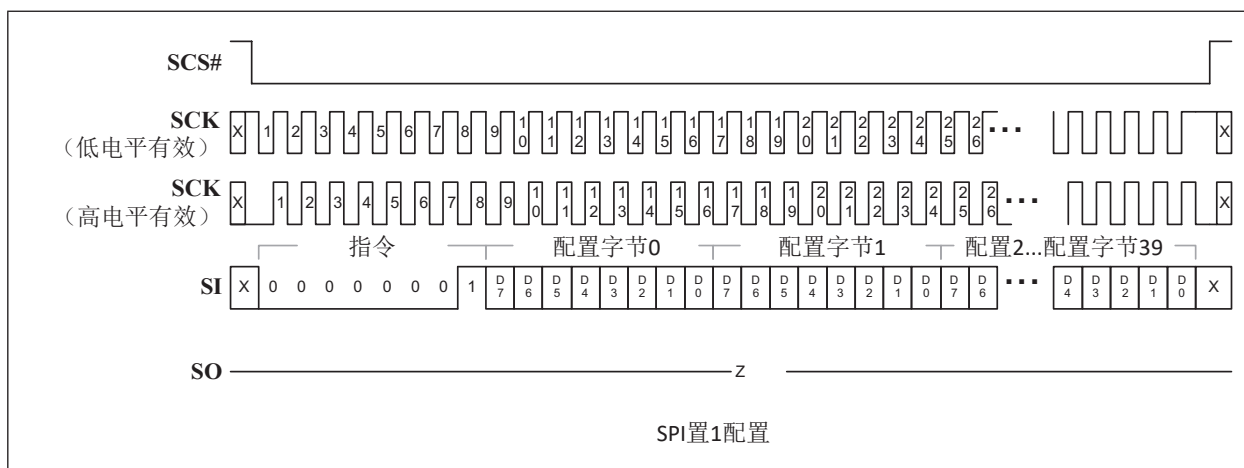
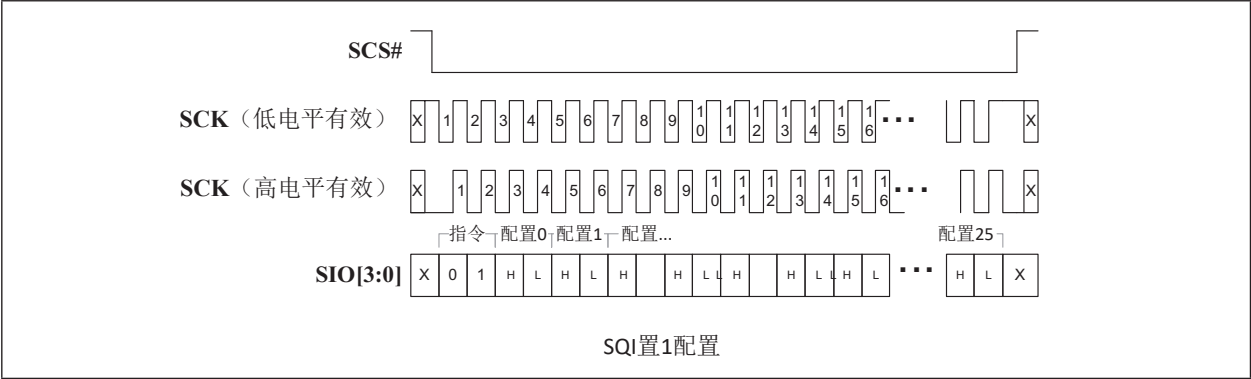


图9-2: SQI模式设置配置



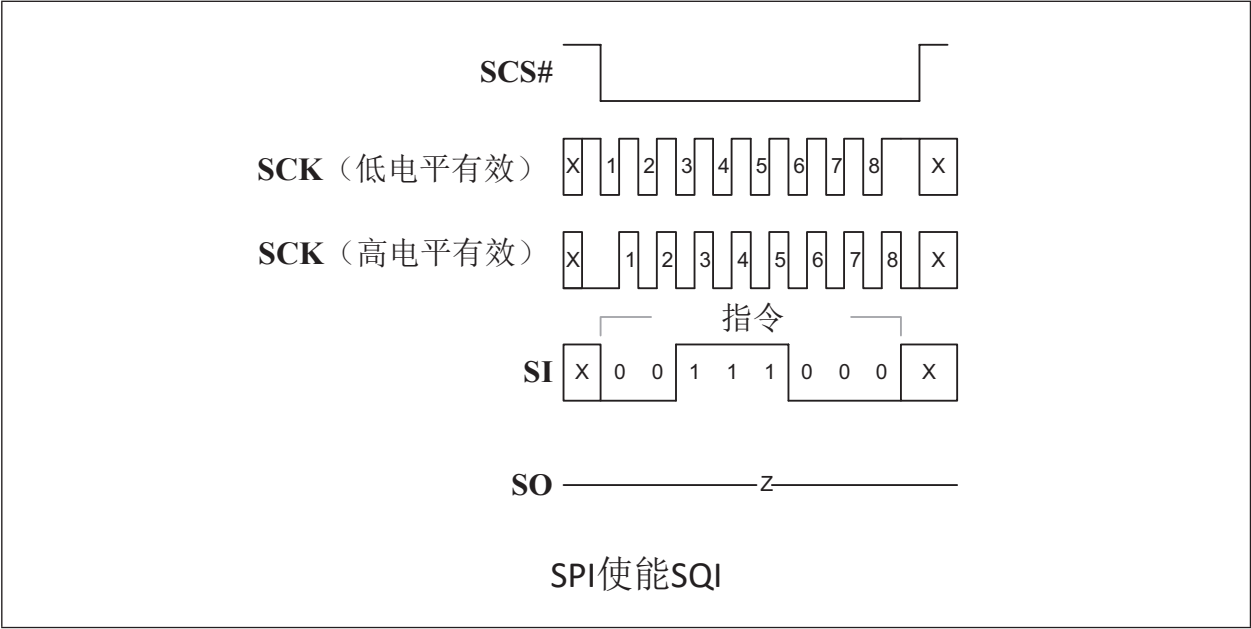
9.2.4.2 使能SQI

使能SQI指令用于将工作模式切换至SQI。仅当时钟频率最高为80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位EQIO指令（38h）以每个时钟1位的方式输入SI/SIO[0]引脚。要结束该周期，需将SCS#输入置为无效。

图9-3给出了使能SQI指令图示。

图9-3: 使能SQI



9.2.4.3 复位SQI

复位SQI指令用于将工作模式切换至SPI。当时钟频率最高为80 MHz时，SPI和SQI总线协议支持该指令。

首先将SCS#置为有效，选择SPI/SQI从接口。8位RSTQIO指令（FFh）在SPI模式下以每个时钟1位的方式输入SI/SIO[0]引脚，在SQI模式下以每个时钟4位的方式输入SIO[3:0]引脚。要结束该周期，需将SCS#输入置为无效。

图9-4给出了SPI模式下的复位SQI指令图示。图9-5给出了SQI模式下的复位SQI指令图示。

图9-4： SPI模式复位SQI

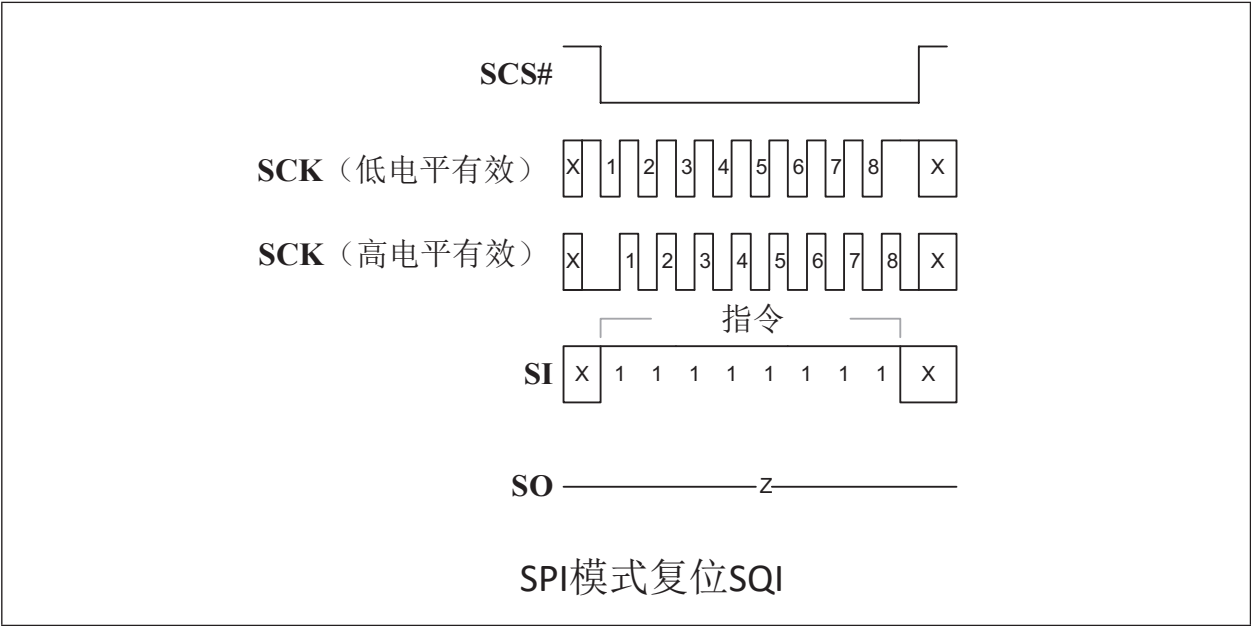
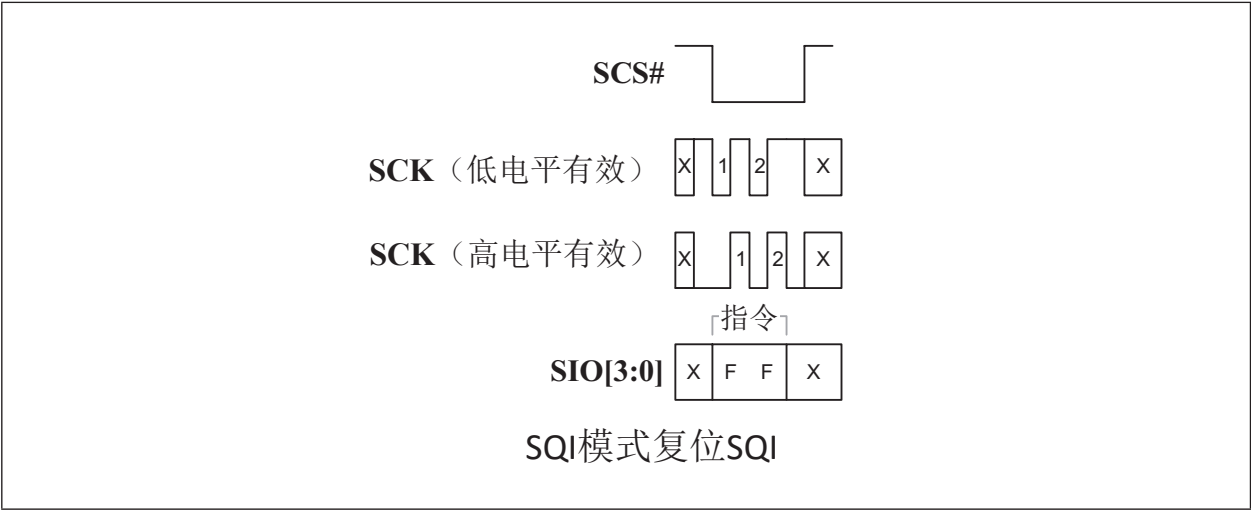


图9-5： SQI模式复位SQI



9.2.5 SPI读命令

SPI/SQI从器件支持各种读命令。以下内容适用于所有读命令。

多次读操作

当SCS#有效时，可通过继续提供时钟脉冲来执行第一次读操作之后的其他读操作。地址的高2位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器轮询很有用。

在当前输出移位即将结束时，地址会递增或递减（适用时），并且另一个同步捕捉序列将完成。

多个双字的常量地址和自动递增/递减操作如下所示。请注意，保持常量或递增/递减的是双字地址。双字内的字节地址始终递增：

dec/inc = 00：常量双字对齐地址

按递增字节顺序读取双字内的4个字节				
内部地址在每个双字后重复				
起始地址：yyyy				
内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
第一个数据输出：	有效	有效	有效	有效
内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
第二个数据输出：	有效	有效	有效	有效
内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
最后一个数据输出：	有效	有效	有效	有效

dec/inc = 01：递增双字对齐起始地址

按递增字节顺序读取每个双字内的4个字节				
内部地址在每个双字后递增4				
起始地址：yyyy				
内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
第一个数据输出：	有效	有效	有效	有效
下一个内部地址：下一个双字				
字节地址：	+4	+5	+6	+7
第二个数据输出：	有效	有效	有效	有效
下一个内部地址：下一个双字				
字节地址：	+8	+9	+10	+11
最后一个数据输出：	有效	有效	有效	有效

dec/inc = 10: 递减双字对齐起始地址
按递增字节顺序读取每个双字内的4个字节
内部地址在每个双字后递减4

起始地址:	yyyy			
内部地址:	yyyy			
字节地址:	yyyy	+1	+2	+3
第一个数据输出:	有效	有效	有效	有效
下一个内部地址:	下一个双字			
字节地址:	-4	-3	-2	-1
第二个数据输出:	有效	有效	有效	有效
下一个内部地址:	下一个双字			
字节地址:	-8	-7	-6	-5
最后一个数据输出:	有效	有效	有效	有效

dec/inc = 11: 保留
上述内容适用于从双字对齐地址开始的完整双字访问。有关在EtherCAT直接映射模式下使用的部分双字访问或非双字对齐起始地址的信息，请参见第9.3.2.1节。

读终止

以下两种方法用于避免内部预取的数据量超出最后输出的数据。
对于READ指令，使用SI输入。在最后一个输出字节期间，SPI主器件必须将SI设置为高电平（输入字节 = FFh），否则将发生内部预取操作，可能导致数据丢失。
对于其他读取命令（FASTREAD、SDOR、SDIOR、SQOR和SQIOR），传输长度（以字节为单位）在地址后面提供。

空字节

为了提供足够的时间来检索寄存器数据（特别是在EtherCAT直接映射模式下读取EtherCAT内核CSR或过程RAM时），可使用空字节周期。空字节数使用设置配置指令进行设置，并根据读命令类型来指定。
每条指令有三个值。第一个值是在第一个数据字节之前的空字节数。第二个值是双字内各字节之间的空字节数（双字内）。第三个值是双字之间的空字节数（双字间）。命令的最后一个数据字节后面没有空字节。
应用注释： 双字之间的空字节数严格遵循第三个配置值。该值既不会与第二个配置值叠加，也不会与其同时生效。
应用注释： 双字边界适用于所有读命令，即使是针对字节的命令（如READ命令）也不例外。在适用的情况下，可将双字内和双字间的空字节数设置为相同值。
应用注释： 对于READ命令，不支持第二个参数（双字内）等于0、第三个参数（双字间）不等于0的空字节配置。在这种情况下，第二个参数的值通常会与第三个参数的值相同。
应用注释： 双字边界基于最后读取的字节的地址，而非运行的字节计数（即，并非只是按照每四个字节划分）。在EtherCAT直接映射模式下，起始地址可能不是按双字对齐，因此这一点很重要。有关如何更新地址的信息，请参见第9.3.2.1节。
应用注释： 空字节的时钟周期数根据指令的位宽度而变化。

特殊CSR处理

即时位

由于数据以串行方式读取，因此所选寄存器的值在每次32位读操作开始时进行保存，以防止主机读取中间值。多次读序列中将进行多次保存。

9.2.5.1 读操作

读操作指令以每个时钟1位的方式输入指令代码、地址和可能的初始空字节，并以每个时钟1位的方式输出数据和任何后续空字节。仅当时钟频率最高为**30 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将**SCS#**置为有效，选择SPI从接口。**8位READ指令（03h）**输入到SI/SIO[0]引脚，其后跟2个地址字节以及0至255个空字节。地址字节用于指定器件内的字节地址。

在最后一个地址或空位的上升沿之后的时钟下降沿，**SO/SIO[1]**引脚将以所选寄存器的**LSB的MSb**在前的方式驱动。其余寄存器位在后续的时钟下降沿移出。对于多字节寄存器，下一个字节跟在前一个字节或空字节的最后一位后面。读取多个寄存器时，下一个寄存器的第一位跟在前一个寄存器或空字节的最后一位后面。

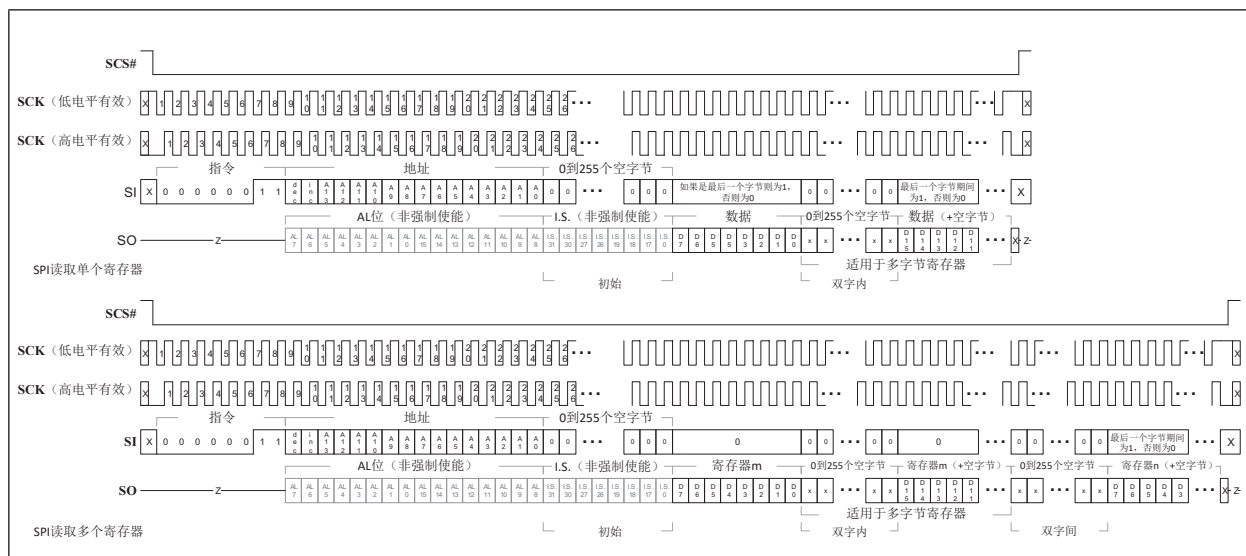
为避免内部预取的数据量超出最后输出的数据，使用了**SI**输入。在最后一个输出字节期间，SPI主器件必须将**SI**设置为高电平（输入字节 = FFh），否则将发生内部预取操作，可能导致数据丢失。对于除最后一个输出字节外的所有字节，SPI主器件必须将**SI**设置为低电平（输入字节 = 00h）。

要结束该周期，需将**SCS#**输入置为无效。此时，**SO/SIO[1]**引脚为三态。

图9-6给出了单次寄存器读操作和多次寄存器读操作的典型图示。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器读操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字读操作也可以从非双字对齐边界开始。

应用注释： 不支持第二个参数（双字内）等于0、第三个参数（双字间）不等于0的空字节配置。在这种情况下，第二个参数的值通常会与第三个参数的值相同。

图9-6: SPI读操作



9.2.5.2 快速读操作

以较高速进行读操作指令以每个时钟1位的方式输入指令代码、地址、传输长度和初始空字节，并以每个时钟1位的方式输出数据和任何后续空字节。在SQI模式下，以每个时钟4位的方式输入指令代码、地址、传输长度和初始空字节，并以每个时钟4位的方式输出数据和任何后续空字节。当时钟频率最高为80 MHz时，SPI和SQI总线协议支持该指令。

首先将SCS#置为有效，选择SPI/SQI从接口。对于SPI模式，8位FASTREAD指令（0Bh）输入到SI/SIO[0]引脚，其后跟2个地址字节、1个或2个传输长度字节以及1至255个空字节。对于SQI模式，8位FASTREAD指令输入到SIO[3:0]引脚，其后跟2个地址字节、1个或2个传输长度字节以及3至255个空字节。地址字节用于指定器件内的字节地址。传输长度字节指定数据长度（以字节为单位），不包括任何空字节。传输长度位域为7位或14位，最大传输长度为127或16,383字节（16K-1）。

在最后一个空位（或半字节）的上升沿后的时钟下降沿，SO/SIO[1]引脚将以所选寄存器的LSB的MSb在前的方式驱动。对于SQI模式，SIO[3:0]将以所选寄存器的LSB的MSN在前的方式驱动。对于非双字对齐起始地址，在数据字节之前会出现1-3个填充字节（以及每个填充字节可能后跟的空字节）。填充字节不计入传输长度。

其余寄存器位在后续的时钟下降沿移出。对于多字节寄存器，下一个字节跟在前一个字节或空字节的最后一位（或半字节）后面。读取多个寄存器时，下一个寄存器的第一位（或半字节）跟在前一个寄存器或空字节的最后一位（或半字节）后面。

要结束该周期，需将SCS#输入置为无效。此时，SO/SIO[3:0]引脚为三态。

图9-7给出了SPI模式下单次寄存器快速读操作和多次寄存器快速读操作的典型图示。图9-8给出了SQI模式下单次寄存器快速读操作和多次寄存器快速读操作的典型图示。传输长度位域可能是一个或两个字节。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器读操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字读操作也可以从非双字对齐边界开始。

图9-7：SPI快速读操作

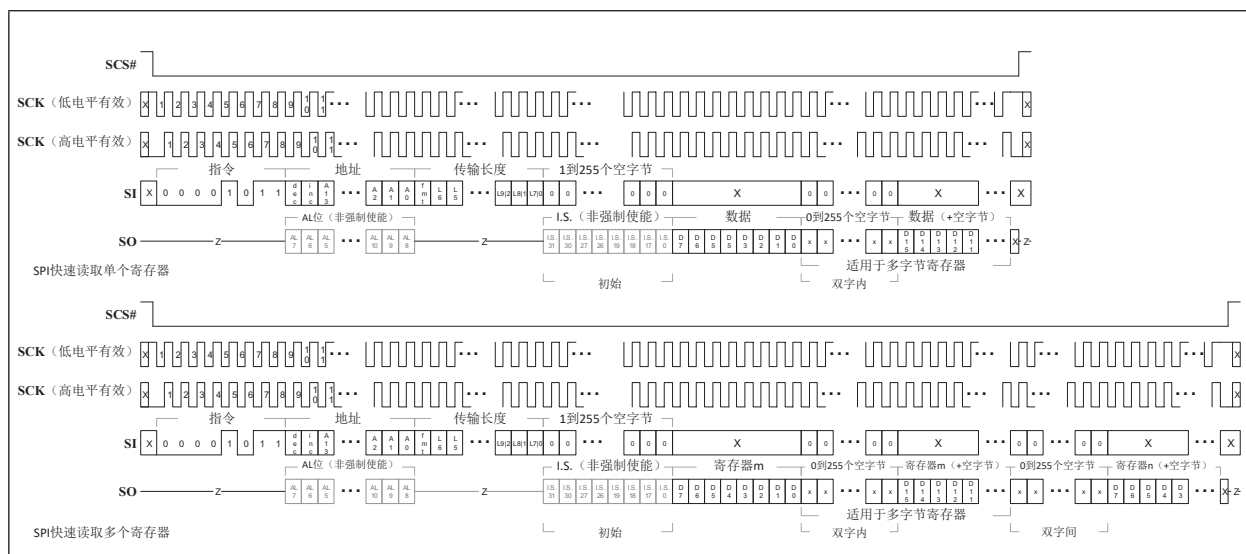
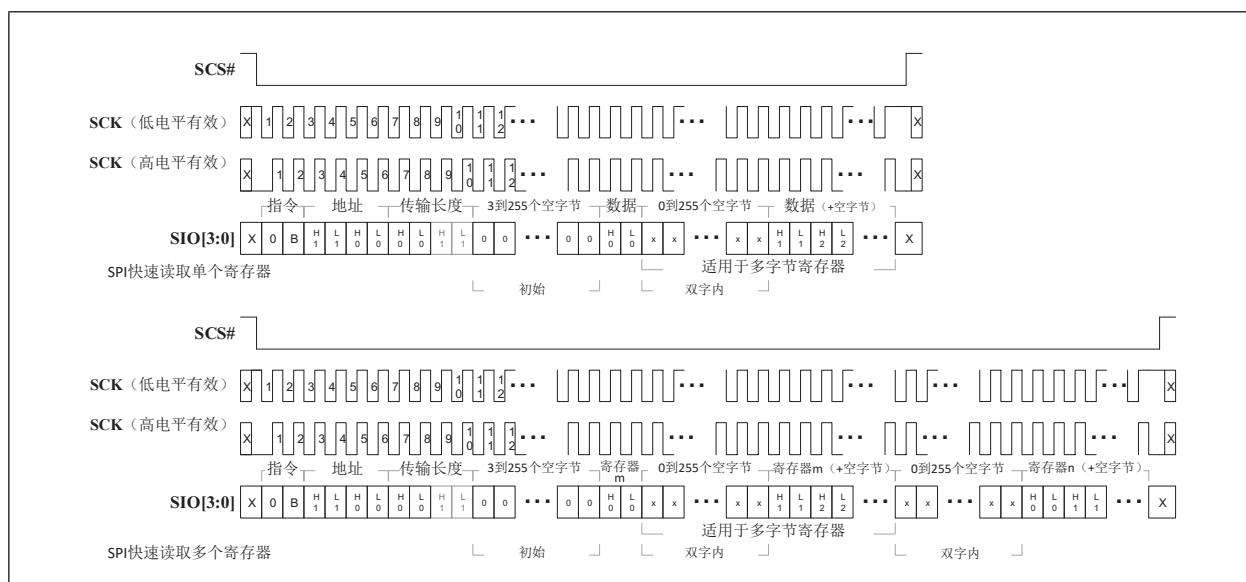


图9-8: SQI快速读操作



9.2.5.3 双输出读操作

SPI双输出读取指令以每个时钟1位的方式输入指令代码、地址、传输长度和初始空字节，并以每个时钟2位的方式输出数据和任何后续空字节。仅当时钟频率最高为80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位SDOR指令（3Bh）输入到SIO[0]引脚，其后跟2个地址字节，1个或2个传输长度字节以及1至255个空字节。地址字节用于指定器件内的字节地址。传输长度字节指定数据长度（以字节为单位），不包括任何空字节。传输长度位域为7位或14位，最大传输长度为127或16,383字节（16K-1）。

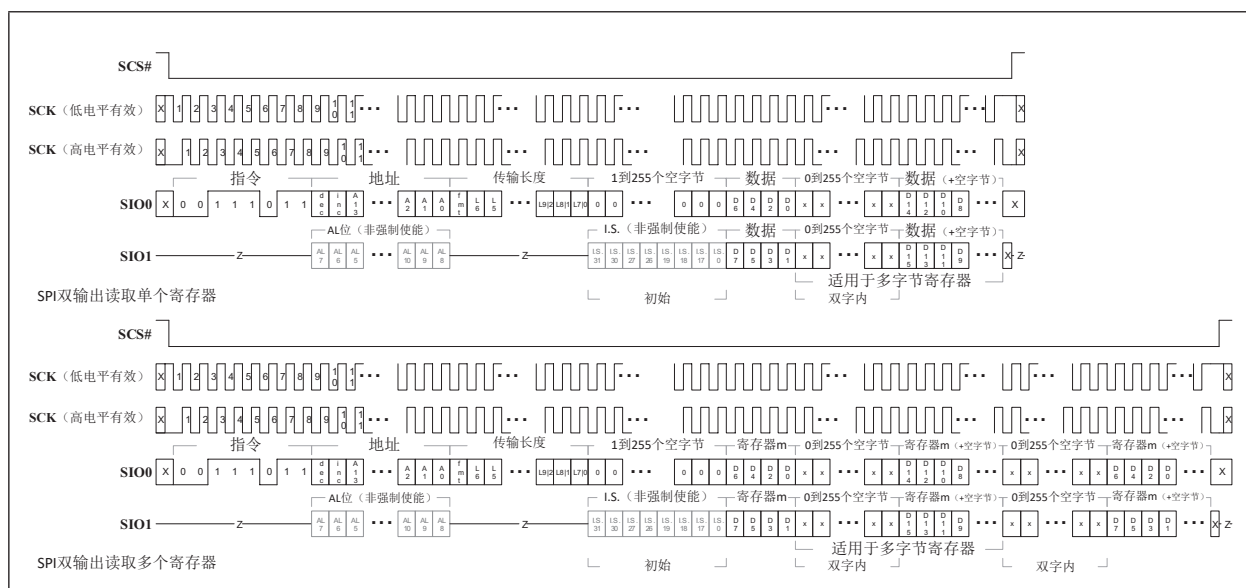
在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的LSB的MSb在前的方式驱动。对于非双字对齐起始地址，在数据字节之前会出现1-3个填充字节（以及每个填充字节可能后跟的空字节）。填充字节不计入传输长度。

其余寄存器双位在后续的时钟下降沿移出。对于多字节寄存器，下一个字节跟在前一个字节或空字节的最后一位（或半字节）后面。读取多个寄存器时，下一个寄存器的第一位（或半字节）跟在前一个寄存器或空字节的最后一位（或半字节）后面。

要结束该周期，需将SCS#输入置为无效。此时，SIO[1:0]引脚为三态。

图9-9给出了单次寄存器双输出读操作和多次寄存器双输出读操作的典型图示。传输长度位域可能是一个或两个字节。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器读操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字读操作也可以从非双字对齐边界开始。

图9-9: SPI双输出读操作



9.2.5.4 四输出读操作

SPI四输出读取指令以每个时钟1位的方式输入指令代码、地址、传输长度和初始空字节，并以每个时钟4位的方式输出数据和任何后续空字节。仅当时钟频率最高为**80 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将**SCS#**置为有效，选择SPI从接口。8位**SQOR**指令（**6Bh**）输入到**SIO[0]**引脚，其后跟2个地址字节，1个或2个传输长度字节以及1至255个空字节。地址字节用于指定器件内的字节地址。传输长度字节指定数据长度（以字节为单位），不包括任何空字节。传输长度位域为7位或14位，最大传输长度为127或16,383字节（**16K-1**）。

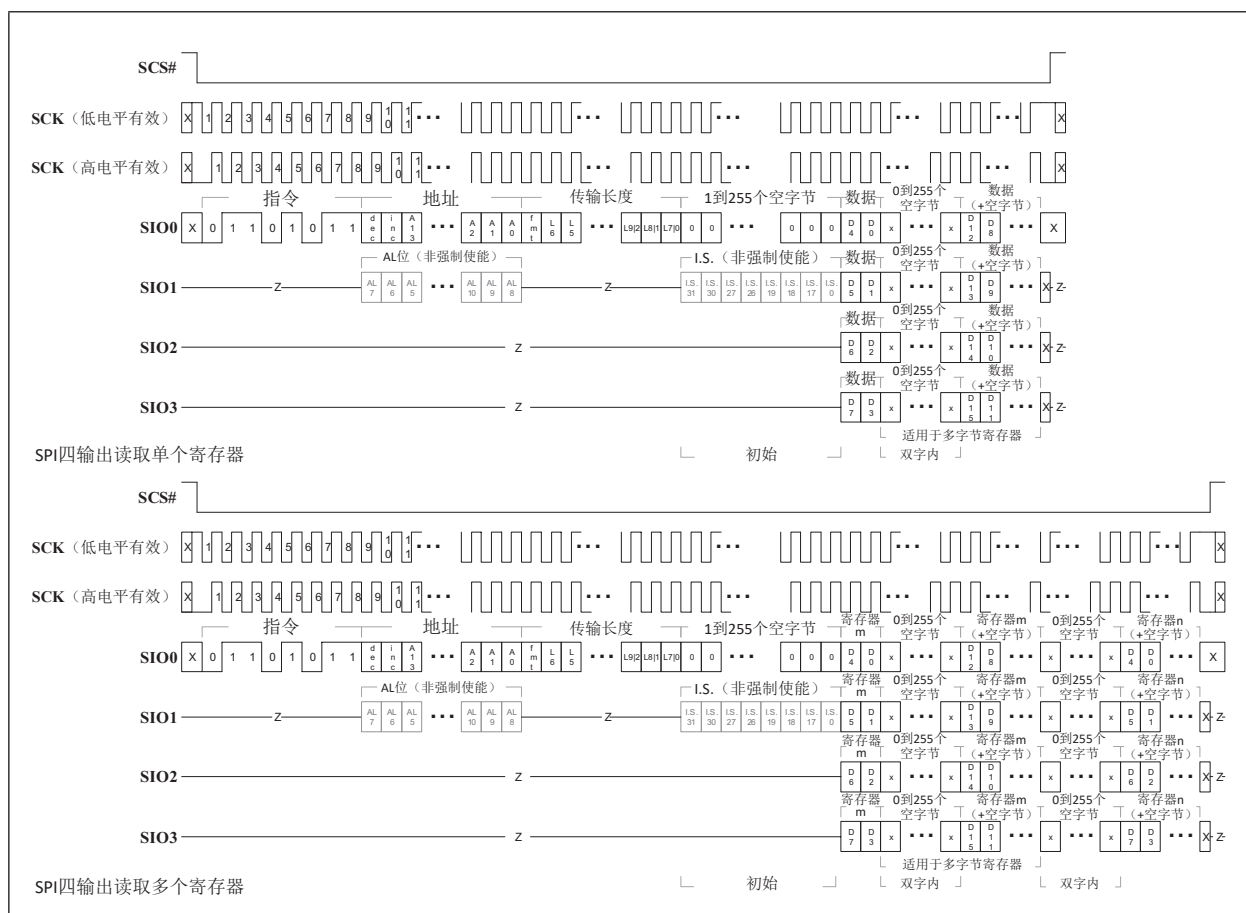
在最后一个空位的上升沿后的时钟下降沿，**SIO[3:0]**引脚将以所选寄存器的LSB的MSN在前的方式驱动。对于非双字对齐起始地址，在数据字节之前会出现1-3个填充字节（以及每个填充字节可能后跟的空字节）。填充字节不计入传输长度。

其余寄存器半字节在后续的时钟下降沿移出。对于多字节寄存器，下一个字节跟在前一个字节或空字节的最后一位（或半字节）后面。读取多个寄存器时，下一个寄存器的第一位（或半字节）跟在前一个寄存器或空字节的最后一位（或半字节）后面。

要结束该周期，需将**SCS#**输入置为无效。此时，**SIO[3:0]**引脚为三态。

图9-10给出了单次寄存器四输出读操作和多次寄存器四输出读操作的典型图示。传输长度位域可能是一个或两个字节。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器读操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字读操作也可以从非双字对齐边界开始。

图9-10: SPI四输出读操作



9.2.5.5 双I/O读操作

SPI双I/O读操作指令以每个时钟1位的方式输入指令代码，以每个时钟2位的方式输入地址、传输长度和初始空字节，并以每个时钟2位的方式输出数据和任何后续空字节。仅当时钟频率最高为**80 MHz**时，SPI总线协议才支持该指令。SPI总线协议不支持该指令。

首先将**SCS#**置为有效，选择**SPI**从接口。**8位SDIOR**指令（**BBh**）输入到**SIO[0]**引脚，其后跟2个地址字节，1个或2个传输长度字节以及2至255个空字节（输入到**SIO[1:0]**引脚）。地址字节用于指定器件内的字节地址。传输长度字节指定数据长度（以字节为单位），不包括任何空字节。传输长度位域为7位或14位，最大传输长度为127或16,383字节（16K-1）。

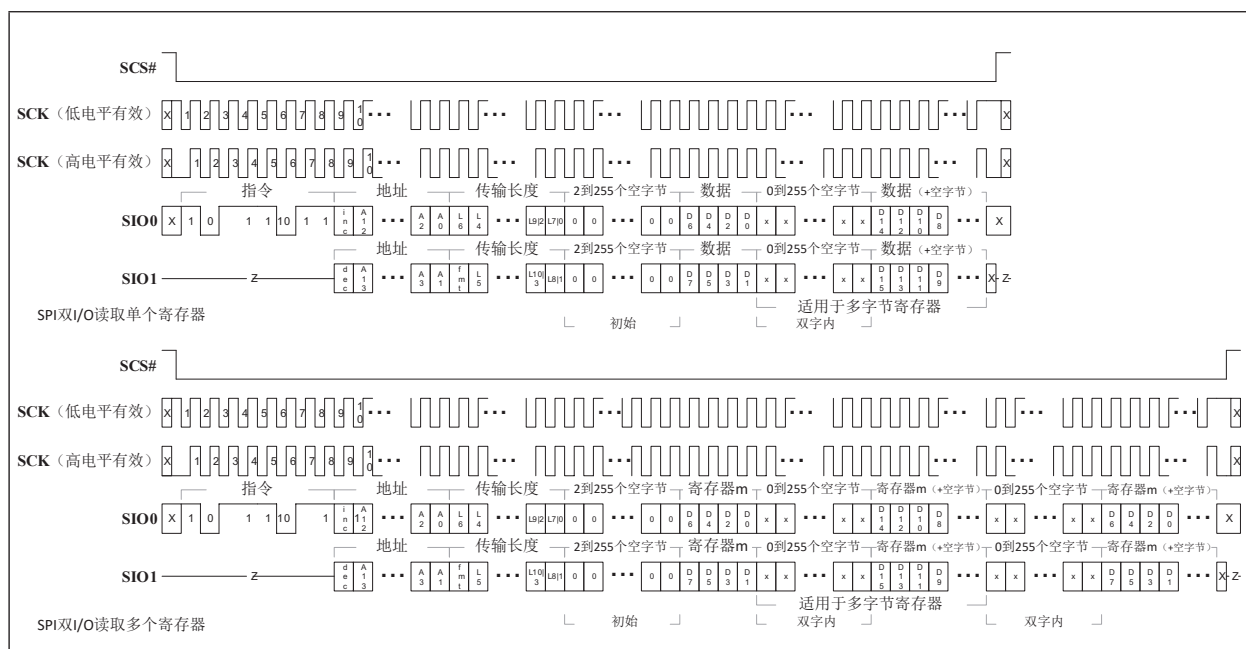
在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]**引脚将以所选寄存器的LSB的MSb在前的方式驱动。对于非双字对齐起始地址，在数据字节之前会出现1-3个填充字节（以及每个填充字节可能后跟的空字节）。填充字节不计入传输长度。

其余寄存器双位在后续的时钟下降沿移出。对于多字节寄存器，下一个字节跟在前一个字节或空字节的最后一位（或半字节）后面。读取多个寄存器时，下一个寄存器的第一位（或半字节）跟在前一个寄存器或空字节的最后一位（或半字节）后面。

要结束该周期，需将SCS#输入置为无效。此时，SIO[1:0]引脚为三态。

图9-11给出了单次寄存器双I/O读操作和多次寄存器双I/O读操作的典型图示。传输长度位域可能是一个或两个字节。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器读操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字读操作也可以从非双字对齐边界开始。

图9-11: SPI双I/O读操作



9.2.5.6 四I/O读操作

SPI四I/O读操作指令以每个时钟1位的方式输入指令代码，以每个时钟4位的方式输入地址、传输长度和初始空字节，并以每个时钟4位的方式输出数据和任何后续空字节。仅当时钟频率最高为80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位SQIOR指令（EBh）输入到SIO[0]引脚，其后跟2个地址字节、1个或2个传输长度字节以及4至255个空字节（输入到SIO[3:0]引脚）。地址字节用于指定器件内的字节地址。传输长度字节指定数据长度（以字节为单位），不包括任何空字节。传输长度位域为7位或14位，最大传输长度为127或16,383字节（16K-1）。

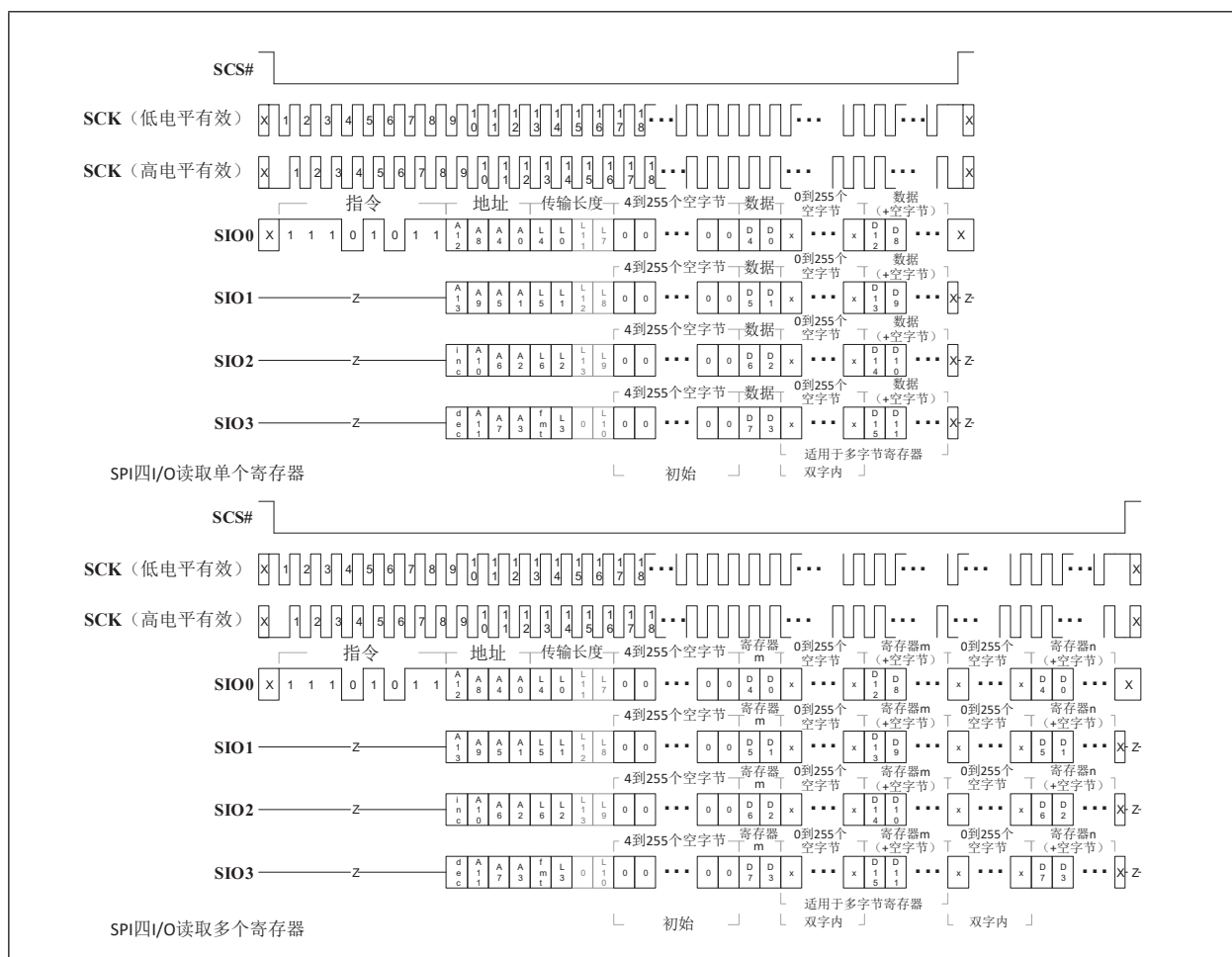
在最后一个空半字节的上升沿后的时钟下降沿，SIO[3:0]引脚将以所选寄存器的LSB的MSN在前的方式驱动。对于非双字对齐起始地址，在数据字节之前会出现1-3个填充字节（以及每个填充字节可能后跟的空字节）。填充字节不计入传输长度。

其余寄存器半字节在后续的时钟下降沿移出。对于多字节寄存器，下一个字节跟在前一个字节或空字节的最后一位（或半字节）后面。读取多个寄存器时，下一个寄存器的第一位（或半字节）跟在前一个寄存器或空字节的最后一位（或半字节）后面。

要结束该周期，需将SCS#输入置为无效。此时，SIO[3:0]引脚为三态。

图9-12给出了单次寄存器四I/O读操作和多次寄存器四I/O读操作的典型图示。传输长度位域可能是一个或两个字节。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器读操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字读操作也可以从非双字对齐边界开始。

图9-12: SPI四I/O读操作



9.2.6 SPI写命令

SPI/SQI从器件支持多种写命令。以下内容适用于所有写命令。

多次写操作

当SCS#有效时，通过继续提供时钟脉冲和输入数据来执行多次写操作。地址的高2位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器“位拆裂”或其他重复的写操作很有用。

多个双字的常量地址和自动递增/递减操作如下所示。请注意，保持常量或递增/递减的是双字地址。双字内的字节地址始终递增：

dec/inc = 00：常量双字对齐地址

按递增字节顺序写入双字内的4个字节
内部地址在每个双字后重复

起始地址：	yyyy			
内部地址：	yyyy			
字节地址：	yyyy	+1	+2	+3
第一个数据输出：	有效	有效	有效	有效
内部地址：	yyyy			
字节地址：	yyyy	+1	+2	+3
第二个数据输出：	有效	有效	有效	有效
内部地址：	yyyy			
字节地址：	yyyy	+1	+2	+3
最后一个数据输出：	有效	有效	有效	有效

dec/inc = 01：递增双字对齐起始地址

按递增字节顺序写入每个双字内的4个字节
内部地址在每个双字后递增4

起始地址：	yyyy			
内部地址：	yyyy			
字节地址：	yyyy	+1	+2	+3
第一个数据输出：	有效	有效	有效	有效
下一个内部地址：	下一个双字			
字节地址：	+4	+5	+6	+7
第二个数据输出：	有效	有效	有效	有效
下一个内部地址：	下一个双字			
字节地址：	+8	+9	+10	+11
最后一个数据输出：	有效	有效	有效	有效

dec/inc = 10: 递减双字对齐起始地址
按递增字节顺序写入每个双字内的4个字节
内部地址在每个双字后递减4

起始地址:	yyyy			
内部地址:	yyyy			
字节地址:	yyyy	+1	+2	+3
第一个数据输出:	有效	有效	有效	有效
下一个内部地址: 下一个双字				
字节地址:	-4	-3	-2	-1
第二个数据输出:	有效	有效	有效	有效
下一个内部地址: 下一个双字				
字节地址:	-8	-7	-6	-5
最后一个数据输出:	有效	有效	有效	有效

dec/inc = 11: 保留
上述内容适用于从双字对齐地址开始的完整双字访问。有关在EtherCAT直接映射模式下使用的部分双字访问或非双字对齐起始地址的信息，请参见第9.3.2.2节。

空字节

为了提供足够的时间在内部处理需响应的写操作（特别是在EtherCAT直接映射模式下写入EtherCAT内核CSR或过程RAM时），可使用空字节周期。空字节数使用设置配置指令进行设置，并根据写命令类型来指定。

每条指令有三个值。第一个值是在第一个数据字节之前的空字节数。第二个值是双字内各字节之间的空字节数（双字内）。第三个值是双字之间的空字节数（双字间）。命令的最后一个数据字节后面没有空字节。

- 应用注释:** 双字之间的空字节数严格遵循第三个配置值。该值既不会与第二个配置值叠加，也不会与其同时生效。
- 应用注释:** 双字边界适用于所有写命令，即使是使用字节缓冲模式的命令也不例外。在适用的情况下，可将双字内和双字间的空字节数设置为相同值。
- 应用注释:** 对于在EtherCAT直接映射模式下用于访问EtherCAT内核的字节缓冲模式，不支持第二个参数（双字内）等于0、第三个参数（双字间）不等于0的空字节配置。在这种情况下，第二个参数的值通常会与第三个参数的值相同。
- 应用注释:** 双字边界基于最后写入的字节的地址，而非运行的字节计数（即，并非只是按照每四个字节划分）。在EtherCAT直接映射模式下，起始地址可能不是按双字对齐，因此这一点很重要。有关如何更新地址的信息，请参见第9.3.2.2节。

应用注释: 空字节的时钟周期数根据指令的位宽度而变化。

9.2.6.1 写操作

写操作指令以每个时钟1位的方式输入指令代码、地址、可能的初始空字节、数据和任何后续空字节。在SQI模式下，以每个时钟4位的方式输入指令代码、地址、可能的初始空字节和数据字节。当时钟频率最高为80 MHz时，SPI和SQI总线协议支持该指令。

首先将SCS#置为有效，选择SPI/SQI从接口。对于SPI模式，8位WRITE指令（02h）输入到SI/SIO[0]引脚，其后跟2个地址字节以及0至255个空字节。对于SQI模式，8位WRITE指令（02h）输入到SIO[3:0]引脚，其后跟2个地址字节以及0至255个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。对于SPI模式，数据以LSB的MSb在前的方式输入到SI/SIO[0]引脚。对于SQI模式，以LSB的MSN在前的方式向SIO[3:0]输入半字节宽的数据。其余位/半字节在后续的时钟边沿移入。

在EtherCAT直接映射模式下，对EtherCAT内核CSR和过程RAM的数据写操作可在字节或完整双字传输之后进行。对非EtherCAT内核CSR的数据写操作继续按双字对齐，但不完整的双字写操作可能导致寄存器值损坏。

要结束该周期，需将SCS#输入置为无效。

图9-13给出了SPI模式下单次寄存器写操作和多次寄存器写操作的典型图示。图9-14给出了SQI模式下单次寄存器写操作和多次寄存器写操作的典型图示。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器写操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字写操作也可以从非双字对齐边界开始。

图9-13: SPI写操作

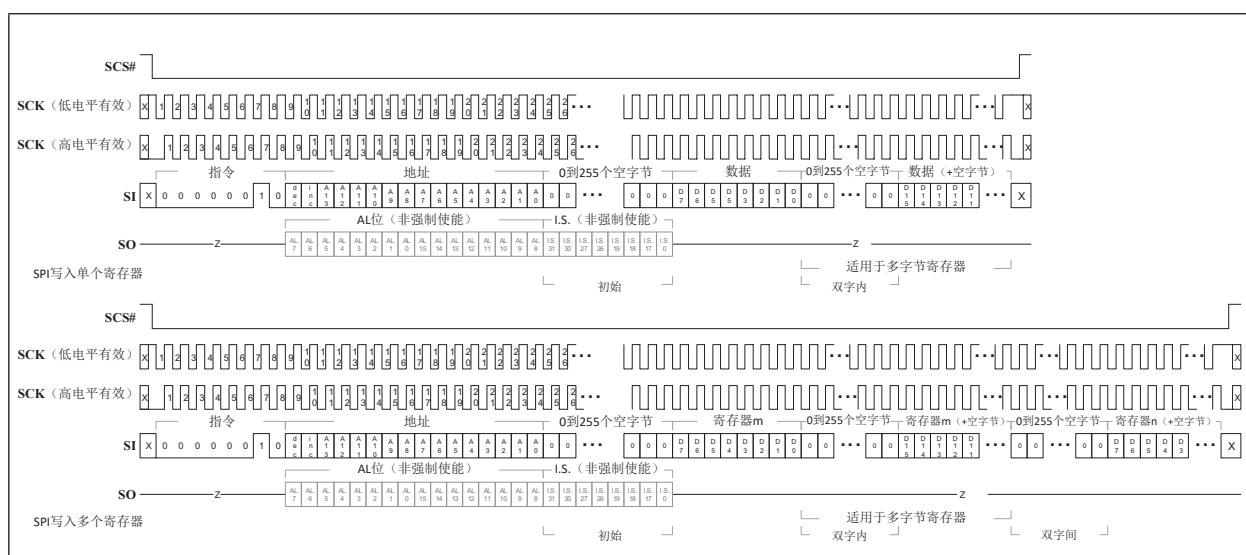
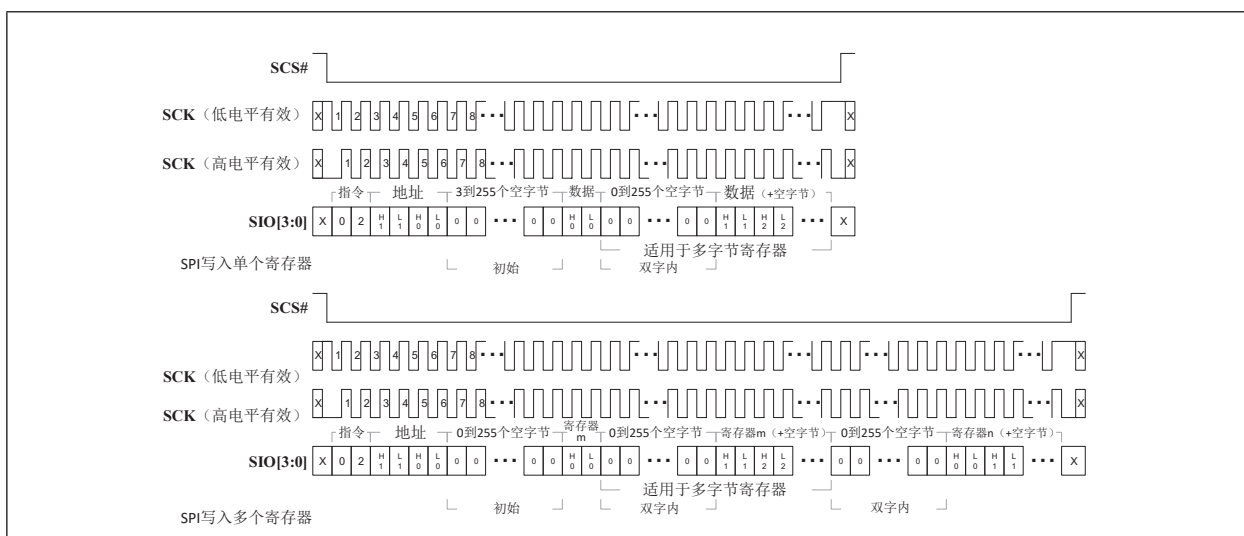


图9-14: SQI写操作



9.2.6.2 双数据写操作

SPI双数据写操作指令以每个时钟1位的方式输入指令代码、地址和可能的初始空字节，并以每个时钟2位的方式输入数据和任何后续空字节。仅当时钟频率最高为80 MHz时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将SCS#置为有效，选择SPI从接口。8位SDDW指令（32h）输入到SIO[0]引脚，其后跟2个地址字节以及0至255个空字节。地址字节用于指定器件内的字节地址。

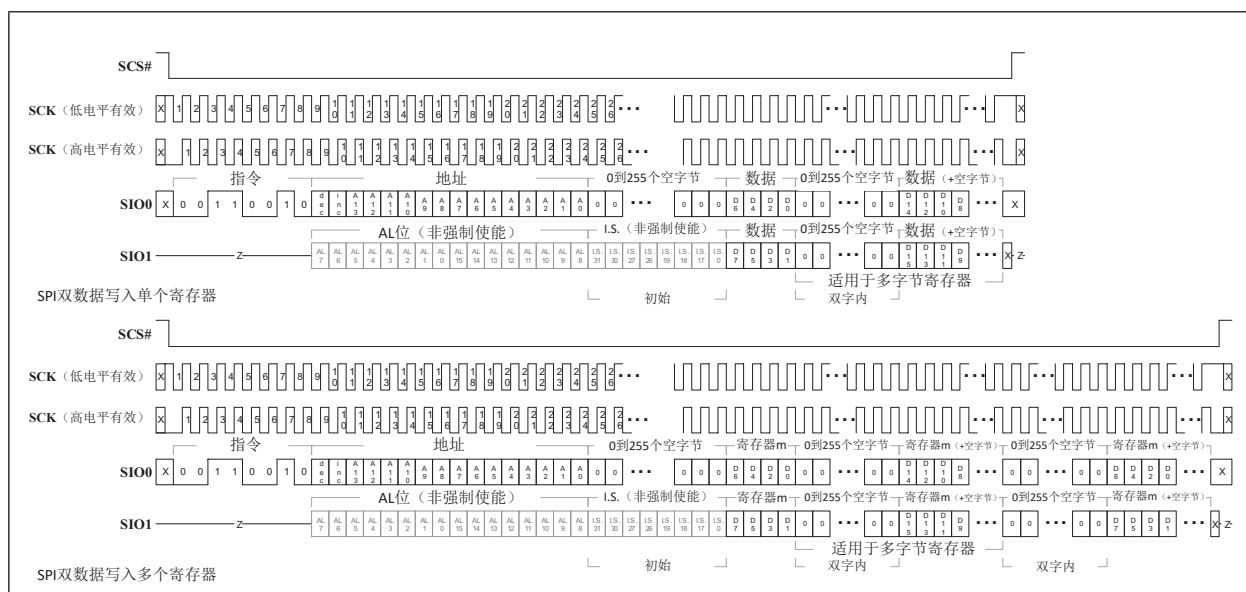
地址字节后跟数据。数据以LSB的MSb在前的方式输入到SIO[1:0]引脚。其余双位在后续的时钟边沿移入。

在EtherCAT直接映射模式下，对EtherCAT内核CSR和过程RAM的数据写操作可在字节或完整双字传输之后进行。对非EtherCAT内核CSR的数据写操作继续按双字对齐，但不完整的双字写操作可能导致寄存器值损坏。

要结束该周期，需将SCS#输入置为无效。

图9-15给出了单次寄存器双数据写操作和多次寄存器双数据写操作的典型图示。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器写操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字写操作也可以从非双字对齐边界开始。

图9-15: SPI双数据写操作



9.2.6.3 四数据写操作

SPI四数据写操作指令以每个时钟1位的方式输入指令代码、地址和可能的初始空字节，并以每个时钟4位的方式输入数据和任何后续空字节。仅当时钟频率最高为**80 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将**SCS#**置为有效，选择SPI从接口。**8位SQDW**指令（**62h**）输入到**SIO[0]**引脚，其后跟2个地址字节以及0至255个空字节。地址字节用于指定器件内的字节地址。

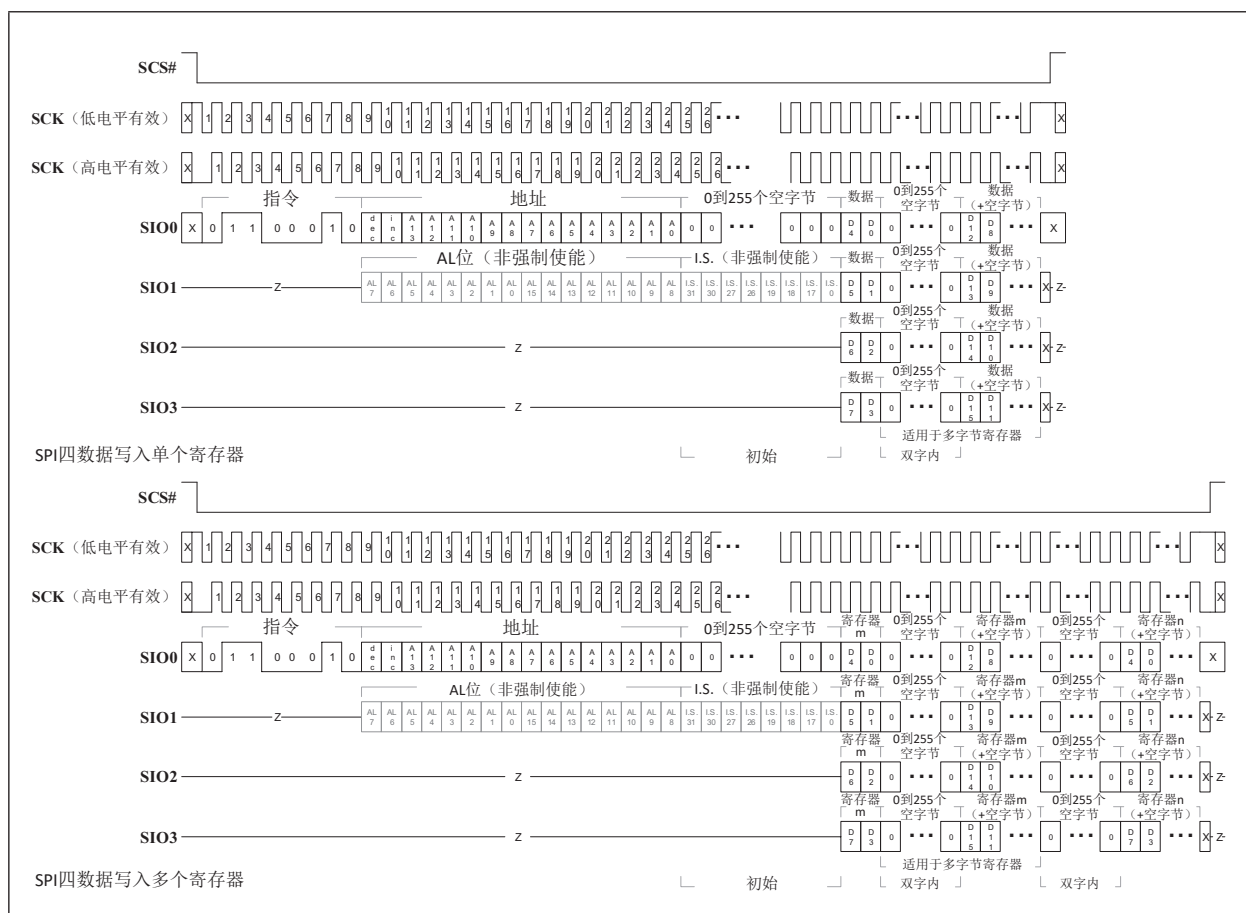
地址字节后跟数据。数据以LSB的MSN在前的方式输入到**SIO[3:0]**引脚。其余半字节在后续的时钟边沿移入。

在**EtherCAT直接映射模式**下，对EtherCAT内核CSR和过程RAM的数据写操作可在字节或完整双字传输之后进行。对非EtherCAT内核CSR的数据写操作继续按双字对齐，但不完整的双字写操作可能导致寄存器值损坏。

要结束该周期，需将**SCS#**输入置为无效。

图9-16给出了单次寄存器四数据写操作和多次寄存器四数据写操作的典型图示。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器写操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字写操作也可以从非双字对齐边界开始。

图9-16: SPI四数据写操作



9.2.6.4 双地址/数据写操作

SPI双地址/数据写操作指令以每个时钟1位的方式输入指令代码，并以每个时钟2位的方式输入地址、可能的初始空字节、数据和任何后续空字节。仅当时钟频率最高为**80 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将**SCS#**置为有效，选择SPI从接口。8位**SDADW**指令（**B2h**）输入到**SIO[0]**引脚，其后跟2个地址字节以及0至255个空字节（输入到**SIO[1:0]**引脚）。地址字节用于指定器件内的字节地址。

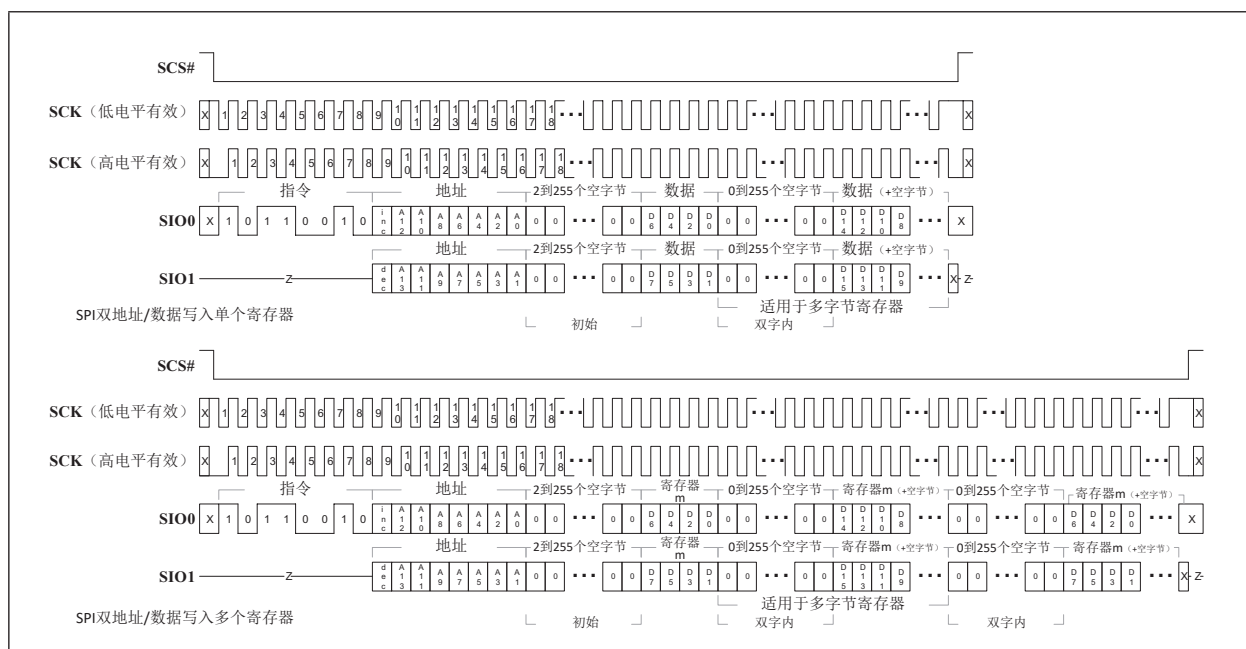
地址字节后跟数据。数据以LSB的MSb在前的方式输入到**SIO[1:0]**引脚。其余双位在后续的时钟边沿移入。

在**EtherCAT直接映射模式**下，对EtherCAT内核CSR和过程RAM的数据写操作可在字节或完整双字传输之后进行。对非EtherCAT内核CSR的数据写操作继续按双字对齐，但不完整的双字写操作可能导致寄存器值损坏。

要结束该周期，需将**SCS#**输入置为无效。

图9-17给出了单次寄存器双地址/数据写操作和多次寄存器双地址/数据写操作的典型图示。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器写操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字写操作也可以从非双字对齐边界开始。

图9-17: SPI双地址/数据写操作



9.2.6.5 四地址/数据写操作

SPI四地址/数据写操作指令以每个时钟1位的方式输入指令代码，并以每个时钟4位的方式输入地址、可能的初始空字节、数据和任何后续空字节。仅当时钟频率最高为**80 MHz**时，SPI总线协议才支持该指令。SQI总线协议不支持该指令。

首先将**SCS#**置为有效，选择SPI从接口。**8位SQADW**指令（**E2h**）输入到**SIO[0]**引脚，其后跟2个地址字节以及0至255个空字节（输入到**SIO[3:0]**引脚）。地址字节用于指定器件内的字节地址。

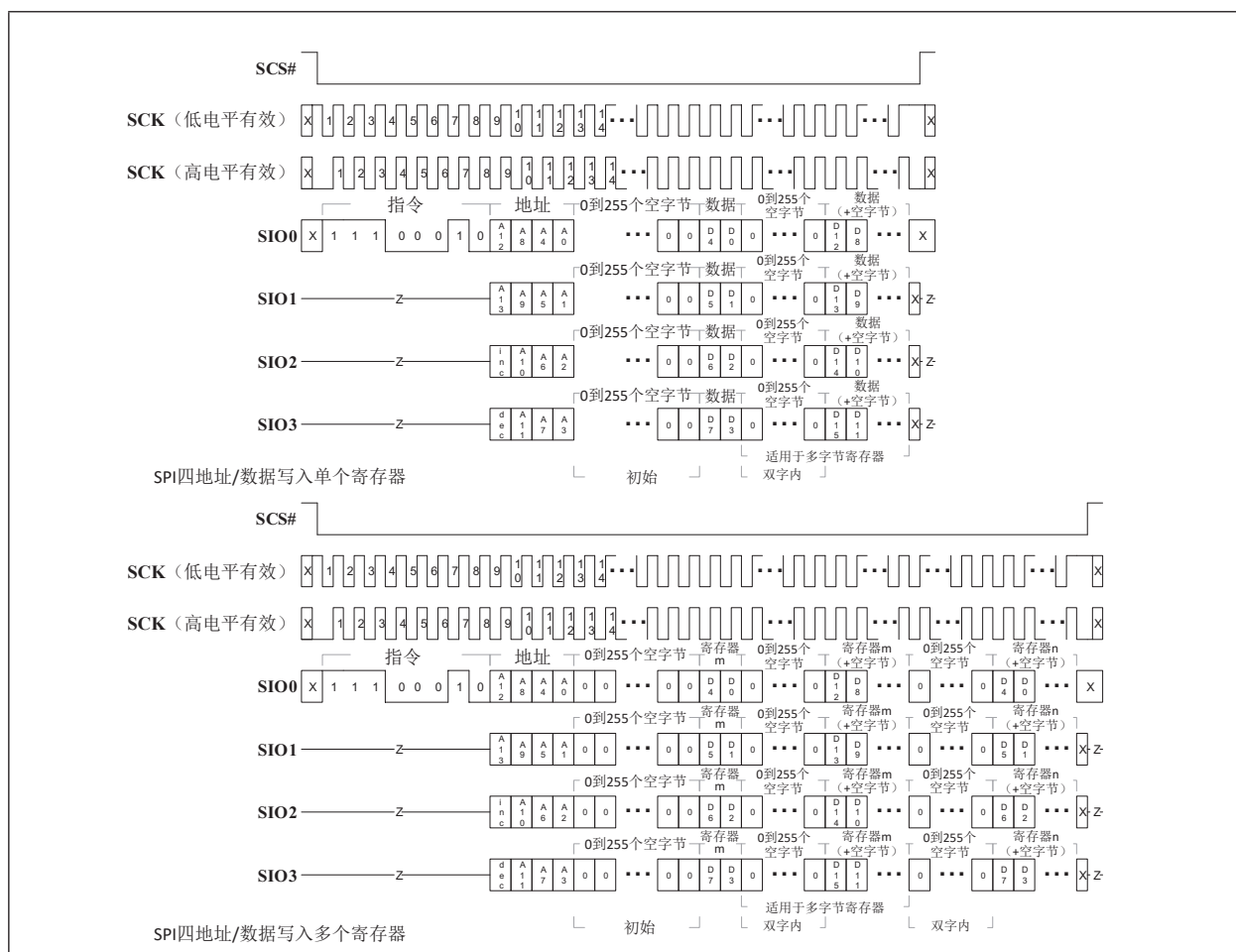
地址字节后跟数据。数据以LSB的MSN在前的方式输入到**SIO[3:0]**引脚。其余半字节在后续的时钟边沿移入。

在**EtherCAT直接映射模式**下，对EtherCAT内核CSR和过程RAM的数据写操作可在字节或完整双字传输之后进行。对非EtherCAT内核CSR的数据写操作继续按双字对齐，但不完整的双字写操作可能导致寄存器值损坏。

要结束该周期，需将**SCS#**输入置为无效。

图9-18给出了单次寄存器四地址/数据写操作和多次寄存器四地址/数据写操作的典型图示。其中显示了一个按双字对齐的完整双字寄存器。最后一个双字后面不跟随空字节。此外，还可执行部分双字寄存器写操作，该操作将在最后一个数据字节传输完成后终止，后面不跟空字节。部分双字写操作也可以从非双字对齐边界开始。

图9-18: SPI四地址/数据写操作



9.2.7 中断请求（AL事件请求）和中断状态（INST_STS）寄存器输出

在SPI读操作、快速读操作、双输出读操作、四输出读操作、写操作、双数据写操作和四数据写操作命令的地址阶段，AL事件请求寄存器的低16位可能会移出到SO/SIO[1]引脚上。顺序为LSB在前。该功能如上图所示。

该数据的输出通过PDI配置寄存器中的SPI AL事件请求和INT_STS使能位使能。如果未使能，SPI接口在上述阶段保持三态。

在SPI读操作、快速读操作、双输出读操作、四输出读操作、写操作、双数据写操作和四数据写操作命令的地址阶段之后的第一个空字节（如果存在）期间，中断状态寄存器（INT_STS）的bit 31:30、bit 27:26、bit 19:17和bit 0可能会移出到SO/SIO[1]引脚上。该功能如上图所示。

9.3 EtherCAT直接映射模式

在EtherCAT直接映射模式下，器件地址空间分为EtherCAT内核CSR和过程RAM（地址0h至2FFFh）与非EtherCAT内核CSR（地址3000h至3FFFh）。对非EtherCAT内核CSR的访问仍通过现有的CSR总线接口进行。对EtherCAT内核CSR和过程RAM的访问不再通过各种EtherCAT CSR和过程RAM命令、地址、长度和数据寄存器进行，而是直接在SPI从器件与EtherCAT内核之间进行。

根据表13-2，“PDI模式选择”中的值，通过PDI控制寄存器选择SPI EtherCAT直接映射模式。

9.3.1 非EtherCAT内核CSR

非EtherCAT内核CSR可继续访问。

如果之前有EtherCAT内核写操作等待处理，不得启动SPI命令。激活SCS#后，如果之前没有写操作等待处理，WAIT_ACK将指示应答（不忙）。如果EtherCAT内核写操作在内部等待处理，WAIT_ACK最初将指示等待。主机可禁用SCS#并稍后重试该周期，或者可直接等待至WAIT_ACK指示不忙。一旦不忙，WAIT_ACK将在周期的剩余部分指示应答。

注： 非EtherCAT内核CSR访问不会使用WAIT_ACK上的等待指示创建等待状态。但是，仍必须使用表9-1和表9-2中列出的最小初始空字节值。这些值是表9-3中的默认值。如果按照基于时间或空周期部分所述为EtherCAT内核CSR和过程RAM访问使用空字节，可使用更大的值。

不允许使用等效等待时间来替代初始空字节。

寄存器按双字对齐且长度为一个双字。不支持非双字对齐/非双字长度的访问。提供给CSR和接口逻辑的地址被强制设为按双字对齐。

9.3.1.1 读操作

从寄存器读取数据的操作在初始阶段及此后每完成32位数据传输后执行。受读操作影响的寄存器会在每传输32位数据后（即，当前双字输出移位开始后）执行更新。多次读操作以双字为单位进行。

以下两种方法旨在避免内部预取的数据量超出最后输出的数据。对于READ指令，使用SI输入（如第9.2.5.1节所述）。对于其他读命令（FASTREAD、SDOR、SDIOR、SQOR和SQIOR），使用字节数据长度（如第9.2.5.2节至第9.2.5.6节所述）。

自动递增/递减

多个双字的自动递增/递减操作如第9.2.5节所述。

9.3.1.2 写操作

向寄存器写入数据的操作在每移入32位数据后执行。如果SCS#恢复高电平时未能完整写入32位数据，则可能触发写操作并导致寄存器损坏。多次写操作以双字为单位进行。

自动递增/递减

多个双字的自动递增/递减操作如第9.2.6节所述。

9.3.2 EtherCAT内核CSR和过程RAM

寄存器和数据RAM访问支持任意对齐方式和长度（如果适用，最大长度受读操作传输长度位域限制）。

9.3.2.1 读操作

根据使用的读命令，从EtherCAT内核读取数据可按每8位或每双字进行。主机需负责确保仅在输出数据就绪时将其移出，如下所述。

READ命令：

初始数据请求在命令的地址部分移入后触发。后续数据请求在前一数据移位输出开始时触发。**READ**指令缺少指示主机将移出双字中多少字节的信息。因此，对于**READ**指令，数据按每次一个字节的方式请求。

为避免请求的数据量超出最后输出的数据，使用SI输入作为读终止，如第9.2.5.1节中所述。

FASTREAD、SDOR、SDIOR、SQOR和SQIOR命令：

初始数据请求在命令的传输长度部分移入后发生。为了提供一致的时间来预取下一个双字，在第一个有效数据前面添加了0至3个填充字节（并且每个填充字节可能有空字节），以实现双字对齐输出。字节数基于起始地址。后续数据请求在当前数据或第一个填充字节移位输出开始时发生。

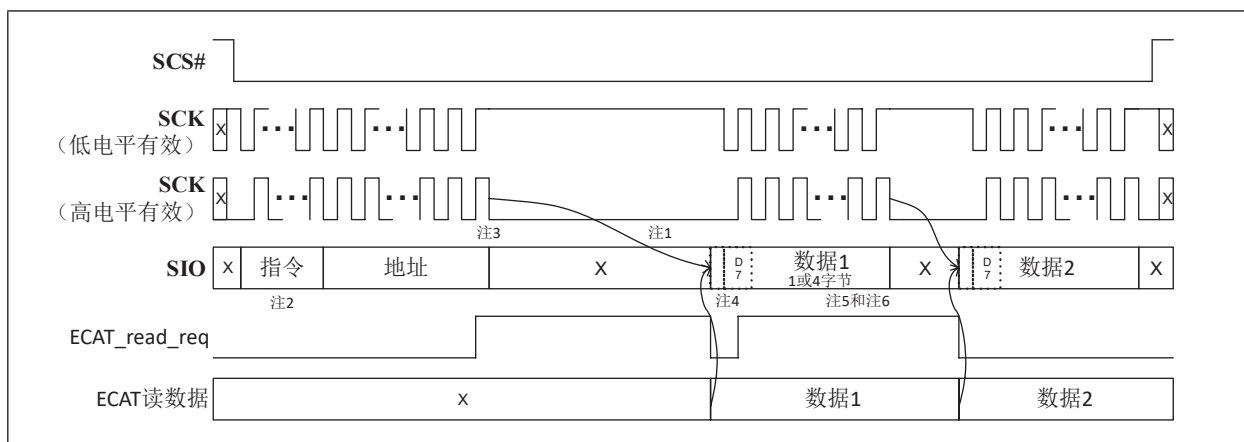
FASTREAD、SDOR、SDIOR、SQOR和SQIOR指令包含传输长度，与起始地址一起用于计算最初请求的字节数。剩余字节计数用于计算后续请求的字节数，避免请求的数据量超出最后输出的数据。

第一位（或前几位）的特殊处理：

高电平有效的SCK由一系列脉冲组成，并在最后一个地址、传输长度或空字节输入后停止于低电平（即下降沿）。该下降沿对应第一个数据位（或前几个数据位）的输出时刻。但是，此时很可能尚未从EtherCAT内核读出有效数据。

为解决这一问题，当从EtherCAT内核读取数据后，第一位（或前几位）数据将采用异步方式输出。图9-19对此进行了说明。

图9-19：高电平有效的SCK的第一位（或前几位）数据



注1： 高电平有效的SCK——由于已出现下降沿，因此第一个数据位采用异步方式输出。

注2： INST可以是READ、FASTREAD、SDOR、SDIOR、SQOR或SQIOR。

注3： 地址后面可能跟着传输长度和/或空字节。需关注数据输出前的最后一个时钟。

注4： 图中所示为字节访问（**READ**命令）。双字访问（**FASTREAD、SDOR、SDIOR、SQOR和SQIOR**命令）前面可添加填充字节，但同样需关注下降沿。

注5： 对于**READ**命令，需关注的下降沿每个字节出现一次；对于**FASTREAD、SDOR、SDIOR、SQOR和SQIOR**命令，需关注的下降沿每个双字出现一次。**注6：** 数据后面可能跟着空字节。需关注下一个字节（**READ**）或双字（其他命令）输出前的最后一个时钟。

自动递增/递减

常量地址和自动递增/递减读操作可以是针对字节或双字的操作，具体取决于使用的命令（READ或者FASTREAD、SDOR、SDIOR、SQOR和SQIOR）。

对于针对双字的操作，双字地址保持不变或递增/递减，而双字内的字节地址始终递增。对于自动递增操作，支持非双字对齐和部分双字。对于自动递减和常量地址操作，仅支持双字对齐的起始地址和完整双字传输。

READ命令（针对字节）：

dec/inc = 00：常量字节地址

 读取字节
 内部地址在每个字节后重复

 起始地址：yyyy
 内部地址：yyyy
 字节地址： yyyy
 第一个数据输出： 有效

 内部地址：yyyy
 字节地址： yyyy
 第二个数据输出： 有效

 内部地址：yyyy
 字节地址： yyyy
 最后一个数据输出： 有效

dec/inc = 01：递增字节地址

 读取字节
 内部地址递增至下一个字节

 起始地址：yyyy
 内部地址：yyyy
 字节地址： yyyy
 第一个数据输出： 有效

 下一个内部地址：下一个字节
 字节地址： +1
 第二个数据输出： 有效

 下一个内部地址：下一个字节
 字节地址： +2
 最后一个数据输出： 有效

dec/inc = 10: 递减字节地址
 读取字节
 内部地址递减至上一个字节

 起始地址: yyyY
 内部地址: yyyY
 字节地址: yyyY
 第一个数据输出: 有效

 下一个内部地址: 上一个字节
 字节地址: -1
 第二个数据输出: 有效

 下一个内部地址: 上一个字节
 字节地址: -2
 最后一个数据输出: 有效

dec/inc = 11: 保留

FASTREAD、SDOR、SDIOR、SQOR和SQIOR命令（针对双字）：

dec/inc = 00: 常量双字对齐地址
 按递增字节顺序读取双字内的4个字节
 内部地址在每个双字后重复

 起始地址: yyyY
 内部地址: yyyY
 字节地址: yyyY +1 +2 +3
 第一个数据输出: 有效 有效 有效 有效

 内部地址: yyyY
 字节地址: yyyY +1 +2 +3
 第二个数据输出: 有效 有效 有效 有效

 内部地址: yyyY
 字节地址: yyyY +1 +2 +3
 最后一个数据输出: 有效 有效 有效 有效

dec/inc = 01: 递增双字地址
 按递增字节顺序读取每个双字内的最多4个字节
 内部地址在每个双字后递增至下一个双字

 起始地址: yyyY
 内部地址: yyyY的双字地址
 字节地址*: yyyY +1 +2 +3
 yyyY +1 +2
 yyyY +1
 yyyY

第一个数据输出*:	有效	有效	有效	有效
	填充*	有效	有效	有效
	填充*	填充*	有效	有效
	填充*	填充*	填充*	有效

下一个内部地址: 下一个双字				
字节地址:	+4	+5	+6	+7
	+3	+4	+5	+6
	+2	+3	+4	+5
	+1	+2	+3	+4
第二个数据输出:	有效	有效	有效	有效

下一个内部地址: 下一个双字				
字节地址:	+8	+9	+10	+11
	+7	+8	+9	+10
	+6	+7	+8	+9
	+5	+6	+7	+8
最后一个数据输出**:	有效	有效/ 不适用**	有效/ 不适用**	有效/ 不适用**

*如果是非双字对齐的起始地址，第一个数据输出可能从填充字节开始
-- 传输长度不包括任何填充字节
**最后一个数据输出可能少于4个字节

dec/inc = 10: 递减双字对齐起始地址
按递增字节顺序读取每个双字内的4个字节
内部地址在每个双字后递减4

起始地址: yyy				
内部地址: yyy				
字节地址:	yyy	+1	+2	+3
第一个数据输出:	有效	有效	有效	有效

下一个内部地址: 上一个双字				
字节地址:	-4	-3	-2	-1
第二个数据输出:	有效	有效	有效	有效

下一个内部地址: 上一个双字				
字节地址:	-8	-7	-6	-5
最后一个数据输出:	有效	有效	有效	有效

dec/inc = 11: 保留

9.3.2.2 写操作

向EtherCAT内核写入数据的操作在每8位之后或双字的最后一个字节移入后进行。第二种情况可实现更高的吞吐量，但需要更长的命令后处理时间，可能导致延迟处理下一条命令。

多次写操作可以是针对字节或双字的操作。

基于SPI命令的递增/递减位，SPI接口可在一个SPI总线周期内动态累积并多次写入最多32位数据。如果在总线周期结束前移入少于4个字节，SPI接口会按照实际接收的数据量进行写操作。

通常采用字节缓冲。

双字缓冲通过使用通常保留的自动递减/递增值'b11来指示。

主机需负责确保仅在器件就绪时才移入下一个数据。以下几个子节对此进行了介绍。

自动递增/递减

常量地址和自动递增/递减写操作可以是针对字节或针对双字的操作，具体取决于使用的缓冲类型（字节缓冲或双字缓冲）。

对于双字缓冲，双字地址保持不变或递增/递减，而双字内的字节地址始终递增。双字缓冲仅支持自动递增操作。

dec/inc = 00: 常量字节地址			
写入字节			
内部地址在每个字节后重复			
起始地址:	yyyy		
内部地址:	yyyy		
字节地址:		yyyy	
第一个数据输出:			有效
内部地址:	yyyy		
字节地址:		yyyy	
第二个数据输出:			有效
内部地址:	yyyy		
字节地址:		yyyy	
最后一个数据输出:			有效

dec/inc = 01: 递增字节地址			
写入字节			
内部地址递增至下一个字节			
起始地址:	yyyy		
内部地址:	yyyy		
字节地址:		yyyy	
第一个数据输出:			有效
下一个内部地址:	下一个字节		
字节地址:		+1	
第二个数据输出:			有效

下一个内部地址：下一个字节
字节地址：+2
最后一个数据输出：有效

dec/inc = 10：递减字节地址
写入字节
内部地址递减至上一个字节

起始地址：yyyy
内部地址：yyyy
字节地址：yyyy
第一个数据输出：有效

下一个内部地址：上一个字节
字节地址：-1
第二个数据输出：有效

下一个内部地址：上一个字节
字节地址：-2
最后一个数据输出：有效

dec/inc = 11：递增双字地址
按递增字节顺序写入每个双字内的最多4个字节
内部地址在每个双字后递增至下一个双字

起始地址：yyyy
内部地址：yyyy的双字地址
字节地址*：

yyyy	+1	+2	+3
yyyy	+1	+2	不适用*
yyyy	+1	不适用*	不适用*
yyyy	不适用*	不适用*	不适用*

第一个数据输入*：

有效	有效	有效	有效
有效	有效	有效	不适用*
有效	有效	不适用*	不适用*
有效	不适用*	不适用*	不适用*

下一个内部地址：下一个双字
字节地址：

+4	+5	+6	+7
+3	+4	+5	+6
+2	+3	+4	+5
+1	+2	+3	+4

第二个数据输出：有效有效有效有效

下一个内部地址：下一个双字
字节地址：

+8	+9	+10	+11
+7	+8	+9	+10
+6	+7	+8	+9
+5	+6	+7	+8

最后一个数据输出：有效有效/不适用**有效/不适用**有效/不适用**

- *如果是非双字对齐的起始地址，第一个数据可能少于4个字节
- **最后一个数据输出可能少于4个字节

9.3.2.3 等待状态

EtherCAT直接映射模式要求主机总线遵循由EtherCAT内核PDI控制的访问仲裁。

如果之前有EtherCAT内核写操作等待处理，不得启动后续SPI命令。

首先对读周期进行仲裁，然后返回数据。这导致所有读操作都需要延迟。为确保返回有效数据，不得在最坏情况访问时间之前移出读数据。初始读数据移位期间会按顺序预取后续数据。但是，不得在最坏情况访问时间之前移出后续读数据。

写周期在数据移入后发布并执行。对于多次写操作，后续写周期可开始移入，但必须限制总线速度，以确保后续写周期在最坏情况写仲裁时间结束后才能完成。使用双字缓冲时，同一双字内的字节可无延迟移入。但是，在双字缓冲模式下，如果最终写入部分双字，则SCS#必须等到之前的写操作完成后才能恢复高电平。

除了简单地等待所需时间或使用足够慢的SPI时钟速度之外，主机还可采用另外两种方法。所有读写命令均可使用空字节周期来调整数据速率。等待/应答（WAIT_ACK）引脚可用于指示何时可移出读数据或者何时可完成写数据移入操作。

基于时间或空周期

所有读写命令均可使用空字节周期。可针对不同命令类型以及第一个数据、每个字节或每个双字设置可编程数量的空字节。要使用的空字节数取决于SPI时钟速度以及使用的SPI命令。

注： 空字节周期可与下一小节中所述的等待/应答操作共存。该操作旨在确保指示等待时对空字节进行移位。空字节的作用是补足等待指示要求的时间。如果等到等待指示置为无效再移位空字节，则无需空字节。

必须遵循以下时序限制：

注： 本节中的时序值为初步测试结果，可能会发生变化。

如果之前有EtherCAT内核写操作等待处理，不得启动SPI命令。最坏情况内部写周期时间为第一个字节250 ns，每增加一个字节另加80 ns。

读取第一个字节——从采样最后一个地址位（最后一个传输长度位（如果适用））的SCK上升沿到数据就绪的时间——READ命令为370 ns，其他读命令为610 ns。在此时间之前可能会出现SCK下降沿，在这种情况下，数据将在就绪时输出。请参见第9.3.2.1节。

注： “其他”读命令针对多字节读操作进行了优化。尽管这些读命令具有较长的初始访问时间以及传输长度字节的开销，但其性能可能优于标准READ命令。

读取下一个字节——从输出当前字节的第一个数据位的SCK下降沿之后的SCK上升沿到下一个字节就绪的时间——READ命令为370 ns，其他读命令为0 ns（仍必须满足“读取下一个双字”时序）。此等待时间可能大于或等于移出当前字节所需的时间。

读取下一个双字——从输出当前双字的第一个数据位的SCK下降沿之后的SCK上升沿到下一个双字就绪的时间——READ命令不适用，其他读命令为610 ns。此等待时间可能大于或等于移出当前双字所需的时间。

写入第一个字节（字节缓冲模式）——到采样最后一个数据位的SCK上升沿的时间——0 ns。

写入第一个双字（双字缓冲模式）——到采样最后一个数据位的SCK上升沿的时间——0 ns。

写入下一个字节（字节缓冲模式）——从采样当前字节最后一个数据位的SCK上升沿到采样下一个字节最后一个数据位的SCK上升沿的时间——250 ns。此等待时间可能大于或等于移入下一个字节所需的时间。

写入下一个双字（双字缓冲模式）——从采样当前双字最后一个数据位的SCK上升沿到采样下一个完整双字最后一个数据位的SCK上升沿的时间——490 ns。此等待时间可能大于或等于移入下一个双字所需的时间。

写入最后部分双字（双字缓冲模式）——从采样当前双字的最后一个数据位的SCK上升沿到强制写入最后部分双字的SCS#上升沿的时间——490 ns。此等待时间可能大于或等于移入部分双字所需的时间。

等待/应答操作

主机系统既可以等待上述指定的最坏情况访问时间，也可以使用WAIT_ACK信号。

注： 等待/应答可与上述空字节周期操作共存。

读周期和写周期均从SCS#的前沿开始，WAIT_ACK输出在该边沿使能。

如果EtherCAT内核写操作在内部等待处理，WAIT_ACK最初将指示等待。如果之前没有等待处理的写操作，WAIT_ACK最初将指示应答（不忙）。

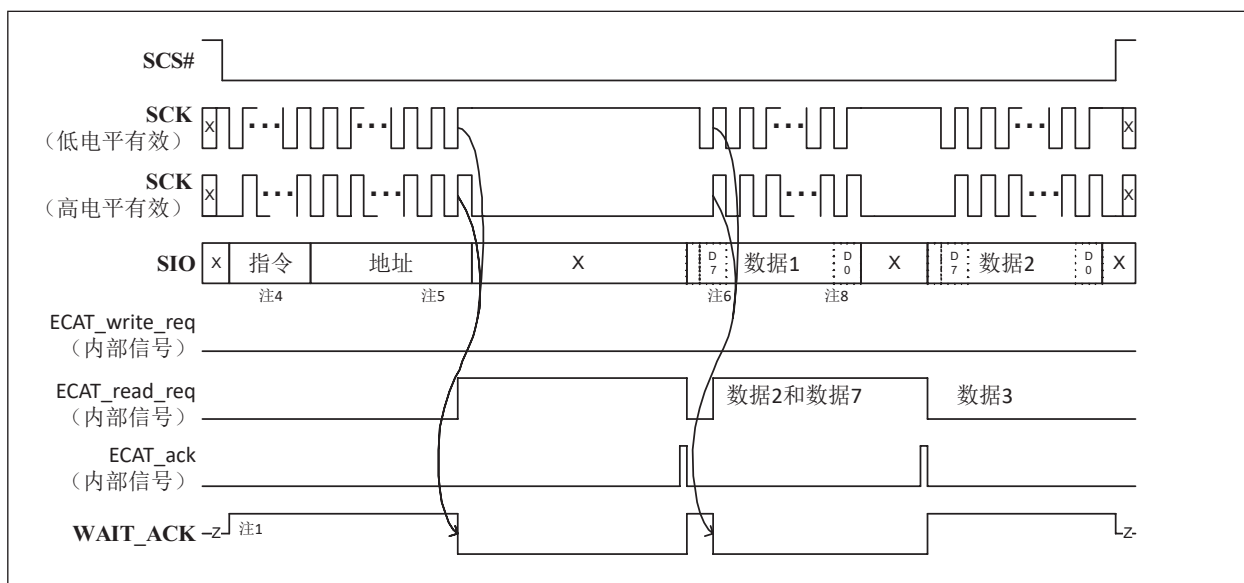
如果之前有EtherCAT内核写操作等待处理，不得启动SPI命令。最坏情况内部写周期时间为第一个字节250 ns，每增加一个字节另加80 ns。主机可禁用SCS#并稍后重试该周期，或者可直接等待至WAIT_ACK指示不忙。

读取EtherCAT内核CSR和过程RAM（地址0h至2FFh）时，在地址移入后，WAIT_ACK将变为指示等待，因为SPI接口正在从EtherCAT内核检索读数据。一旦读数据就绪，WAIT_ACK将指示应答，主机即可移出数据。

注： 根据第9.3.2.1节中的“第一位（或前几位）的特殊处理”，每个数据的第一个SCK下降沿可能在数据就绪之前出现，在这种情况下，数据将在就绪后异步输出。

在移出第一位数据之后（在输出数据的下降沿之后的上升沿），WAIT_ACK将再次指示等待，因为SPI接口预取下一个读数据（假定存在后续预取操作，否则WAIT_ACK将保持指示应答）。

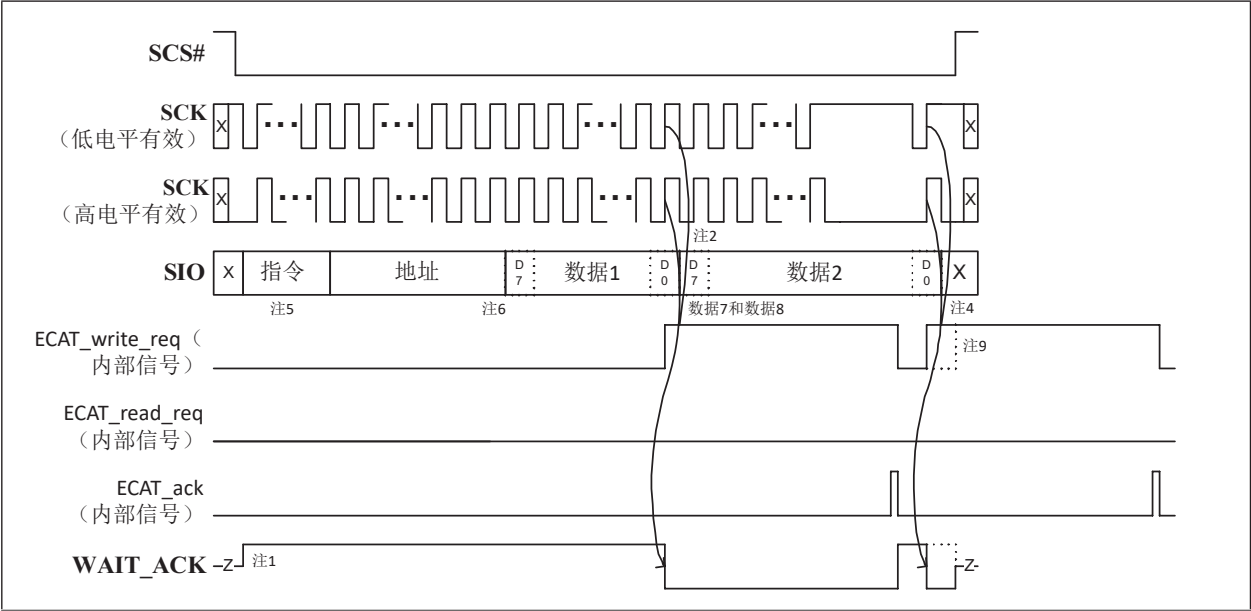
图9-20：SPI WAIT_ACK EtherCAT®内核读操作



- 注1: **WAIT_ACK**最初为高电平, 因为没有内部写操作等待处理。
- 注2: 下一个读请求以及下一个**WAIT_ACK**在第一个数据移位开始后的上升沿开始。
- 注3: 由于未执行第三个读请求, 因此**WAIT_ACK**保持无效状态。
- 注4: **INST**可以是**READ**、**FASTREAD**、**SDOR**、**SDIOR**、**SQOR**或**SQIOR**。
- 注5: 地址后面可能跟着传输长度和/或空字节。**WAIT_ACK**在最后一个地址或传输长度输入时变为有效。任何空字节都与**WAIT_ACK**同时出现。
- 注6: 图中所示为字节访问 (**READ**命令)。双字访问 (**FASTREAD**、**SDOR**、**SDIOR**、**SQOR**和**SQIOR**命令) 前面可添加填充字节。
- 注7: **WAIT_ACK**每字节 (**READ**) 或每双字 (其他命令) 出现一次。
- 注8: 数据后面可能跟着空字节, 这些空字节将与**WAIT_ACK**同时出现。
- 注: 图中所示为高电平有效的推挽式**WAIT_ACK**。

写入EtherCAT内核CSR和过程RAM (地址0h至2FFFh) 时, 根据写操作缓冲模式, **WAIT_ACK**将在每个字节或每个 (可能是部分) 双字的最后一个数据位移入后变为指示等待。在最后一个数据位移入后, 将启动内部写操作。一旦内部写操作完成, **WAIT_ACK**将指示应答。主机可在内部写操作等待时间内开始下一次数据输入, 但只有在指示应答时才能完成字节/双字传输。

图9-21: SPI **WAIT_ACK** EtherCAT®内核写操作



- 注1: **WAIT_ACK**最初为高电平, 因为没有内部写操作等待处理。
- 注2: 主机可在内部写操作期间开始下一次数据写移位。
- 注3: 主机必须等待至下一个数据写操作完成。
- 注4: 主机可在最终内部写操作等待处理的情况下完成SPI周期。
- 注5: **INST**可以是**WRITE**、**SDDW**、**SDADW**、**DQDW**或**SQADW**。
- 注6: 地址后面可能跟着空字节。
- 注7: 数据后面可能跟着空字节, 这些空字节将与**WAIT_ACK**同时出现。

注8: 图中所示为字节缓冲模式。双字缓冲模式与之基本相同，只是内部写操作和等待在双字的末尾（bit D24）发生。

注9: 对于双字缓冲模式，如果最后一位不是D24，则内部写操作在SCS#无效时发生。

注: 图中所示为高电平有效的推挽式WAIT_ACK。

WAIT_ACK在SCS#无效时变为非驱动状态。

9.4 控制器访问错误

SPI接口可检测以下访问错误：

- 在之前有写操作等待处理时启动SPI命令（仅限EtherCAT直接映射模式）。
- 对于非EtherCAT内核CSR访问，传输的数据阶段的时钟周期数不是双字的倍数（传输了不完整的双字）。
- 对于EtherCAT内核CSR和过程RAM访问，传输的数据阶段的时钟周期数不是字节的倍数（传输了不完整的字节）（仅限EtherCAT直接映射模式）。
- 对于READ指令，未通过在最后一个字节输出期间将SI设置为高电平来终止数据阶段。
- 对于READ指令，在最后一个字节输出期间将SI设置为高电平后仍读取了额外的字节。
- 对于FASTREAD、SDOR、SDIOR、SQOR和SQIOR指令，读取的字节数不正确（与提供的字节长度不匹配）。
- 对于EtherCAT内核CSR和过程RAM读访问（仅限EtherCAT直接映射模式）：
 - a) 初始访问时，在接口忙于获取数据期间，最后一个地址、传输长度或空字节输入之后出现了SCK上升沿。
 - b) 后续访问时，在接口忙于获取下一个数据期间，当前最后一个数据或空字节输出之后出现了SCK上升沿。
 （对于高电平有效的SCK情况，如果基于SCK上升沿进行测试，则允许在下一个数据就绪之前的地址、传输长度、空字节或当前数据的最后一位出现下降沿——请参见第9.3.2.1节）。
- 对于写访问，在有写操作等待处理时出现当前字节（字节缓冲）或双字（双字缓冲）的最后一个数据时钟周期（仅限EtherCAT直接映射模式）。
- 对于写访问，在有写操作等待处理时SCS#变为无效（执行当前的部分双字写操作）（仅限EtherCAT直接映射模式）。

PDI错误计数器寄存器将递增，访问错误的原因可在PDI错误代码寄存器中读取。有关PDI错误代码寄存器位定义的详细信息，请参见第11.16.40节。

注: 一次传输可能包含多个错误。连续错误将按发生顺序单独计数。错误状态随每个错误的发生而更新，并覆盖之前的任何错误状态。在传输结束的同时发生的错误（“不完整字节或双字”、“没有在最后一个字节输出期间将SI设置为高电平就完成了读操作”和“实际读取的长度与提供的字节长度不匹配”）会导致PDI错误计数器寄存器仅再递增一次。错误状态仍会覆盖之前的任何错误状态。但是，对于多个同时发生的错误，错误状态可能会指示多种情况。

表9-4: SPI/SQI时序值

符号	说明	最小值	典型值	最大值	单位
f_{sck}	SCK时钟频率（ 注11 ）			30/80	MHz
t_{high}	SCK高电平时间	5.5			ns
t_{low}	SCK低电平时间	5.5			ns
t_{scss}	从SCS#建立到SCK的时间	5			ns
t_{scsh}	SCK之后SCS#的保持时间	5			ns
t_{scshl}	SCS#无效时间	50			ns
t_{su}	从数据输入建立到SCK的时间	3			ns
t_{hd}	SCK之后数据输入的保持时间	4			ns
t_{on}	从SCK到数据输出开启的时间	0			ns
t_v	自SCK起的数据输出有效时间（ 注12 ） 应用注释： 取决于时钟频率和脉冲宽度，直至SCK的下一个上升沿后，数据才会有效。这对于高速SPI从器件（SPI闪存等）来说很正常。主机SPI控制器可能需要将数据的采样延迟一段固定的时间，或者使用SCK的下降沿对数据进行采样。			3.3V VDDIO 30 pF: 9 10 pF: 8.5 1.8V VDDIO 30 pF: 13 10 pF: 12	ns
t_{ho}	SCK之后数据输出的保持时间	0			ns
t_{dis}	从SCS#无效到数据输出禁止的时间			20	ns
t_{wait_on}	从SCS#有效到WAIT_ACK开启的时间	0			ns
t_{scs_wait}	自SCS#有效起的WAIT_ACK有效时间			15	ns
t_{dis_wait}	从SCS#无效到WAIT_ACK禁止的时间			20	ns
t_{sck_wait}	从SCK到WAIT_ACK置为有效的时间			15	ns
t_{dv_ack}	WAIT_ACK置为无效之前读数据异步输出的有效时间	15			ns

注11： 读操作指令最高限制为30 MHz。

注12： 取决于负载和电源电压。

10.0 以太网PHY

10.1 功能概述

该器件包含PHY A和PHY B，两者功能相同。PHY A连接到EtherCAT内核的端口0或2。PHY B连接到EtherCAT内核的端口1。这些PHY通过内部MII接口与相应的MAC接口。

PHY符合针对双绞线以太网的IEEE 802.3物理层规范，可配置为全双工/半双工100 Mbps（100BASE-TX）或10 Mbps（10BASE-T）以太网操作。但是，EtherCAT仅使用全双工100BASE-TX操作。所有PHY寄存器均遵循IEEE 802.3（第22.2.4条）指定的MII管理寄存器组规范并且可完全配置。

10.1.1 PHY寻址

每个PHY都分配有默认的PHY地址。PHY A的地址根据器件模式设置为0或2。PHY B的地址固定为1。

此外，可通过PHY x特殊模式寄存器（PHY_SPECIAL_MODES_x）中的PHY地址（PHYADD）位域更改PHY的地址。

10.2 PHY A和PHY B

该器件集成了两个IEEE 802.3 PHY功能。PHY配置为100 Mbps铜缆（100BASE-TX）以太网操作，并包括自动协商和HP Auto-MDIX功能。

注： 由于PHY A和PHY B的功能相同，因此本节将它们统称为“PHY x”或简称为“PHY”。只要端口或信号名称后追加有小写字母“x”，均可将其替换为“A”或“B”以分别表示PHY A或PHY B。在某些情况下，可能用“1”或“2”适当替代。本节中对“PHY”的所有引用均可互换用于PHY A和PHY B。

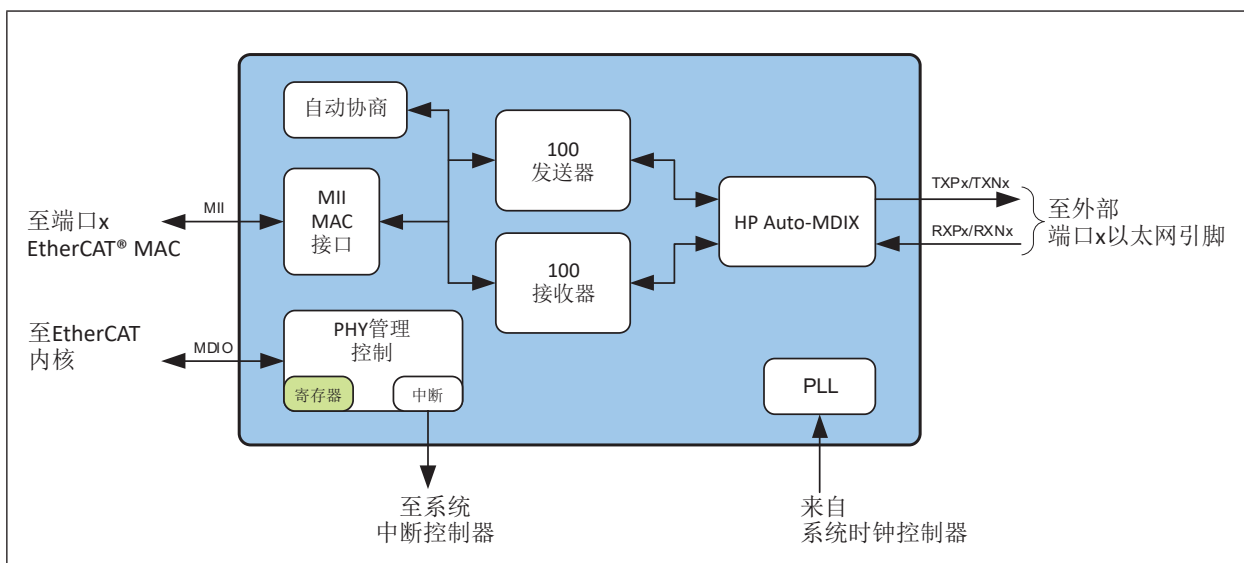
10.2.1 功能说明

每个PHY在功能上可分为以下几部分：

- 100BASE-TX发送和 100BASE-TX接收
- 自动协商
- HP AUTO-MDIX
- PHY管理控制和 PHY中断
- PHY掉电模式
- LAN唤醒（WoL）
- 复位
- 链路完整性测试
- 线缆诊断
- 环回运行

图10-1给出了每个PHY主要组成部分的框图。

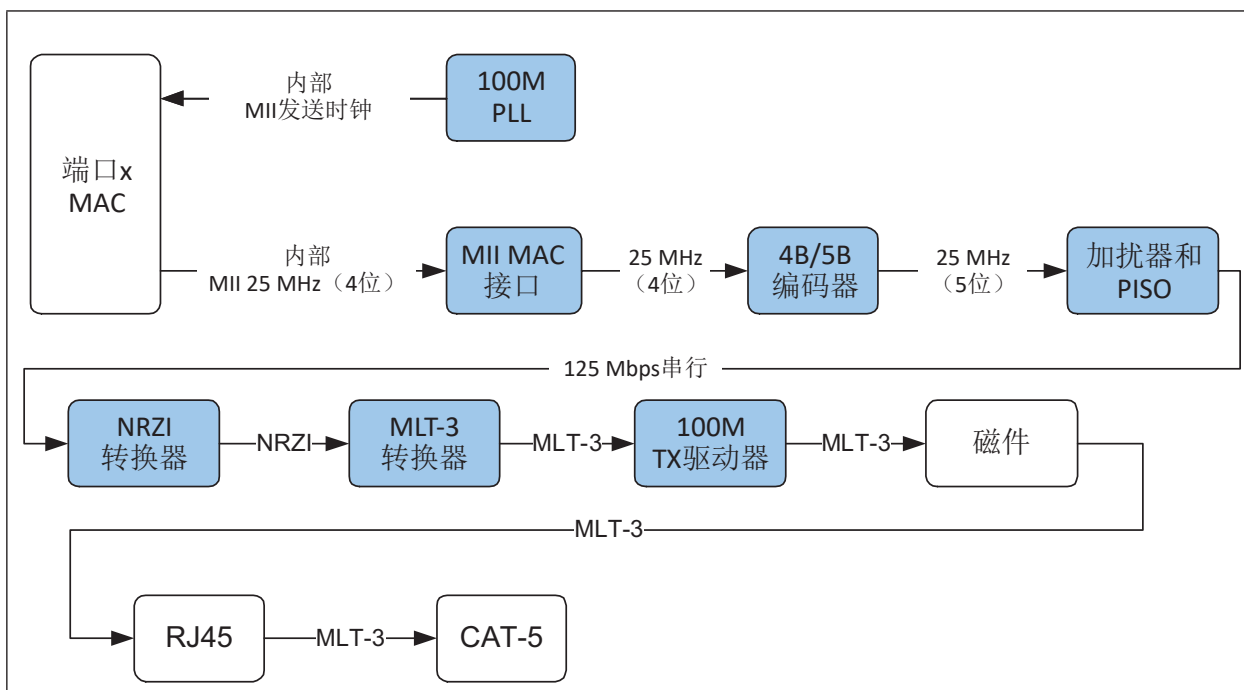
图10-1: PHY框图



10.2.2 100BASE-TX发送

图10-2给出了100BASE-TX发送数据路径。阴影模块为PHY的内部模块。下面几节将介绍各个主要模块。

图10-2: 100BASE-TX发送数据路径



10.2.2.1 通过内部MII接口传输的100BASE-TX发送数据

对于发送操作，EtherCAT内核MAC将发送数据驱动到内部MII TXD总线上，并将内部MII TXEN置为有效以指示数据有效。该数据为4位宽格式的25 MHz数据。

10.2.2.2 4B/5B编码器

将发送数据从MII模块传递到4B/5B编码器。该模块根据表10-1将数据从4位半字节编码为5位符号（称为“编码组”）。将每个4位数据半字节映射到32个可能的编码组中的16个。其余16个编码组用于控制信息或为无效编码组。

前16个编码组按其相应数据半字节的十六进制值（从0至F）命名。其余编码组用两侧带斜杠的字母来表示。例如，空闲编码组为/I/，发送错误编码组为/H/等。

表10-1：4B/5B编码表

编码组	符号	接收器说明			发送器说明		
11110	0	0	0000	数据	0	0000	数据
01001	1	1	0001		1	0001	
10100	2	2	0010		2	0010	
10101	3	3	0011		3	0011	
01010	4	4	0100		4	0100	
01011	5	5	0101		5	0101	
01110	6	6	0110		6	0110	
01111	7	7	0111		7	0111	
10010	8	8	1000		8	1000	
10011	9	9	1001		9	1001	
10110	A	A	1010		A	1010	
10111	B	B	1011		B	1011	
11010	C	C	1100		C	1100	
11011	D	D	1101		D	1101	
11100	E	E	1110		E	1110	
11101	F	F	1111		F	1111	
11111	/I/	空闲			/T/R/后发送，直到接收到MII发送器使能信号（TXEN）		
11000	/J/	SSD的第一个半字节，空闲后转换为“0101”，否则为MII接收错误（RXER）			MII发送器使能信号（TXEN）上升沿时发送		
10001	/K/	SSD的第二个半字节，在J后转换为“0101”，否则为MII接收错误（RXER）			MII发送器使能信号（TXEN）上升沿时发送		
01101	/T/	ESD的第一个半字节，后跟/R/时会导致CRS置为无效，否则将MII接收错误（RXER）置为有效			MII发送器使能信号（TXEN）下降沿时发送		
00111	/R/	ESD的第二个半字节，在/T/后会导致CRS置为无效，否则将MII接收错误（RXER）置为有效			MII发送器使能信号（TXEN）下降沿时发送		

表10-1: 4B/5B编码表 (续)

编码组	符号	接收器说明	发送器说明
00100	/H/	发送错误符号	MII发送错误 (TXER) 上升沿时发送
00110	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
11001	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
00000	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
00001	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
00010	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
00011	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
00101	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
01000	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
01100	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效
10000	/V/	无效, MII接收数据有效 (RXDV) 期间为 MII接收错误 (RXER)	无效

10.2.2.3 加扰器和PISO

重复的数据模式 (特别是空闲编码组) 可能会导致功率谱密度中出现较大的窄带峰值。对数据加扰有助于消除这些峰值并在整个通道带宽上更均匀地分布信号功率。FCC法规要求采用这种均匀的谱密度, 以防止物理布线产生过多的电磁干扰 (EMI)。

加扰器的种子由PHY地址产生, 从而确保每个PHY都有自己的加扰器序列。有关PHY寻址的更多信息, 请参见第10.1.1节“PHY寻址”(第152页)。

加扰器还会对数据执行并行输入串行输出 (Parallel In Serial Out, PISO) 转换。

10.2.2.4 NRZI和MLT-3编码

加扰器模块将5位宽的并行数据传递到NRZI转换器, 数据将在该转换器中变为串行125 MHz NRZI数据流。然后将NRZI编码为MLT-3。MLT-3是一种三电平编码方法, 其中逻辑电平变化表示编码位“1”, 逻辑输出保持同一电平表示编码位“0”。

10.2.2.5 100M发送驱动器

MLT-3数据随后会传递到模拟发送器, 该发送器通过输出引脚TXPx和TXNx, 将MLT-3差分信号经1:1比例隔离变压器驱动到双绞线介质中。发送器驱动到CAT-5线缆的100Ω阻抗中。线缆端接和阻抗匹配需要外部元件。

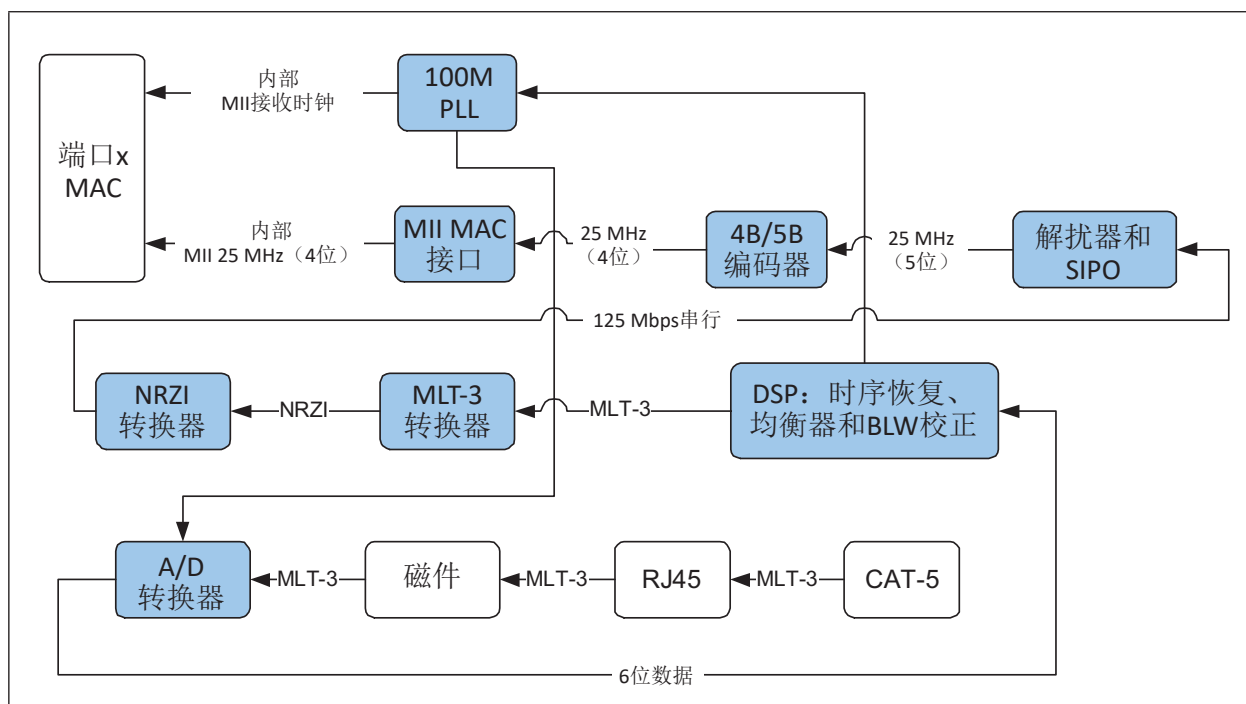
10.2.2.6 100M锁相环 (PLL)

100M PLL锁定到参考时钟并生成用于驱动125 MHz逻辑和100BASE-TX发送器的125 MHz时钟。

10.2.3 100BASE-TX接收

图10-3给出了100BASE-TX接收数据路径。阴影模块为PHY的内部模块。下面几节将介绍各个主要模块。

图10-3：100BASE-TX接收数据路径



10.2.3.1 100M接收输入

来自线缆的MLT-3数据在输入RXPx和RXNx上通过1:1比例变压器馈入PHY。ADC以每秒125M个采样的速率对传入的差分信号进行采样。利用64级量化器，每个采样生成6位数字信号进行表示。DSP根据观测到的信号电平调整ADC的增益，以便可以使用ADC的整个动态范围。

10.2.3.2 均衡器、BLW校正和时钟/数据恢复

将ADC的此6位馈入DSP模块。DSP部分中的均衡器用于补偿由磁件、连接器和CAT-5线缆组成的物理通道引起的相位和幅值失真。均衡器能够恢复长度在1m到100m之间的任何高品质CAT-5线缆的信号。

如果信号的直流成分使低频分量降至隔离变压器的低频极点以下，则变压器的下垂特性会明显增强，并将在接收的信号上产生基线漂移（Baseline Wander, BLW）。为避免接收的数据损坏，PHY会针对BLW进行校正并能够无误码地接收ANSI X3.263-1995 FDDI TP-PMD标准中定义的“杀手包”（killer packet）。

100M PLL生成125 MHz时钟的多个相位。由DSP定时单元控制的多路开关会选择最佳相位以对数据进行采样。此时钟被用作接收的恢复时钟。此时钟用于从接收的信号中提取串行数据。

10.2.3.3 NRZI和MLT-3解码

DSP生成馈入MLT-3转换器的MLT-3恢复电平。MLT-3随后会转换为NRZI数据流。

10.2.3.4 解扰器

解扰器执行与发送端加扰器相反的功能，还会对数据执行串行输入并行输出（Serial In Parallel Out，SIPO）转换。

在接收空闲（/I/）符号期间，解扰器将其密钥与接收数据流同步。同步完成后，解扰器会锁定此密钥并且能够解扰后续接收的数据。

解扰器中的特殊逻辑通过在4000字节（40 μs）的窗口中搜索空闲符号确保与远程收发器同步。该窗口确保可以无干扰地接收符合IEEE 802.3标准、最大大小为1514字节的数据包。如果在此时间段内未检测到空闲符号，则接收操作将中止，解扰器会重启同步过程。

然后通过数据包开始时识别/J/K/流起始分隔符（Start-of-Stream Delimiter，SSD）对，将解扰后的信号对齐到5位编码组中。确定码字对齐后，会对其进行存储和利用，直到下一个帧开始。

10.2.3.5 5B/4B解码

根据4B/5B表将5位编码组转换为4位数据半字节。转换后的数据出现在内部MII RXD[3:0]信号线上。SSD（/J/K/）转换为“0101 0101”，作为MAC前导码的前2个半字节。接收SSD会导致收发器将接收数据有效信号置为有效，指示在RXD总线上存在有效数据。连续的有效编码组将转换为数据半字节。接收由/T/R/符号组成的结束帧分隔符（End of Stream Delimiter，ESD）或至少两个/I/符号，会导致收发器将载波监听和接收数据有效信号置为无效。

注： 这些符号不会转换为数据。

10.2.3.6 接收数据有效信号

内部MII的接收数据有效信号（RXDV）指示与RXCLK同步的RXD[3:0]输出上出现已恢复和解码的半字节。RXDV在识别到/J/K/分隔符并且RXD与半字节边界对齐后变为有效。RXDV保持有效，直到识别到/T/R/分隔符、链路测试指示失败或SIGDET变为假。

当转换后的/J/K/的第一个半字节准备通过介质无关接口（MII）传输时，RXDV置为有效。

10.2.3.7 接收器错误

在帧传输期间，意外的编码组会被视为接收错误。预期的编码组是数据集（0至F）和/T/R/（ESD）符号对。发生接收错误时，内部MII的RXER信号置为有效并将任意数据驱动到内部MII的RXD[3:0]线上。如果正在解码/J/K/分隔符期间检测到错误（不良SSD错误），则RXER将置为真并将值1110b驱动到RXD[3:0]线上。请注意，不良SSD出现时，内部MII的数据有效信号（RXDV）尚未置为有效。

10.2.3.8 通过内部MII接口进行的100M接收数据

对于接收操作，将4位数据半字节发送到MII MAC接口模块。这些数据半字节以25 MHz的速率在时钟控制下输入控制器。RXCLK是内部MII总线的输出时钟。该时钟从接收到的数据中恢复，用于为RXD总线提供时钟信号。如果没有接收的信号，则其将由系统参考时钟产生。

10.2.4 10BASE-T发送

EtherCAT不使用10BASE-T。

10.2.5 自动协商

自动协商能力的用途是根据其链路伙伴的能力将收发器自动配置为最优链路参数。自动协商是一种在两个链路伙伴之间交换配置信息和自动选择受双方支持的最高性能工作模式的机制。自动协商在IEEE 802.3规范的第28条中有完整定义，并通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的自动协商使能（PHY_AN）位置1来使能。

PHY的通告能力存储在PHY x自动协商通告寄存器（PHY_AN_ADV_x）中。收发器支持“下一页”功能，此功能用于协商高效节能以太网功能，并支持软件控制页面。通过如第10.2.18.5节“PHY x自动协商通告寄存器（PHY_AN_ADV_x）”（第183页）所示的配置脚确定许多PHY默认通告功能。有关如何使用器件配置脚的更多详细信息，请参见第3.3节“配置脚”（第35页）。

自动协商完成后，有关已解析链路的信息和协商过程的结果反映在PHY x特殊控制/状态寄存器（PHY_SPECIAL_CONTROL_STATUS_x）的速度指示位以及PHY x自动协商链路伙伴基本页面能力寄存器（PHY_AN_LP_BASE_ABILITY_x）中。自动协商协议纯粹是物理层活动，其执行与MAC控制器无关。

自动协商会话期间将激活以下模块：

- 自动协商（数字）
- 100M ADC（模拟）
- 100M PLL（模拟）
- 100M均衡器/BLW/时钟恢复（DSP）
- 10M SQUELCH（模拟）
- 10M PLL（模拟）
- 10M发送器（模拟）

使能时，发生以下任何事件均会启动自动协商：

- 上电复位（POR）
- 硬件复位（RST#）
- PHY软件复位（通过复位控制寄存器（RESET_CTL）或PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的bit 15）
- PHY掉电复位（第10.2.9节“PHY掉电模式”（第163页））
- PHY链路状态中断（PHY x基本状态寄存器（PHY_BASIC_STATUS_x）的bit 2清零）
- 将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的bit 9设置为高电平（自动协商重启）
- EtherCAT系统复位

注： 有关这些和其他系统复位的信息，请参见第6.2节“复位”（第45页）。

检测到这些事件之一时，收发器通过发送快速链路脉冲（Fast Link Pulses，FLP）突发启动自动协商。链路脉冲突发来自10M TX驱动器。这些脉冲被整形为常规链路脉冲并且可以无损地传递至CAT-3或CAT-5线缆。一个快速链路脉冲突发包含最多33个脉冲。始终存在的17个奇数脉冲构成FLP突发。可能存在或缺失的16个偶数脉冲包含正在传输的数据字。存在数据脉冲表示“1”，缺失表示“0”。

FLP突发发送的数据称为“链路编码字”。它们由IEEE 802.3第28条完整定义。总的来说，收发器在其选择器位域（链路编码字的前5位）中通告802.3的合规性。它根据PHY x自动协商通告寄存器（PHY_AN_ADV_x）中设置的位通告其技术能力。

存在4种可能的技术能力匹配。按优先级依次为：

- 100M全双工（最高优先级）
- 100M半双工（EtherCAT不使用）
- 10M全双工（EtherCAT不使用）
- 10M半双工（最低优先级）（EtherCAT不使用）

如果通告了收发器的完全能力（100M，全双工）且链路伙伴支持10M和100M，则自动协商将选择100M作为最高性能模式。如果链路伙伴支持半双工和全双工模式，则自动协商将选择全双工作为最高性能模式。

确定功能匹配后，通过应答位设置重复链路编码字。此时链路编码字主要内容的任何差异都将导致自动协商重启。如果未接收到全部所需FLP突发，则自动协商也将重启。

写入PHY x自动协商通告寄存器（PHY_AN_ADV_x）位[8:5]可以用软件控制收发器通告的功能。写入PHY x自动协商通告寄存器（PHY_AN_ADV_x）不会自动重启自动协商。通告新功能之前，必须将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的重启自动协商（PHY_RST_AN）位置1。也可以通过软件将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的自动协商使能（PHY_AN）位清零来禁止自动协商。

10.2.5.1 暂停流控制

EtherCAT不使用暂停流控制。

10.2.5.2 并行检测

EtherCAT不使用并行检测。

10.2.5.3 重启自动协商

可以随时通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的重启自动协商（PHY_RST_AN）位置1来重启自动协商。链路断开时，自动协商也将随时重启。链路断开是由于信号损耗所致。发生这种情况的原因可能是由于线缆断开或链路伙伴发送的信号中断。尝试恢复自动协商以确定新的链路配置。

如果管理实体通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的重启自动协商（PHY_RST_AN）位置1重启自动协商，则器件将通过停止所有发送/接收操作进行响应。在自动协商状态机中完成内部break_link_time（约1200 ms）后，自动协商将重启。在这种情况下，链路伙伴会由于缺少接收信号而断开链路，因此也会恢复自动协商。

10.2.5.4 禁止自动协商

可以将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的自动协商使能（PHY_AN）位清零来禁止自动协商。随后收发器将强制其运行速度以反映PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）（速度选择LSb（PHY_SPEED_SEL_LSB））和双工模式（PHY_DUPLEX）中的信息。使能自动协商时，这些位会被忽略。

10.2.5.5 半双工与全双工

半双工运行依赖于载波监听多路访问/冲突检测（Carrier Sense Multiple Access/Collision Detect，CSMA/CD）协议来处理网络通信和冲突。在此模式下，载波监听信号CRS响应发送和接收活动。如果在收发器发送数据期间接收数据，则会产生冲突。

在全双工模式下，收发器能够同时发送和接收数据。在此模式下，CRS仅响应接收活动。CSMA/CD协议不适用并且会禁止冲突检测。

EtherCAT需要使用全双工操作。

10.2.6 HP AUTO-MDIX

借助HP Auto-MDIX，可方便地使用CAT-3（10 BASE-T）或CAT-5（100 BASE-T）介质UTP互连线缆，无需考虑接口布线方案。如果用户插入直接连接的LAN线缆或交叉接线线缆（如图10-4所示），则收发器能够配置TXPx/RXNx和RXPx/RXNx双绞线的引脚以确保收发器正确运行。

器件的内部逻辑会检测连接器件的发送和接收引脚。由于接收和发送线对可以互换，因此在Auto-MDIX设计中，需要特殊的PCB设计以适应对称磁件和端接。

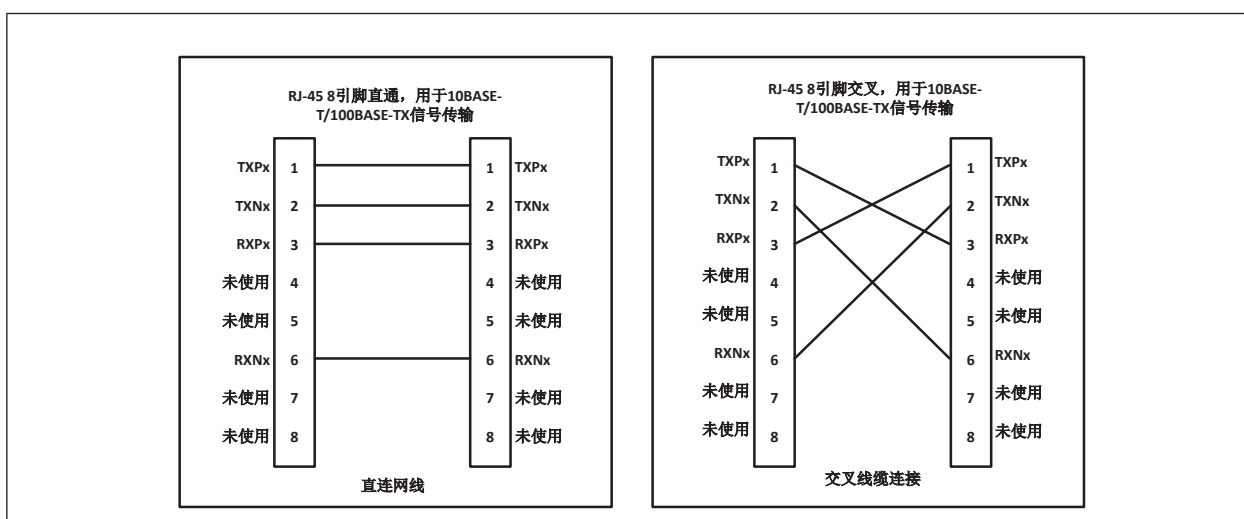
通过**硬件配置寄存器（HW_CFG）**中的**AMDIX禁止PHY A**和**AMDIX禁止PHY B**位控制Auto-MDIX的默认使能状态。

可以通过**PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）**的**Auto-MDIX控制（AMDIXCTRL）**位实现对Auto-MDIX功能的软件控制。当AMDIXCTRL置1时，Auto-MDIX功能由**PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）**的**Auto-MDIX使能（AMDIXEN）**和**Auto-MDIX状态（AMDIXSTATE）**位决定。

注： 在10BASE-T或100BASE-TX手动模式下工作时，可以通过**PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）**的**延长手动10/100 Auto-MDIX交叉时间**位延长Auto-MDIX的交叉时间。更多信息，请参见第10.2.18.12节（第192页）。

使能量检测掉电（EDPD）后，可以通过**PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）**的**EDPD延长交叉**位延长Auto-MDIX的交叉时间。更多信息，请参见第10.2.18.12节（第192页）。

图10-4：直接线缆连接与交叉线缆连接



10.2.7 PHY管理控制

PHY管理控制模块负责PHY的管理功能，包括寄存器访问和中断产生。根据IEEE 802.3（第22条）的要求，串行管理接口（Serial Management Interface, SMI）用于支持寄存器，以及规范允许的供应商特定寄存器。SMI接口由MII管理数据（MII Management Data, MDIO）信号和MII管理时钟（MII Management Clock, MDC）信号组成。通过这些信号可以访问所有PHY寄存器。关于受支持的所有寄存器和寄存器说明的列表，请参见第10.2.18节“PHY寄存器”（第175页）。不受支持的寄存器将读为FFFFh。

10.2.8 PHY中断

PHY能够产生多种中断事件。读取**PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）**可显示中断源。**PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）**允许或禁止每个PHY中断。

PHY管理控制时钟模块将允许的中断状态聚合为一个内部信号中，该内部信号随后会发送到系统中断控制器中并通过中断状态寄存器（INT_STS）的PHY A中断事件（PHY_INT_A）和PHY B中断事件（PHY_INT_B）位反映。有关器件中断的更多信息，请参见第7.0节“系统中断”（第59页）。

PHY中断系统提供两种模式，即主要中断模式和备用中断模式。相应屏蔽位置1时，两种模式会将发送到系统中断控制器的内部中断信号置为有效。这两种模式仅在将内部中断信号置为无效的方式上有差异。以下几个小节详细介绍了这些模式。

注： 上电或硬复位后，主要中断模式为默认中断模式。备用中断模式需要在上电或硬复位后进行设置。

10.2.8.1 主要中断模式

主要中断模式为默认中断模式。上电或硬复位后，始终选择主要中断模式。在此模式下，要允许中断，将PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中的相应屏蔽位置1（见表10-2）。当将中断置为有效的事件为真时，内部中断信号将被置为有效。当将中断置为无效的相应事件为真时，内部中断信号将被置为无效。

表10-2：中断管理表

屏蔽	中断源标志	中断源	将中断置为有效的事件	将中断置为无效的事件
30.9	29.9	链路接通 LINKSTAT 见注1	链路状态 LINKSTAT上升沿	LINKSTAT下降沿或读寄存器29
30.8	29.8	LAN唤醒 WOL_INT 见注2	已使能的WOL事件 WOL_INT上升沿	WOL_INT下降沿或读寄存器29
30.7	29.7	ENERGYON 17.1	ENERGYON 17.1上升沿 (注3)	17.1下降沿或读寄存器29
30.6	29.6	自动协商完成 1.5	自动协商完成 1.5上升沿	1.5下降沿或读寄存器29
30.5	29.5	检测到远程故障 1.4	远程故障 1.4上升沿	1.4下降沿、读寄存器1或读寄存器29
30.4	29.4	链路中断 1.2	链路状态 1.2下降沿	读寄存器1或读寄存器29
30.3	29.3	自动协商LP应答 5.14	应答 5.14上升沿	5.14下降沿或读寄存器29
30.2	29.2	并行检测故障 6.4	并行检测故障 6.4上升沿	6.4下降沿、读寄存器6、读寄存器29、重新自动协商或链接断开
30.1	29.1	接收到自动协商页面 6.1	接收到页面 6.1上升沿	6.1下降沿、读寄存器6、读寄存器29、重新自动协商或链接断开

注1： LINKSTAT为内部链路状态，不直接在任何寄存器位中提供。

注2： WOL_INT定义为PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）中的bit 7:4与同一寄存器的bit 3:0进行逻辑与运算，然后将得到的4位结果进行逻辑或运算。

注3： 如果在ENERGYON仍为高电平时使能了屏蔽位，并且已将内部中断信号置为无效，则当拔下线缆、ENERGYON变为低电平后，内部中断信号将在约一秒后被置为有效，并持续256 ms。作为ENERGYON中断服务程序的一部分，应始终将ENERGYON中断屏蔽位清零，以防止意外将内部中断信号置为有效。

注： 在信号采集过程开始时，PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）中的能量开启（ENERGYON）位默认设置为1，因此PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的INT7位将在上电时也读为1。如果信号不存在，则能量开启（ENERGYON）和INT7将在几毫秒内清零。

10.2.8.2 备用中断模式

通过将PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的ALTINT位置1使能备用中断模式。在此模式下，要允许中断，需要将中断屏蔽寄存器中的相应位置1（见表10-3）。要清除中断，需要清除中断源并向相应的中断源标志写1。向中断源标志写1将使状态机检查中断源以确定应该将中断源标志清零还是保持为1。如果置为无效的条件为真，则中断源标志将清零，内部中断信号也将置为无效。如果置为无效的条件为假，则中断源标志保持置1，内部中断信号保持有效。

表10-3：备用中断模式管理表

屏蔽	中断源标志		中断源		将中断置为有效的事件	置为无效的条件	清除中断位
30.9	29.9	链路接通	LINKSTAT 见注4	链路状态	LINKSTAT 上升沿	LINKSTAT low	29.9
30.8	29.8	LAN唤醒	WOL_INT 见注5	已使能的 WOL事件	WOL_INT 上升沿	WOL_INT low	29.8
30.7	29.7	ENERGYON	17.1	ENERGYON	17.1上升沿	17.1低电平	29.7
30.6	29.6	自动协商完成	1.5	自动协商 完成	1.5上升沿	1.5低电平	29.6
30.5	29.5	检测到远程故障	1.4	远程故障	1.4上升沿	1.4低电平	29.5
30.4	29.4	链路中断	1.2	链路状态	1.2下降沿	1.2高电平	29.4
30.3	29.3	自动协商LP应答	5.14	应答	5.14上升沿	5.14低电平	29.3
30.2	29.2	并行检测故障	6.4	并行检测 故障	6.4上升沿	6.4低电平	29.2
30.1	29.1	接收到自动协商 页面	6.1	接收到页面	6.1上升沿	6.1低电平	29.1

注4： LINKSTAT为内部链路状态，不直接在任何寄存器位中提供。

注5： WOL_INT定义为PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）中的bit 7:4与同一寄存器的bit 3:0进行逻辑与运算，然后将得到的4位结果进行逻辑或运算。

注： 在信号采集过程开始时，PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）中的能量开启（ENERGYON）位默认设置为1，因此PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的INT7位将在上电时也读为1。如果信号不存在，则能量开启（ENERGYON）和INT7将在几毫秒内清零。

10.2.9 PHY掉电模式

有两种PHY掉电模式：常规掉电模式和能量检测掉电模式。以下几个小节详细介绍了这些模式。

注： 有关器件的各种功耗管理功能的更多信息，请参见第6.3节“功耗管理”（第50页）。

每个PHY的掉电模式单独进行控制。

PHY掉电模式不会重载或复位PHY寄存器。

10.2.9.1 常规掉电

此掉电模式由PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的掉电（PHY_PWR_DWN）位控制。在此模式下，除PHY管理控制接口外，整个收发器将掉电。只要掉电（PHY_PWR_DWN）位置1，收发器就将保持在此掉电状态。掉电（PHY_PWR_DWN）位清零后，收发器上电并自动复位。

10.2.9.2 能量检测掉电

通过将PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的能量检测掉电（EDPWRDOWN）位置1，可以使能此掉电模式。在此模式下，当线路中不存在能量时，整个收发器掉电（除PHY管理控制接口、SQUELCH电路和ENERGYON逻辑外）。ENERGYON逻辑用于检测是否存在来自100BASE-TX、10BASE-T或自动协商信号的有效能量。

在此模式下，当PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）中的能量开启（ENERGYON）位信号为低电平时，收发器掉电且不发送任何数据。接收到能量（如链路脉冲或数据包）时，能量开启（ENERGYON）位变为高电平且收发器上电。收发器自动复位到掉电前的状态，并将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的INT7位置为有效。用于激活ENERGYON的第一个或第二个数据包可能丢失。

当PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的能量检测掉电（EDPWRDOWN）位为低电平时，能量检测掉电功能被禁用。

处于EDPD模式时，可以修改器件的NLP特性。可以在EDPD下通过PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD TX NLP使能位将器件配置为发送NLP。使能时，可通过PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD TX NLP间隔定时器选择位域配置TX NLP时间间隔。处于EDPD模式时，还可将器件配置为在接收到一个或两个NLP时唤醒。将PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD RX单个NLP唤醒使能位置1可将器件使能为在接收到单个NLP时唤醒。如果EDPD RX单个NLP唤醒使能位清零，则可通过PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）的EDPD RX NLP最大间隔检测选择位域配置检测到接收两个NLP后从EDPD唤醒的最大间隔。

能量检测掉电特性是器件各种功耗管理特性的一部分，可用于触发功耗管理事件输出引脚（PME）或一般中断请求引脚（IRQ）。这可通过使能PHY的能量检测掉电特性（如上文所述）以及将功耗管理控制寄存器（PMT_CTRL）的相应能量检测使能位（PHY A的bit 14和PHY B的bit 15）置1来完成。更多信息，请参见功耗管理。

10.2.10 LAN唤醒（WoL）

PHY支持包括理想的DA、广播、魔术包和唤醒帧的第2层WoL事件检测。

每类支持的唤醒事件（理想的DA、广播、魔术包或唤醒帧）均可通过PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的理想DA唤醒使能（PFDA_EN）、广播唤醒使能（BCST_EN）、魔术包使能（MPEN）和唤醒帧使能（WUEN）位单独使能。通过PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的INT8位指示WoL事件。

WoL特性是器件多种功耗管理特性的一部分，可用于触发功耗管理事件输出引脚（**PME**）或一般中断请求引脚（**IRQ**）。这可通过使能PHY的WoL特性（如上文所述）以及将**功耗管理控制寄存器（PMT_CTRL）**的相应WoL使能位（PHY A的bit 14和PHY B的bit 15）置1来实现。更多信息，请参见第6.3节“功耗管理”（第50页）。

PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）还提供了**已配置WoL**位，可在配置过所有WoL寄存器后通过软件将该位置1。由于所有WoL相关的寄存器均不受软件复位影响，因此软件可以轮询**已配置WoL**位以确保所有WoL寄存器都已完全配置。这样软件便可在因WoL事件导致重启后跳过WoL寄存器的重新编程。

以下几个小节详细介绍了每种WoL事件。有关主要系统中断的更多信息，请参见第7.0节“系统中断”（第59页）。

10.2.10.1 理想DA（目标地址）检测

使能时，理想DA检测模式允许检测目标地址与**PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）**、**PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）**和**PHY x MAC接收地址C寄存器（PHY_RX_ADDR_C_x）**中存储的地址相匹配的帧。此帧也必须通过FCS和数据包长度检查。

例如，主机系统必须执行以下步骤来使能器件检测理想DA WoL事件：

1. 在**PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）**、**PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）**和**PHY x MAC接收地址C寄存器（PHY_RX_ADDR_C_x）**中设置所需MAC地址以引起唤醒事件。
2. 将**PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）**的**理想DA唤醒使能（PFDA_EN）**位置1以使能理想DA检测。
3. 将**PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）**的bit 8（WoL事件指示）置1以使能WoL事件。

触发匹配时，将**PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）**的bit 8和**PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）**的**接收到理想DA帧（PFDA_FR）**位置1。

10.2.10.2 广播检测

使能时，广播检测模式允许检测目标地址值为FF FF FF FF FF FF的帧。此帧也必须通过FCS和数据包长度检查。

例如，主机系统必须执行以下步骤来使能器件检测广播WoL事件：

1. 将**PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）**的**广播唤醒使能（BCST_EN）**位置1以使能广播检测。
2. 将**PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）**的bit 8（WoL事件指示）置1以使能WoL事件。

触发匹配时，将**PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）**的bit 8和**PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）**的**接收到广播帧（BCAST_FR）**位置1。

10.2.10.3 魔术包检测

使能时，魔术包检测模式允许检测魔术包帧。魔术包是寻址到器件的帧（单播或者广播至已编程地址），其中在目标地址和源地址位域后包含模式48'h FF_FF_FF_FF_FF_FF，后面重复16次所需MAC地址（装入**PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）**、**PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）**和**PHY x MAC接收地址C寄存器（PHY_RX_ADDR_C_x）**）且无任何间隔或中断。如果16次地址重复中存在间隔，则在传入帧中对48'h FF_FF_FF_FF_FF_FF模式再次进行逻辑扫描。16次地址重复可位于帧中的任何位置，但前面必须是同步流。此帧也必须通过FCS检查和数据包长度检查。

例如，如果所需地址为00h 11h 22h 33h 44h 55h，则将扫描以太网帧中的以下数据序列：

目标地址源地址……………FF FF FF FF FF FF

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

…FCS

例如，主机系统必须执行以下步骤来使能器件检测魔术包WoL事件：

1. 在PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）、PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）和PHY x MAC接收地址C寄存器（PHY_RX_ADDR_C_x）中设置所需MAC地址以引起唤醒事件。
2. 将PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的魔术包使能（MPEN）位置1以使能魔术包检测。
3. 将PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）的bit 8（WoL事件指示）置1以使能WoL事件。

触发匹配时，将PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）的bit 8和PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的接收到魔术包（MPR）位置1。

10.2.10.4 唤醒帧检测

使能时，唤醒帧检测模式允许检测已预编程的唤醒帧。唤醒帧检测向系统设计人员提供一种通过可编程唤醒帧过滤器在数据包内检测自定义模式的方法。过滤器具有一个128位字节的掩码，指示应由检测逻辑比较帧的哪些字节。计算这些字节的CRC-16。然后将结果与过滤器的相应CRC-16进行比较，以确定是否匹配。接收到唤醒帧时，PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的接收到远程唤醒帧（WUFR）位置1。

如果使能，过滤器还可以包括帧目标地址与PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）、PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）和PHY x MAC接收地址C寄存器（PHY_RX_ADDR_C_x）中所指定地址的比较结果。指定的地址可以是单播或多播。如果使能了地址匹配，则只有已编程的单播或多播将被视为匹配。可分别使能非特定多播地址和广播地址。对地址匹配结果进行逻辑或运算（即，指定地址匹配结果与任一多播结果或广播结果进行逻辑或运算）。

是否已使能过滤器以及是否已检查目标地址，都通过配置PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）进行确定。使能过滤器前，应用程序必须通过采样帧和相应字节掩码提供检测逻辑。通过写入PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）、PHY x唤醒过滤器配置寄存器B（PHY_WUF_CFGB_x）和PHY x唤醒过滤器字节掩码寄存器（PHY_WUF_MASK_x）提供此信息。帧内的起始偏移量和过滤器的预期CRC-16分别由过滤器模式偏移量和过滤器CRC-16位域确定。

如果使能了远程唤醒模式，则远程唤醒功能对每一帧针对过滤器进行检查并在帧通过过滤器的地址过滤和CRC值匹配时将其识别为远程唤醒帧。

模式偏移量定义了应进行检查的第一个字节在帧中的位置。字节掩码为128位位域，指定是否应检查帧中以模式偏移量开始的每128个连续字节。如果字节掩码的bit j置1，则检测逻辑会在帧中检查字节（模式偏移量+j），否则字节（模式偏移量+j）将被忽略。

完成CRC-16校验过程时，将通过模式偏移量与字节掩码计算得到的CRC-16与过滤器相关的预期CRC-16值进行比较。如果匹配，则发出远程唤醒事件信号。此帧也必须通过FCS检查和数据包长度检查。

表10-4指出了产生唤醒事件的情况。所有其他情况均不生成唤醒事件。

表10-4：唤醒事件情况

是否使能过滤器	帧类型	CRC匹配	是否使能地址匹配	是否使能任一多播	是否使能广播	帧地址匹配
是	单播	是	否	X	X	X
是	单播	是	是	X	X	是
是	多播	是	X	是	X	X
是	多播	是	是	否	X	是
是	广播	是	X	X	是	X

例如，主机系统必须执行以下步骤来使能器件检测唤醒帧WoL事件：

声明模式：

1. 更新PHY x唤醒过滤器字节掩码寄存器（PHY_WUF_MASK_x）以指示要匹配的有效字节。
2. 离线计算有效字节的CRC-16值并更新PHY x唤醒过滤器配置寄存器B（PHY_WUF_CFGB_x）。可按如下方式计算CRC-16：

帧开始时，将CRC-16初始化为值FFFFh。当模式偏移量和掩码指示接收的字节是校验和计算的一部分时，更新CRC-16。此时使用以下算法更新CRC-16：

假设：

^表示异或运算符。

Data[7:0]是将包含在校验和中的已接收数据字节。

CRC[15:0]包含计算得到的CRC-16校验和。

F0 … F7为中间结果，当数据字节确定为CRC-16的一部分时进行计算。

计算：

$$F0 = CRC[15] \wedge Data[0]$$

$$F1 = CRC[14] \wedge F0 \wedge Data[1]$$

$$F2 = CRC[13] \wedge F1 \wedge Data[2]$$

$$F3 = CRC[12] \wedge F2 \wedge Data[3]$$

$$F4 = CRC[11] \wedge F3 \wedge Data[4]$$

$$F5 = CRC[10] \wedge F4 \wedge Data[5]$$

$$F6 = CRC[09] \wedge F5 \wedge Data[6]$$

$$F7 = CRC[08] \wedge F6 \wedge Data[7]$$

按如下所述更新CRC-32：

$$CRC[15] = CRC[7] \wedge F7$$

$$CRC[14] = CRC[6]$$

$$CRC[13] = CRC[5]$$

```

CRC[12] = CRC[4]
CRC[11] = CRC[3]
CRC[10] = CRC[2]
CRC[9] = CRC[1] ^ F0
CRC[8] = CRC[0] ^ F1
CRC[7] = F0 ^ F2
CRC[6] = F1 ^ F3
CRC[5] = F2 ^ F4
CRC[4] = F3 ^ F5
CRC[3] = F4 ^ F6
CRC[2] = F5 ^ F7
CRC[1] = F6
CRC[0] = F7

```

3. 通过作为目标地址第一个字节的偏移量0确定偏移量模式。在PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）的过滤模式偏移量位域中更新偏移量。

确定地址匹配条件：

4. 根据表10-4确定地址匹配方案，并相应地更新PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）的过滤广播使能、过滤任意多播使能和地址匹配使能位。
5. 必要时（见第4步），在PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）、PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）和PHY x MAC接收地址C寄存器（PHY_RX_ADDRRC_x）中设置所需MAC地址以引起唤醒事件。
6. 将PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）的过滤器使能位置1以使能过滤器。

使能唤醒帧检测：

7. 将PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的唤醒帧使能（WUEN）位置1以使能唤醒帧检测。
8. 将PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）的bit 8（WoL事件指示）置1以使能WoL事件。

触发匹配时，PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）的接收到远程唤醒帧（WUFR）位将置1。要为软件提供额外的可视性，PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）的过滤器触发位将置1。

10.2.11 复位

除芯片级硬件复位（RST#）、EtherCAT系统复位和上电复位（POR）外，PHY支持三种模块特定的复位。这些模式将在后续章节中详细讨论。有关所有器件复位和复位序列的详细信息，请参见第6.2节“复位”（第45页）。

注： 只有硬件复位（RST#）、上电复位（POR）或EtherCAT系统复位会将配置脚值自动重载到PHY寄存器中。

复位控制寄存器（RESET_CTL）中的数字复位（DIGITAL_RST）位不会复位PHY。

对于所有其他PHY复位，将需要通过软件手动配置PHY寄存器。

10.2.11.1 通过RESET_CTL进行PHY软件复位

可以通过复位控制寄存器（RESET_CTL）复位PHY。大约102 μs后，这些位将自清零。此复位不会将配置脚值重载到PHY寄存器中。

10.2.11.2 通过PHY_BASIC_CTRL_x进行PHY软件复位

也可以通过将PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的软复位（PHY_SRST）位置1来复位PHY。复位完成后，该位自清零并恢复为0。此复位不会将配置脚值重载到PHY寄存器中。

10.2.11.3 PHY掉电复位

PHY从掉电状态返回后，会自动产生PHY复位。PHY掉电模式不会重载或复位PHY寄存器。更多信息，请参见第10.2.9节“PHY掉电模式”（第163页）。

10.2.12 链路完整性测试

器件按照IEEE 802.3u（第24-15条）链路监视状态图中所述执行链路完整性测试。链路状态与10 Mbps链路状态复用，构成PHY x基本状态寄存器（PHY_BASIC_STATUS_x）中的链路状态位并驱动链路LED功能。

DSP通过内部的数据_VALID信号向链路监视状态机指示由ANSI X3.263 TTPMD标准定义的RXPx和RXNx信号中的有效MLT-3波形。当DATA_VALID置为有效时，控制逻辑转至链路就绪状态并等待来自自动协商模块的使能信号。接收到使能信号后，将进入链路接通状态，发送和接收逻辑模块变为有效。如果禁止自动协商，则链路完整性逻辑将在DATA_VALID置为有效时立即切换至链路接通状态。

要使链路稳定，链路完整性逻辑将从DATA_VALID置为有效开始等待至少330 ms，直到进入链路就绪状态。如果在任何时候将DATA_VALID输入置为无效，则此逻辑将立即使链路信号无效并进入链路中断状态。

10.2.13 线缆诊断

PHY提供线缆诊断功能，可以对以太网线缆的开路/短路和长度进行检测。线缆诊断包括两个主要工作模式：

- 时域反射法（TDR）线缆诊断

TDR线缆诊断能够检测TX或RX对上的开路或短路连接，并估算到故障点的线缆长度。

- 匹配的线缆诊断

匹配的线缆诊断能够估算100 Mbps链路线缆的线缆长度。

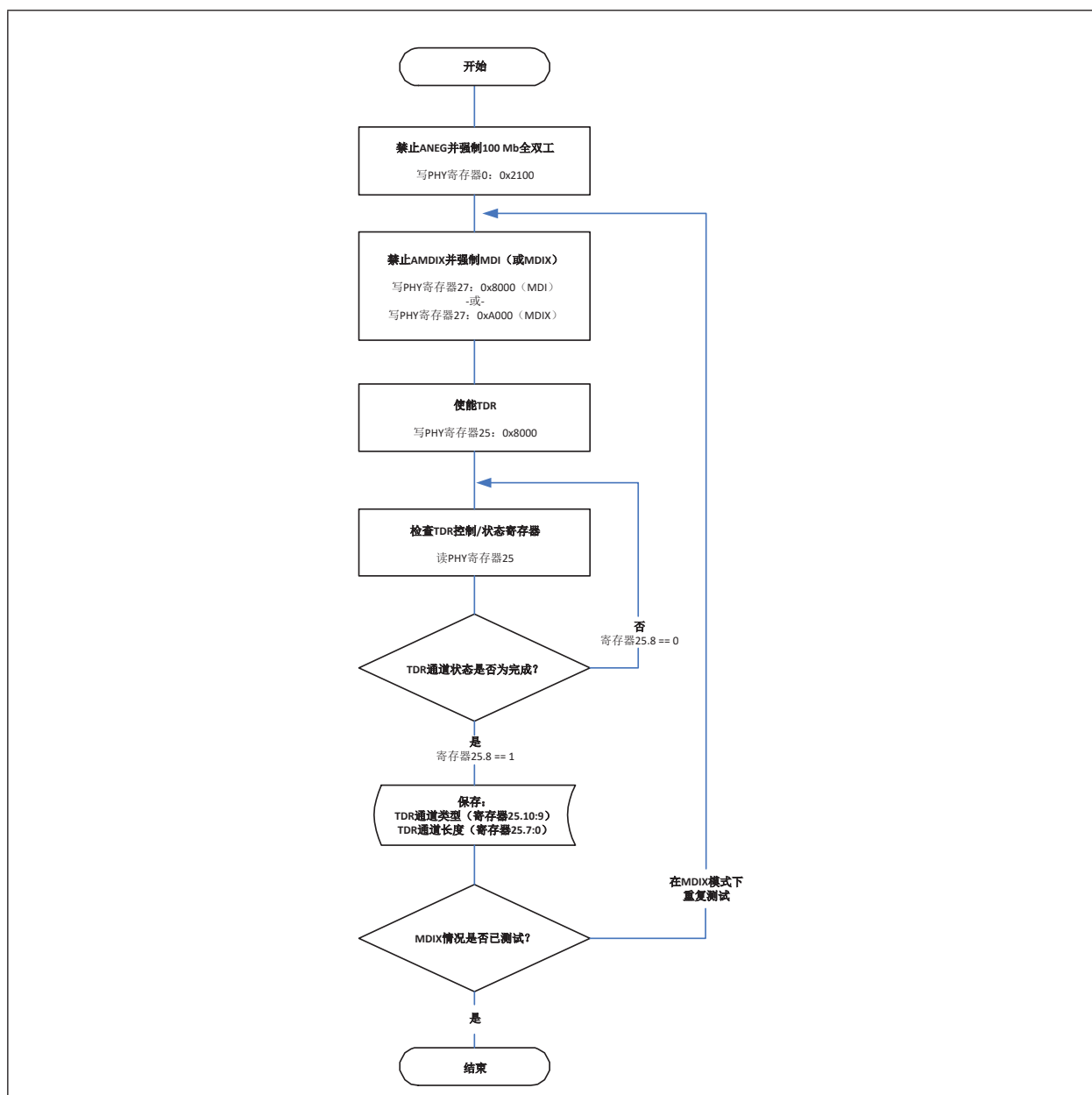
有关每种线缆诊断模式正常工作的详细信息，请参见以下几个小节。

注： 线缆诊断不适用于100BASE-FX模式。

10.2.13.1 时域反射法（TDR）线缆诊断

PHY提供TDR线缆诊断功能，能够检测TX或RX对上的开路或短路连接，以及估算到故障点的线缆长度。要利用TDR线缆诊断，必须禁止Auto-MDIX和自动协商，并且必须将PHY强制为100 Mbps全双工模式。这些操作必须在将PHY x TDR控制/状态寄存器（PHY_TDR_CONTROL_STAT_x）中的TDR使能位置1前完成。禁止Auto-MDIX时，TDR将对通过寄存器的bit 27.13（Auto-MDIX状态（AMDIXSTATE））选择的TX或RX对进行测试。正确的线缆测试应包括每个对的测试。TDR测试完成时，可能会恢复之前的寄存器设置。图10-5提供了正确的TDR使用流程图。

图10-5: TDR使用流程图



TDR通过在以太网线缆中所选双绞线上发送脉冲来工作（MDI模式下为发送，MDIX模式下为接收）。如果被测试对开路或短路，则形成的阻抗间断会产生可由PHY检测到的反射信号。PHY测量发送信号与接收反射之间的时间间隔，并在**PHY x TDR控制/状态寄存器（PHY_TDR_CONTROL_STAT_x）**的**TDR通道长度**位域中给出结果。**TDR通道长度**位域指示的线缆“电气”长度可与表10-5中适当的传播常数相乘，以估算到故障点的近似物理距离。

注： TDR功能通常在链路无法工作时使用。但是，运行TDR时活动链路将断开。

由于TDR依赖于未正确端接线缆的反射信号，因此有几个因素会影响物理长度估算的精度。包括：

1. **线缆类型 (CAT 5、CAT 5e或CAT 6)：** 由于内部信号对的每米缠绕数和信号传播速度的差异，每种线缆类型的电气长度均略有不同。如果已知线缆类型，则可以通过使用适合该线缆类型的传播常数（见表10-5）更精确地估算长度。在许多实际应用中，线缆类型未知，或者可能是不同线缆类型及长度的组合。在这种情况下，使用“未知”线缆类型的传播常数。
2. **发送和接收对：** 针对每种线缆类型，EIA标准为以太网线缆中的每个信号对规定了不同的缠绕率（每米缠绕数）。这导致接收对和发送对具有不同的测量结果。
3. **实际线缆长度：** 随着物理线缆长度的增加，估算线缆长度与实际线缆长度之间的误差也会增大。当线缆长度小于约100米时，估算结果最为精确。
4. **开路/短路情况：** 与故障点的物理距离相同时，开路和短路情况将返回不同的TDR通道长度值（电气长度）。通过使用不同的传播常数计算线缆的物理长度来实现对这种情况的补偿。

对于开路情况，可通过如下公式计算与故障点的估算距离：

$$\text{与开路故障点的距离（以米为单位）} \cong \text{TDR通道长度} * P_{\text{OPEN}}$$

其中：P_{OPEN}是从表10-5中选择的传播常数

对于短路情况，可通过如下公式计算与故障点的估算距离：

$$\text{与短路故障点的距离（以米为单位）} \cong \text{TDR通道长度} * P_{\text{SHORT}}$$

其中：P_{SHORT}是从表10-5中选择的传播常数

表10-5：TDR传播常数

TDR传播常数	线缆类型			
	未知	CAT 6	CAT 5E	CAT 5
P _{OPEN}	0.769	0.745	0.76	0.85
P _{SHORT}	0.793	0.759	0.788	0.873

开路和短路情况的典型线缆长度测量误差范围取决于所选线缆类型和器件与开路/短路故障点的距离。表10-6和表10-7分别详细介绍了开路和短路情况的典型测量误差。

表10-6：开路线缆的典型测量误差（+/-米）

与故障点的物理距离	所选传播常数
	P _{OPEN} = CAT 6
CAT 6线缆，10m	3
CAT 6线缆，50m	6
CAT 6线缆，100m	8
CAT 6线缆，140m	12

表10-7：短路线缆的典型测量误差（+/-米）

与故障点的物理距离	所选传播常数
	P _{SHORT} = CAT 6
CAT 6线缆，10m	1
CAT 6线缆，50m	5
CAT 6线缆，100m	7
CAT 6线缆，140m	11

注： 开路和短路情况的典型线缆长度测量误差范围取决于所选线缆类型和器件与开路/短路故障点的距离等系统因素。此外，还取决于所选连接器和PCB上的布线等其他因素。表10-6和表10-7分别详细介绍了开路和短路情况的典型测量误差。这些数据仅供参考。客户应始终使用其特定系统进行行为测试。

10.2.13.2 匹配的线缆诊断

匹配的线缆诊断能够估算最长120米的100 Mbps链路线缆的线缆长度。如果存在活动的100 Mbps链路，则可以使用PHY x线缆长度寄存器（PHY_CABLE_LEN_x）估算与链路伙伴的近似距离。如果线缆已正确端接但不存在活动的100 Mbps链路（链路伙伴被禁止、无法正常工作或链路速度为10 Mbps等），则无法估算线缆长度并应忽略PHY x线缆长度寄存器（PHY_CABLE_LEN_x）。可以使用表10-8中提供的查找表通过PHY x线缆长度寄存器（PHY_CABLE_LEN_x）的线缆长度（CBLN）位域确定与链路伙伴的估算距离。匹配的线缆情况的典型线缆长度测量误差范围为+/- 20m。对于从0至120m的所有线缆类型，匹配的线缆长度误差范围均一致。

表10-8：匹配情况下的估算线缆长度（CBLN）查找表

CBLN位域值	估算的线缆长度
0 - 3	0
4	6
5	17
6	27
7	38
8	49
9	59
10	70
11	81
12	91
13	102
14	113
15	123

注： 对于正确端接的线缆（匹配情况），不存在反射信号。在这种情况下，TDR通道长度位域无效且应当被忽略。

10.2.14 信号质量指数

10.2.14.1 背景知识

100BASE-TX使用MLT-3调制进行数据传输，其逻辑信号值为{-1, 0, +1}。这些逻辑电平对应DSP分割器的最大正负参考电平。正负比较阈值设置在这些最大值与零之间，使得接收到的模拟数据采样可量化为-1、0和+1。

理想情况下，每个接收数据采样与比较阈值保持最大距离，误差值为0。但由于实际应用中存在噪声和缺陷，采样数据可能无法达到其理想值。越接近比较阈值，信号质量越差。

分割器误差用于衡量已处理数据与其理想值的偏差。100BASE-TX的最大瞬时分割器误差为+/-32。

分割器绝对误差增大意味着信号接收条件变差。

注： 必须按照以下寄存器序列对PHY A和PHY B进行预配置，从而使分割器误差进入信号质量指数逻辑。

```
// 按照1 -> 0 -> 1写入reg-20的bit[10]将在PHY中使能测试模式
寄存器PHY_TSTCNTL_A/B数据 = 0x0400
寄存器PHY_TSTCNTL_A/B数据 = 0x0000
寄存器PHY_TSTCNTL_A/B数据 = 0x0400

// 将err_nm1_real[5:0]映射到co_testbus_out[5:0]，将rxclk125映射到co_clk_out
寄存器PHY_TSTWRITE_A/B数据 = 0x7200

// 使能PHY中的测试总线输出
寄存器PHY_TSTCNTL_A/B数据 = 0x4401
```

10.2.14.2 OPEN Alliance TC1 DCQ均方误差

注： 本节中引用的所有寄存器均位于MMD器件地址30中。更多信息，请参见第10.2.18节“PHY寄存器”。

本节定义了TC1规范第6.1.1节的实现。PHY可通过均方误差（Mean Squared Error, MSE）值提供动态信号质量的详细信息。该模式通过将PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_enable位置1来使能。

使用此方法时，分割器误差将转换为平方值，然后通过可编程低通滤波器进行滤波。该方法类似于计算较长移动时间窗口下的分割器绝对误差的平均值。

对于每个数据采样而言，分割器绝对误差与当前滤波值之间的差值将被反加到当前滤波值中。

PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_squ_mode_en位必须置1才能选择平方模式。

PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_kp位域将反加的加权设置为除以 $2^{\text{sqi\_kp}}$ ，以有效地设置滤波器带宽。随着sqi_kp值增大，权重将减小，分割器平均误差值需要更长的时间才能稳定下来。此外，随着sqi_kp值增大，所报告的分割器平均误差值的变化将减小。

PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的scale611位域用于设置将MSE值线性换算到0到511范围内的值所需除以的系数（除以 2^{scale611} ）。如果除以的系数过小，则MSE的上限值为511。

滤波的误差值每65,536个符号（524,288 ns）采样一次。

为了捕捉MSE值，需要将PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的DCQ读取捕捉位写为高电平。DCQ读取捕捉位将立即自清零，结果将存储在PHY x DCQ均方误差寄存器（PHY_DCQ_MSE_x）中。

除了当前MSE值之外，上次读取PHY x DCQ均方误差寄存器（PHY_DCQ_MSE_x）后的最差情况MSE值也存储在PHY x 最差情况DCQ均方误差寄存器（PHY_DCQ_MSE_WC_x）中。

10.2.14.3 OPEN Alliance TC1 DCQ信号质量指数

注： 本节中引用的所有寄存器均位于MMD器件地址30中。更多信息，请参见第10.2.18节“PHY寄存器”。

本节定义了TC1规范第6.1.2节的实现。

该模式是在DCQ均方误差方法的基础之上通过将MSE值映射到简单质量指数上实现的。

该模式通过将PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_enable位置1来使能。

注： 如上所述，PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_squ_mode_en位必须置1才能选择平方模式。

如上所述，PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的scale611位域用于设置将MSE值线性换算到0到511范围内的值所需除以的系数（除以 2^{scale611} ）。

通过将MSE值与PHY x DCQ SQI表寄存器（PHY_DCQ_SQI_TBL_x）中设置的阈值比较来提供信号质量指数值，最低为0（最差），最高为7（最佳），如下所示：

表10-9：MSE到信号质量指数的映射

MSE值		信号质量指数值
大于	小于或等于	
	SQI_TBL7.SQI_VALUE	7
SQI_TBL7.SQI_VALUE	SQI_TBL6.SQI_VALUE	6
SQI_TBL6.SQI_VALUE	SQI_TBL5.SQI_VALUE	5
SQI_TBL5.SQI_VALUE	SQI_TBL4.SQI_VALUE	4
SQI_TBL4.SQI_VALUE	SQI_TBL3.SQI_VALUE	3
SQI_TBL3.SQI_VALUE	SQI_TBL2.SQI_VALUE	2
SQI_TBL2.SQI_VALUE	SQI_TBL1.SQI_VALUE	1
SQI_TBL1.SQI_VALUE		0

为了捕捉SQI值，需要将PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的DCQ读取捕捉位写为高电平。DCQ读取捕捉位将立即自清零，结果将存储在PHY x DCQ SQI寄存器（PHY_DCQ_SQI_x）中。

除了当前SQI之外，上次读取后的最差情况（最低）信号质量指数也存储在最差情况SQI位域中。

表10-10给出了PHY x DCQ SQI寄存器（PHY_DCQ_SQI_x）中存储的信号质量指数值与基于AWG噪声（100 Mbps时带宽为80 MHz）的相应信噪比（Signal to Noise Ratio，SNR）之间的关系。表中列出了白噪声作为干扰信号时的预期误码率，可供参考。

仅当信号质量指数值为0时才会发生链路丢失的情况。

表10-10：信号质量指数值关系

SQI值	MDI SNR值——AWG噪声	AWG噪声模型的推荐BER
0	< 18 dB	BER>10 ⁻¹⁰
1	18 dB <= SNR < 19 dB	
2	19 dB <= SNR < 20 dB	
3	20 dB <= SNR < 21 dB	BER<10 ⁻¹⁰
4	21 dB <= SNR < 22 dB	
5	22 dB <= SNR < 23 dB	
6	23 dB <= SNR < 24 dB	
7	SNR >= 24 dB	

10.2.14.4 OPEN Alliance TC1 DCQ峰值MSE值（pMSE）

注： 本节中引用的所有寄存器均位于MMD器件地址30中。更多信息，请参见第10.2.18节“PHY寄存器”。

本节定义了TC1规范第6.1.3节的实现。

峰值MSE值旨在识别微秒级瞬态干扰。该模式通过将PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_enable位置1来使能。

使用此方法时，分割器误差将转换为平方值，然后通过可编程低通滤波器进行滤波。这与移动时间窗口下分割器绝对误差的平均值计算类似。

对于每个数据采样而言，分割器绝对误差与当前滤波值之间的差值将被反加到当前滤波值中。

注：PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_squ_mode_en位必须置1才能选择平方模式。

PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的sqi_kp3位域将反加的加权设置为除以 $2^{\wedge}(\text{sqi\_kp3})$ ，以有效地设置滤波器带宽。随着sqi_kp3值增大，权重将减小，分割器平均误差值需要更长的时间才能稳定下来。

每经过65,536个符号周期（524,288 ns），将保存这段时间内出现的最高滤波值。

PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）中的scale613位域用于设置将峰值MSE值线性换算到0到63范围内的值所需除以的系数（除以 $2^{\wedge}(\text{scale613}+3)$ ）。如果除以的系数过小，则峰值MSE的上限值为63。

为了捕捉峰值MSE值，需要将DCQ读取捕捉位PHY x DCQ配置寄存器（PHY_DCQ_CFG_x）写为高电平。DCQ读取捕捉位将立即自清零，结果将存储在PHY x DCQ峰值MSE寄存器（PHY_DCQ_PEAK_MSE_x）中。

除了当前峰值MSE值之外，上次读取PHY x DCQ峰值MSE寄存器（PHY_DCQ_PEAK_MSE_x）后的最差情况峰值MSE值也存储在同一寄存器中。

该方法与上述DCQ均方误差方法类似，不同之处在于该方法每1.0 ms保存一次峰值，并使用不同的“kp”和“scale”参数。

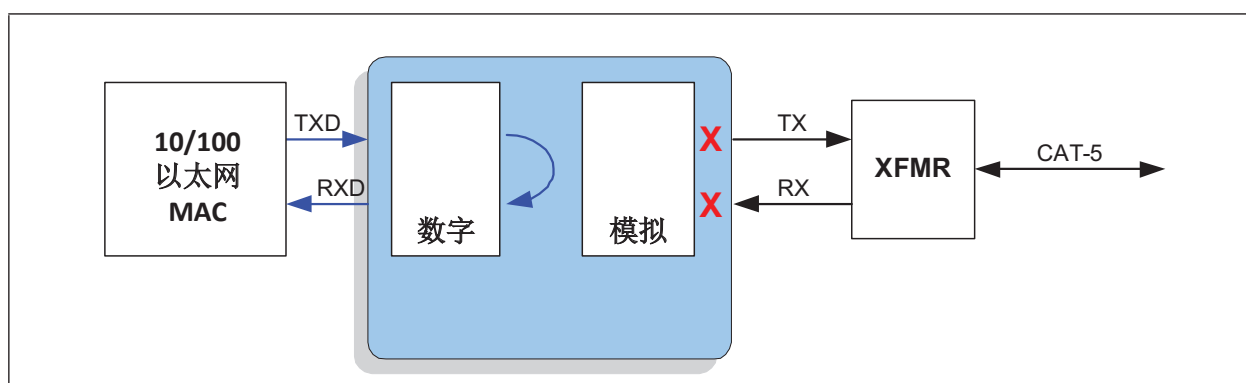
10.2.15 环回运行

PHY可以配置为近端环回和连接器环回。以下几个小节详细介绍了这些环回模式。

10.2.15.1 近端环回

为进行测试，近端环回模式将数字发送数据发送回接收数据信号，如图10-6中的蓝色箭头所示。通过将PHY x基本通知寄存器（PHY_BASIC_CONTROL_x）的环回（PHY_LOOPBACK）位置1使能近端环回模式。大多数数字电路都在近端环回模式下工作，因为在将数据环回前会经由PCS和PMA层将其发送到PMD子层中。在此模式下COL信号将处于无效状态，除非使能了PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）中的冲突测试模式（PHY_COL_TEST）。无论内部MII TXEN信号的状态如何，发送器都掉电。

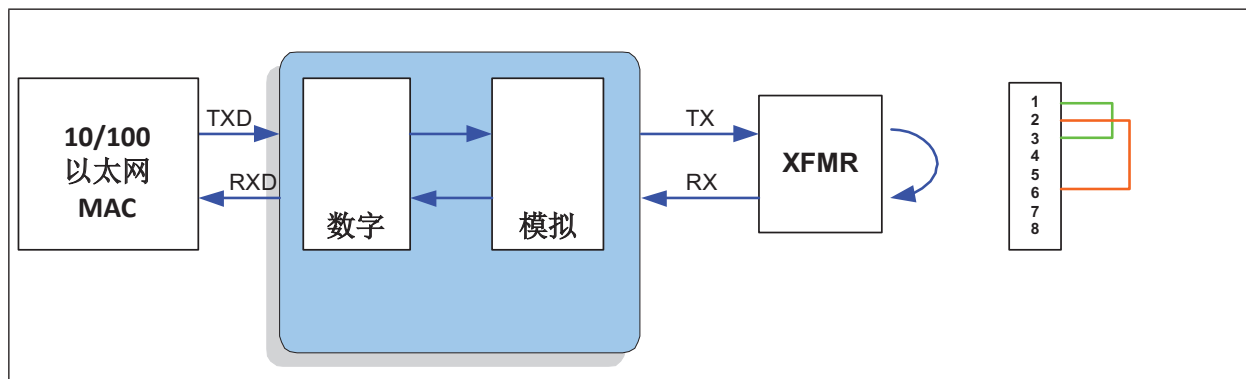
图10-6：近端环回框图



10.2.15.2 连接器环回

器件在非常短的线缆上保持可靠传输，并可在连接器环回中进行测试，如图10-7所示。RJ45环回线缆可以用于将来自变压器输出的发送信号发送回接收器输入。此环回可以10 Mbps和100 Mbps速度工作。

图10-7：连接器环回框图



RJ45环回线缆。通过连接引脚1与引脚3以及连接引脚2与引脚6来形成。

10.2.16 需要的以太网磁件（100BASE-TX）

选择与器件配合使用的磁件应为Auto-MDIX型磁件，许多供应商都普遍提供这种磁件。

10.2.17 EtherCAT P

EtherCAT P是EtherCAT的增强版，它在相同的四根线缆上进行供电与EtherCAT数据传输。

表10-11列出了用于EtherCAT的四根线缆，以及用于提供 U_s （用于逻辑）和 U_p （用于输出外设）的四根线缆。

表10-11：EtherCAT® P信号线和电源线

（典型）线缆颜色	黄色	橙色	白色	蓝色
EtherCAT	TX+	TX-	RX+	RX-
电源	GND_s	U_s	GND_p	U_p

EtherCAT P在PCB设计中的实现方式如下：通过使用LC低通滤波器将直流电源引入电源电路，同时使用串联电容高通滤波器将通信信号传递到以太网变压器。

由于采用MLT3编码，特定位模式会导致物理传输中产生直流偏移。当通过EtherCAT线缆和以太网变压器传输一种称为“杀手包”（长时间连续的+1或-1）的数据模式时，由于变压器本身的高通特性，MLT-3信号会累积显著的直流偏移。这会导致信号偏离基准线（称为基线漂移（BLW））。在接收端，该信号会导致位错误。

10.2.18 PHY寄存器

PHY A与PHY B在功能上相当，具有同一组非存储器映射寄存器。PHY寄存器通过EtherCAT模块间接访问。

由于PHY A和PHY B寄存器功能相同，因此已将它们的寄存器说明合并。本节中每个PHY寄存器名称末尾追加小写的“x”，其中“x”可替换为“A”或“B”以分别代表PHY A或PHY B寄存器。在某些情况下，可能用“1”或“2”适当替代。

表10-12中包含MII串行可访问控制和状态寄存器的列表和相应的寄存器索引编号。每个PHY都分配有惟一的PHY地址，如第10.1.1节“PHY寻址”（第152页）中所详述。

除MII串行可访问控制和状态寄存器外，还有一组可间接访问的寄存器为IEEE 802.3第45.2节MDIO可管理设备（MMD）寄存器提供支持。表10-15中包含这些寄存器的列表和相应的寄存器索引编号。

控制和状态寄存器

表10-12列出了支持的控制和状态寄存器。以下几个小节提供了寄存器的详细信息，包括位定义。

除非另外说明，否则写入寄存器时保留的位域必须写入0。

表10-12：PHY A和PHY B MII串行可访问控制和状态寄存器

索引	寄存器名称（符号）	组
0	PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）	基本
1	PHY x基本状态寄存器（PHY_BASIC_STATUS_x）	基本
2	PHY x标识MSB寄存器（PHY_ID_MSB_x）	扩展
3	PHY x标识LSB寄存器（PHY_ID_LSB_x）	扩展
4	PHY x自动协商通告寄存器（PHY_AN_ADV_x）	扩展
5	PHY x自动协商链路伙伴基本页面能力寄存器（PHY_AN_LP_BASE_ABILITY_x）	扩展
6	PHY x自动协商扩展寄存器（PHY_AN_EXP_x）	扩展
7	PHY x自动协商下一页发送寄存器（PHY_AN_NP_TX_x）	扩展
8	PHY x自动协商下一页接收寄存器（PHY_AN_NP_RX_x）	扩展
13	PHY x MMD访问控制寄存器（PHY_MMD_ACCESS）	扩展
14	PHY x MMD访问地址/数据寄存器（PHY_MMD_ADDR_DATA）	扩展
16	PHY x EDPD NLP/交叉时间/EEE配置寄存器（PHY_EDPD_CFG_x）	供应商特定
17	PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）	供应商特定
18	PHY x特殊模式寄存器（PHY_SPECIAL_MODES_x）	供应商特定
24	PHY x TDR模式/延时控制寄存器（PHY_TDR_PAT_DELAY_x）	供应商特定
25	PHY x TDR控制/状态寄存器（PHY_TDR_CONTROL_STAT_x）	供应商特定
26	PHY x符号错误计数器寄存器	供应商特定
27	PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）	供应商特定
28	PHY x线缆长度寄存器（PHY_CABLE_LEN_x）	供应商特定
29	PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）	供应商特定
30	PHY x中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）	供应商特定
31	PHY x特殊控制/状态寄存器（PHY_SPECIAL_CONTROL_STATUS_x）	供应商特定

10.2.18.1 PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x)

索引（十进制）：0

大小：16位

此读/写寄存器用于配置PHY。

位	说明	类型	默认值
15	软复位 (PHY_SRST) 置1时，除标记为NASR类型的寄存器之外，该位将所有PHY寄存器复位为其默认状态。该位自清零。 0：正常工作 1：复位	R/W SC	0b
14	环回 (PHY_LOOPBACK) 该位用于使能/禁止环回模式。使能时，不会将传输数据发送到网络。但是，会将它们环回到PHY中。 0：禁止环回模式（常规操作） 1：使能环回模式	R/W	0b
13	速度选择LSb (PHY_SPEED_SEL_LSB) 禁止 自动协商使能 (PHY_AN) 位时，该位用于设置PHY速度。 0：10 Mbps 1：100 Mbps	R/W	1b
12	自动协商使能 (PHY_AN) 该位用于使能/禁止自动协商。使能时，将改写 速度选择LSb (PHY_SPEED_SEL_LSB) 和 双工模式 (PHY_DUPLEX) 位。 0：禁止自动协商 1：使能自动协商	R/W	注6
11	掉电 (PHY_PWR_DWN) 该位控制PHY的掉电模式。 0：正常工作 1：一般掉电模式	R/W	0b
10	保留	RO	-
9	重启自动协商 (PHY_RST_AN) 置1时，该位重启自动协商过程。 0：正常工作 1：重启自动协商	R/W SC	0b
8	双工模式 (PHY_DUPLEX) 禁止 自动协商使能 (PHY_AN) 位时，该位用于设置双工模式。 0：半双工 1：全双工	R/W	1b

位	说明	类型	默认值
7	冲突测试模式 (PHY_COL_TEST) 该位用于使能/禁止PHY的冲突测试模式。置1时，发送期间冲突信号有效。建议只在环回模式下使用该功能。 0：禁止冲突测试模式 1：使能冲突测试模式	R/W	0b
6:0	保留	RO	-

注6： 该位的默认值由**硬件配置寄存器 (HW_CFG)** 中的**ANEG禁止PHY A/ANEG禁止PHY B**位确定，而这两个位由配置脚控制。EtherCAT通常使用自动协商，但特殊用例可能需要将其禁止。

10.2.18.2 PHY x基本状态寄存器（PHY_BASIC_STATUS_x）索引（十进制）：**1**

大小：16位

该寄存器用于监视PHY的状态。

位	说明	类型	默认值
15	100BASE-T4 该位显示100BASE-T4兼容性的状态。 0：PHY无法执行100BASE-T4标准 1：PHY可以执行100BASE-T4标准	RO	0b
14	100BASE-X全双工 该位显示100BASE-X全双工兼容性的状态。 0：PHY无法执行100BASE-X全双工 1：PHY可以执行100BASE-X全双工	RO	1b
13	100BASE-X半双工 该位显示100BASE-X半双工兼容性的状态。 0：PHY无法执行100BASE-X半双工 1：PHY可以执行100BASE-X半双工	RO	1b
12	10BASE-T全双工 该位显示10BASE-T全双工兼容性的状态。 0：PHY无法执行10BASE-T全双工 1：PHY可以执行10BASE-T全双工	RO	1b
11	10BASE-T半双工 该位显示10BASE-T半双工兼容性的状态。 0：PHY无法执行10BASE-T半双工 1：PHY可以执行10BASE-T半双工	RO	1b
10	100BASE-T2全双工 该位显示100BASE-T2全双工兼容性的状态。 0：PHY无法执行100BASE-T2全双工 1：PHY可以执行100BASE-T2全双工	RO	0b
9	100BASE-T2半双工 该位显示100BASE-T2半双工兼容性的状态。 0：PHY无法执行100BASE-T2半双工 1：PHY可以执行100BASE-T2半双工	RO	0b
8	扩展状态 该位用于显示扩展状态信息是否位于寄存器15中（根据IEEE 802.3第22.2.4条）。 0：寄存器15中没有扩展状态信息 1：寄存器15中有扩展状态信息	RO	0b

位	说明	类型	默认值
7	单向能力 该位指示PHY能否进行发送，无论PHY是否确定已建立有效链路。 0：仅能在已建立有效链路时发送 1：无论何时均可发送	RO	0b
6	MF前导码抑制 该位指示PHY是否接受带抑制前导码的管理帧。 0：不接受带抑制前导码的管理帧 1：接受带抑制前导码的管理帧	RO	0b
5	自动协商完成 该位指示自动协商过程的状态。 0：自动协商尚未完成 1：自动协商已完成	RO	0b
4	远程故障 该位指示是否检测到远程故障情况。 0：未检测到远程故障情况 1：检测到远程故障情况	RO/LH	0b
3	自动协商能力 该位指示PHY的自动协商能力。 0：PHY无法执行自动协商 1：PHY可以执行自动协商	RO	1b
2	链路状态 该位指示链路的状态。 0：链路中断 1：链路接通	RO/LL	0b
1	Jabber检测 该位指示Jabber条件的状态。 0：未检测到Jabber条件 1：检测到Jabber条件	RO/LH	0b
0	扩展能力 该位指示是否支持扩展寄存器功能。 0：仅限基本寄存器组功能 1：扩展寄存器组功能	RO	1b

10.2.18.3 PHY x标识MSB寄存器 (PHY_ID_MSB_x)

索引（十进制）：[2](#)

大小：16位

此读/写寄存器包含PHY的组织唯一标识符（Organizationally Unique Identifier，OUI）的MSB。PHY OUI的LSB包含在PHY x标识LSB寄存器（PHY ID LSB x）中。

位	说明	类型	默认值
15:0	PHY ID 将此位域分别分配给OUI的第3至第18位（OUI = 00800Fh）。	R/W	0007h

10.2.18.5 PHY x自动协商通告寄存器 (PHY_AN_ADV_x)

索引（十进制）：4

大小：16位

该读/写寄存器包含PHY的通告功能并用于与链路伙伴的自动协商过程。

位	说明	类型	默认值
15	下一页 0 = 无下一页能力 1 = 有下一页能力	R/W	0b
14	保留	RO	-
13	远程故障 该位确定是否向链路伙伴通告远程故障指示。 0：不通告远程故障指示 1：通告远程故障指示	R/W	0b
12	扩展的下一页 注： 该位应写为0。	R/W	0b
11	非对称暂停 该位确定通告非对称暂停功能。 0：不向链路伙伴通告非对称暂停 1：向链路伙伴通告非对称暂停	R/W	0b 注7
10	对称暂停 该位确定通告对称暂停功能。 0：不向链路伙伴通告对称暂停 1：向链路伙伴通告对称暂停	R/W	0b 注7
9	保留	RO	-
8	100BASE-X全双工 该位确定通告100BASE-X全双工能力。 0：不通告100BASE-X全双工能力 1：通告100BASE-X全双工能力	R/W	1b 注8
7	100BASE-X半双工 该位确定通告100BASE-X半双工能力。 0：不通告100BASE-X半双工能力 1：通告100BASE-X半双工能力	R/W	0b 注8
6	10BASE-T全双工 该位确定通告10BASE-T全双工能力。 0：不通告10BASE-T全双工能力 1：通告10BASE-T全双工能力	R/W	0b 注8

位	说明	类型	默认值
5	10BASE-T半双工 该位确定通告10BASE-T半双工能力。 0：不通告10BASE-T半双工能力 1：通告10BASE-T半双工能力	R/W	0b 注8
4:0	选择器位域 该位域标识自动协商所发送报文的类型。 00001：IEEE 802.3	R/W	00001b

注7： EtherCAT不使用暂停流控制。

注8： EtherCAT仅使用100 Mbps，全双工。

10.2.18.6 PHY x自动协商链路伙伴基本页面能力寄存器 (PHY_AN_LP_BASE_ABILITY_x)

索引（十进制）：5

大小：16位

该只读寄存器包含链路伙伴的PHY的通告能力并用于链路伙伴与PHY之间的自动协商过程。

位	说明	类型	默认值
15	下一页 该位指示链路伙伴PHY的页面功能。 0：链路伙伴PHY不通告下一页的能力 1：链路伙伴PHY通告下一页的能力	RO	0b
14	应答 该位指示是否已从伙伴接收链路代码字。 0：尚未从伙伴接收链路代码字 1：已从伙伴接收链路代码字	RO	0b
13	远程故障 该位指示是否检测到远程故障。 0：无远程故障 1：检测到远程故障	RO	0b
12	扩展的下一页 0：链路伙伴PHY不通告扩展的下一页的能力 1：链路伙伴PHY通告扩展的下一页的能力	RO	0b
11	非对称暂停 该位指示链路伙伴PHY的非对称暂停功能。 0：无指向链路伙伴的非对称暂停 1：指向链路伙伴的非对称暂停	RO	0b
10	暂停 该位指示链路伙伴PHY的对称暂停功能。 0：无指向链路伙伴的对称暂停 1：指向链路伙伴的对称暂停	RO	0b
9	100BASE-T4 该位指示链路伙伴PHY的100BASE-T4能力。 0：不支持100BASE-T4能力 1：支持100BASE-T4能力	RO	0b
8	100BASE-X全双工 该位指示链路伙伴PHY的100BASE-X全双工能力。 0：不支持100BASE-X全双工能力 1：支持100BASE-X全双工能力	RO	0b

位	说明	类型	默认值
7	100BASE-X半双工 该位指示链路伙伴PHY的100BASE-X半双工能力。 0：不支持100BASE-X半双工能力 1：支持100BASE-X半双工能力	RO	0b
6	10BASE-T全双工 该位指示链路伙伴PHY的10BASE-T全双工能力。 0：不支持10BASE-T全双工能力 1：支持10BASE-T全双工能力	RO	0b
5	10BASE-T半双工 该位指示链路伙伴PHY的10BASE-T半双工能力。 0：不支持10BASE-T半双工能力 1：支持10BASE-T半双工能力	RO	0b
4:0	选择器位域 该位域标识自动协商所发送报文的类型。 00001： IEEE 802.3	RO	00001b

10.2.18.7 PHY x自动协商扩展寄存器 (PHY_AN_EXP_x)

索引（十进制）：6

大小：16位

该读/写寄存器用于链路伙伴和PHY之间的自动协商过程。

位	说明	类型	默认值
15:7	保留	RO	-
6	接收下一页存储单元的能力 0 = 不由bit 6.5指定接收的下一页存储单元 1 = 由bit 6.5指定接收的下一页存储单元	RO	1b
5	接收的下一页存储单元 0 = 链路伙伴下一页存储在PHY x自动协商链路伙伴基本页面能力寄存器 (PHY_AN_LP_BASE_ABILITY_x) (PHY寄存器5) 中 1 = 链路伙伴下一页存储在PHY x自动协商下一页接收寄存器 (PHY_AN_NP_RX_x) (PHY寄存器8) 中	RO	1b
4	并行检测故障 该位指示是否检测到并行检测故障。 0: 未通过并行检测功能检测到故障 1: 通过并行检测功能检测到故障	RO/LH	0b
3	链路伙伴下一页的能力 该位指示链路伙伴是否具有下一页的能力。 0: 链路伙伴不包含下一页能力 1: 链路伙伴包含下一页能力	RO	0b
2	下一页的能力 该位指示本地设备是否具有下一页的能力。 0: 本地器件不包含下一页能力 1: 本地器件包含下一页能力	RO	1b
1	接收到页面 该位指示新页面的接收情况。 0: 未接收到新页面 1: 已接收到新页面	RO/LH	0b
0	链路伙伴自动协商能力 该位指示链路伙伴的自动协商能力。 0: 链路伙伴不能自动协商 1: 链路伙伴能够自动协商	RO	0b

10.2.18.8 PHY x自动协商下一页发送寄存器 (PHY AN NP TX x)

索引（十进制）：[7](#)

大小： 16位

位	说明	类型	默认值
15	下一页 0 = 无下一页能力 1 = 有下一页能力	R/W	0b
14	保留	RO	-
13	报文页面 0 = 未格式化的页面 1 = 报文页面	R/W	1b
12	应答2 0 = 器件无法符合报文要求 1 = 器件符合报文要求	R/W	0b
11	翻转 0 = 前一个值为高电平 1 = 前一个值为低电平	RO	0b
10:0	报文代码 报文/未格式化的代码位域	R/W	000 0000 0001b

10.2.18.9 PHY x自动协商下一页接收寄存器 (PHY_AN_NP_RX_x)

索引（十进制）：[8](#)

大小： 16位

位	说明	类型	默认值
15	下一页 0 = 无下一页能力 1 = 有下一页能力	RO	0b
14	应答 0 = 尚未从伙伴接收链路代码字 1 = 已从伙伴接收链路代码字	RO	0b
13	报文页面 0 = 未格式化的页面 1 = 报文页面	RO	0b
12	应答2 0 = 器件无法符合报文要求 1 = 器件符合报文要求	RO	0b
11	翻转 0 = 前一个值为高电平 1 = 前一个值为低电平	RO	0b
10:0	报文代码 报文/未格式化的代码位域	RO	000 0000 0000b

10.2.18.10 PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS)

索引（十进制）：[13](#)

大小： 16位

该寄存器与**PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA)**结合使用，提供对**MDIO可管理设备 (MMD)**寄存器的间接访问。更多详细信息，请参见**MDIO可管理设备 (MMD) 寄存器 (第206页)**。

位	说明	类型	默认值
15:14	MMD功能 该位域用于选择所需MMD功能： 00 = 地址 01 = 数据，不后递增 10 = 保留 11 = 保留	R/W	00b
13:5	保留	RO	-
4:0	MMD器件地址（DEVAD） 该位域用于选择所需MMD器件地址： （3 = PCS，7 = 自动协商）	R/W	0h

10.2.18.11 PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA)

索引（十进制）：[14](#)

大小： 16位

该寄存器与**PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS)** 结合使用，提供对MDIO可管理设备 (MMD) 寄存器的间接访问。更多详细信息，请参见**MDIO可管理设备 (MMD) 寄存器 (第206页)**。

位	说明	类型	默认值
15:0	MMD寄存器地址/数据 如果 PHY x MMD访问控制寄存器（PHY_MMD_ACCESS） 的 MMD功能位域 为“00”，则此位域用于指示 MMD器件地址（DEVAD） 位域中所指定器件的要读/写的MMD寄存器地址。否则，该寄存器用于读/写先前指定的MMD地址中的数据。	R/W	0000h

10.2.18.12 PHY x EDPD NLP/交叉时间/EEE配置寄存器 (PHY_EDPD_CFG_x)

索引（十进制）：16

大小：16位

该寄存器用于使能PHY的节能以太网（Energy Efficient Ethernet，EEE）功能并控制PHY的NLP脉冲生成和Auto-MDIX交叉时间。

位	说明	类型	默认值
15	EDPD TX NLP使能 使能在能量检测掉电模式下生成具有可选择间隔的常规链路脉冲（Normal Link Pulse，NLP）。0 = 禁止，1 = 使能。 需要将PHY x模式控制/状态寄存器（PHY_MODE_CONTROL_STATUS_x）的能量检测掉电（EDPWRDOWN）位置1以进入能量检测掉电模式，并且PHY需要处于能量检测掉电状态以使该位生成NLP。 将此位置1时，还需将该寄存器的EDPD TX NLP独立模式位置1。	R/W NASR 注9	0b
14:13	EDPD TX NLP间隔定时器选择 指定处于能量检测掉电状态时，发送NLP的频率。 00b: 1s 01b: 768 ms 10b: 512 ms 11b: 256 ms	R/W NASR 注9	00b
12	EDPD RX单个NLP唤醒使能 置1时，接收单个常规链路脉冲后PHY将唤醒。清零时，PHY需要下面指定间隔内的两个链路脉冲以便唤醒。 连接到“绿色”网络器件时，建议使用单个NLP唤醒模式。	R/W NASR 注9	0b
11:10	EDPD RX NLP最大间隔检测选择 这两位用于指定可被视为有效唤醒信号的两个连续常规链路脉冲之间的最大时间间隔。 00b: 64 ms 01b: 256 ms 10b: 512 ms 11b: 1s	R/W NASR 注9	00b
9:4	保留	RO	-
3	EDPD TX NLP独立模式 置1时，每个PHY端口独立检测掉电情况，以实现EDPD TX NLP功能（通过该寄存器的EDPD TX NLP使能位）。清零时，两个端口均需要处于掉电状态，以便在能量检测掉电期间产生TX NLP。 置1 EDPD TX NLP使能位时，通常会将该位置1。	R/W NASR 注9	0b

位	说明	类型	默认值
2	PHY节能以太网使能（PHYEEEEN） 置1时，使能PHY中的节能以太网（EEE）操作。清零时，禁止EEE操作。EtherCAT不使用EEE。	R/W NASR 注9	0b 注10
1	EDPD延长交叉 处于能量检测掉电（Energy Detect Power-Down，EDPD）模式下（ 能量检测掉电（EDPWRDOWN） = 1）时，将该位置1以将交叉时间延长2976 ms。 0 = 禁止交叉时间延长 1 = 使能交叉时间延长（2976 ms）	R/W NASR 注9	0b
0	延长手动10/100 Auto-MDIX交叉时间 禁止自动协商时，将该位置1以将Auto-MDIX交叉时间延长32个采样时间（32 * 62 ms = 1984 ms）。这样便可与已使能自动协商能力的伙伴PHY建立链路。 使能自动协商时，该位不起作用。 建议在禁止已使能Auto-MDIX功能的AN时将该位置1。	R/W NASR 注9	1b

注9： 通过[复位控制寄存器（RESET_CTL）](#)产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在[PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）](#)的软复位（PHY_SRST）位置1时适用。

注10： EtherCAT不使用EEE。

10.2.18.13 PHY x模式控制/状态寄存器 (PHY_MODE_CONTROL_STATUS_x)索引（十进制）：[17](#)

大小：16位

该读/写寄存器用于控制和监视各种PHY配置选项。

位	说明	类型	默认值
15:14	保留	RO	-
13	能量检测掉电 (EDPWRDOWN) 该位控制能量检测掉电模式。 0：禁止能量检测掉电 1：使能能量检测掉电 注： 处于EDPD模式时，可以通过 PHY x EDPD NLP/交叉时间/EEE配置寄存器 (PHY_EDPD_CFG_x) 修改器件的NLP特性。	R/W	0b
12:7	保留	RO	-
6	ALTINT 备用中断模式： 0 = 使能主要中断系统（默认值） 1 = 使能备用中断系统 更多信息，请参见 第10.2.8节“PHY中断”（第160页） 。	R/W NASR 注11	0b
5:2	保留	RO	-
1	能量开启 (ENERGYON) 指示是否检测到能量。如果在256 ms内未检测到有效能量（如果使能了自动协商，则为1500 ms），则该位变为“0”。通过硬件复位或软件复位（如果已使能或将要通过配置脚使能自动协商）将其复位为“1”。更多信息，请参见 第10.2.9.2节“能量检测掉电”（第163页） 。	RO	1b
0	保留	RO	-

注11： 通过[复位控制寄存器 \(RESET_CTL\)](#) 产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在[PHY x基本控制寄存器 \(PHY_BASIC_CONTROL_x\)](#) 的软复位 ([PHY_SRST](#)) 位置1时适用。

10.2.18.17 PHY x符号错误计数器寄存器

索引（十进制）：[26](#) 大小：16位

位	说明	类型	默认值
15:0	符号错误计数器（SYM_ERR_CNT） 该100BASE-TX接收器端的错误计数器在接收到无效代码符号（包括空闲符号）时递增。该计数器针对每个数据包仅递增一次，即使接收的数据包中包含多个符号错误。此位域最多可计数至65,536，如果递增至超过其最大值，则计满返回0。 注： 此寄存器在复位时清零，但是读取该寄存器不会将其清零。它在10BASE-T模式下不递增。	RO	0000h

10.2.18.19 PHY x线缆长度寄存器 (PHY_CABLE_LEN_x)

索引（十进制）：[28](#)

大小：16位

位	说明	类型	默认值
15:12	线缆长度 (CBLN) 此四位值指示线缆长度。有关此位域用法的更多信息，请参见第10.2.13.2节“匹配的线缆诊断”（第171页）。 注： 此位域指示线缆没有开路/短路情况的100BASE-TX链路设备的线缆长度。要确定线缆的开路/短路状态，必须使用PHY x TDR模式/延时控制寄存器（PHY_TDR_PAT_DELAY_x）和PHY x TDR控制/状态寄存器（PHY_TDR_CONTROL_STAT_x）。10BASE-T链路不支持线缆长度。更多信息，请参见第10.2.13节“线缆诊断”（第168页）。	RO	0000b
11:0	保留——写为100000000000b，读取时忽略	R/W	-

10.2.18.20 PHY x中断源标志寄存器 (PHY_INTERRUPT_SOURCE_x)

索引（十进制）：29

大小：16位

此只读寄存器用于确定各种PHY中断源。此寄存器中的所有中断源位均为只读位，并在检测到相应中断（如果已允许）时锁存高电平。读此寄存器会清除中断。这些中断通过PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x) 来使能或屏蔽。

位	说明	类型	默认值
15:9	保留	RO	-
9	INT9 此中断源位指示链路接通（链路状态置为有效）。 0：不是中断源 1：链路接通（链路状态置为有效）	RO/LH	0b
8	INT8 0：不是中断源 1：检测到LAN唤醒（WoL）事件	RO/LH	0b
7	INT7 此中断源位指示何时PHYx模式控制/状态寄存器 (PHY_MODE_CONTROL_STATUS_x) 的能量开启 (ENERGYON) 位被置1。 0：不是中断源 1：产生ENERGYON	RO/LH	0b
6	INT6 此中断源位指示自动协商完成。 0：不是中断源 1：自动协商完成	RO/LH	0b
5	INT5 此中断源位指示检测到远程故障。 0：不是中断源 1：检测到远程故障	RO/LH	0b
4	INT4 此中断源位指示链路中断（链路状态置为无效）。 0：不是中断源 1：链路中断（链路状态置为无效）	RO/LH	0b
3	INT3 此中断源位指示自动协商LP应答。 0：不是中断源 1：自动协商LP应答	RO/LH	0b

位	说明	类型	默认值
2	INT2 此中断源位指示并行检测故障。 0: 不是中断源 1: 并行检测故障	RO/LH	0b
1	INT1 此中断源位用于指示已接收到自动协商页面。 0: 不是中断源 1: 接收到自动协商页面	RO/LH	0b
0	保留	RO	-

10.2.18.21 PHY x中断屏蔽寄存器 (PHY_INTERRUPT_MASK x)

索引（十进制）：[30](#)

大小：16位

此读/写寄存器用于允许或屏蔽各种PHY中断并与PHY x中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）配合使用。

位	说明	类型	默认值
15:10	保留	RO	-
9	INT9_MASK 此中断屏蔽位允许/屏蔽链路接通（链路状态置为有效）中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
8	INT8_MASK 此中断屏蔽位允许/屏蔽WoL中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
7	INT7_MASK 此中断屏蔽位允许/屏蔽ENERGYON中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
6	INT6_MASK 此中断屏蔽位允许/屏蔽自动协商中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
5	INT5_MASK 此中断屏蔽位允许/屏蔽远程故障中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
4	INT4_MASK 此中断屏蔽位允许/屏蔽链路中断（链接状态置为无效）中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
3	INT3_MASK 此中断屏蔽位允许/屏蔽自动协商LP应答中断。 0：屏蔽中断源 1：允许中断源	R/W	0b

位	说明	类型	默认值
2	INT2_MASK 此中断屏蔽位允许/屏蔽并行检测故障中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
1	INT1_MASK 此中断屏蔽位允许/屏蔽接收自动协商页面中断。 0：屏蔽中断源 1：允许中断源	R/W	0b
0	保留	RO	-

10.2.18.22 PHY x特殊控制/状态寄存器 (PHY_SPECIAL_CONTROL_STATUS x)

索引（十进制）：[31](#)

大小：16位

此读/写寄存器用于控制和监视PHY的各种选项。

位	说明	类型	默认值																		
15:13	保留	RO	-																		
12	自动完成 此位指示PHY上的自动协商状态。 0: 自动协商未完成、已禁止或未激活 1: 自动协商完成	RO	0b																		
11:5	保留——写为0000010b，读取时忽略	R/W	0000010b																		
4:2	速度指示 此位域指示当前PHY的速度配置。 <table><tr><th>状态</th><th>说明</th></tr><tr><td>000</td><td>保留</td></tr><tr><td>001</td><td>10BASE-T半双工</td></tr><tr><td>010</td><td>100BASE-TX半双工</td></tr><tr><td>011</td><td>保留</td></tr><tr><td>100</td><td>保留</td></tr><tr><td>101</td><td>10BASE-T全双工</td></tr><tr><td>110</td><td>100BASE-TX全双工</td></tr><tr><td>111</td><td>保留</td></tr></table>	状态	说明	000	保留	001	10BASE-T半双工	010	100BASE-TX半双工	011	保留	100	保留	101	10BASE-T全双工	110	100BASE-TX全双工	111	保留	RO	XXXb
状态	说明																				
000	保留																				
001	10BASE-T半双工																				
010	100BASE-TX半双工																				
011	保留																				
100	保留																				
101	10BASE-T全双工																				
110	100BASE-TX全双工																				
111	保留																				
1:0	保留	RO	0b																		

MDIO可管理设备（MMD）寄存器

该器件的MMD寄存器遵循IEEE 802.3-2008 45.2 MDIO接口寄存器规范。MMD寄存器不进行存储器映射。这些寄存器通过PHY x MMD访问控制寄存器（PHY_MMD_ACCESS）和PHY x MMD访问地址/数据寄存器（PHY_MMD_ADDR_DATA）进行间接访问。支持的MMD器件地址为3（PCS）、7（自动协商）和30（供应商特定）。表10-15 “MMD寄存器” 详细介绍了每个MMD器件内支持的寄存器。

表10-15: MMD寄存器

MMD器件地址 (十进制)	索引 (十进制)	寄存器名称
3（PCS）	0	PHY x PCS控制1寄存器（PHY_PCS_CTL1_x）
	1	PHY x PCS状态1寄存器（PHY_PCS_STAT1_x）
	5	PHY x PCS MMD器件存在1寄存器（PHY_PCS_MMD_PRESENT1_x）
	6	PHY x PCS MMD器件存在2寄存器（PHY_PCS_MMD_PRESENT2_x）
	20	PHY x EEE功能寄存器（PHY_EEE_CAP_x）
	22	PHY x EEE唤醒错误寄存器（PHY_EEE_WAKE_ERR_x）
	32784	PHY x唤醒控制和状态寄存器（PHY_WUCSR_x）
	32785	PHY x唤醒过滤器配置寄存器A（PHY_WUF_CFGA_x）
	32786	PHY x唤醒过滤器配置寄存器B（PHY_WUF_CFGB_x）
	32801	PHY x唤醒过滤器字节掩码寄存器（PHY_WUF_MASK_x）
	32802	
	32803	
	32804	
	32805	
	32806	
	32807	
	32808	
	32865	PHY x MAC接收地址A寄存器（PHY_RX_ADDRA_x）
	32866	PHY x MAC接收地址B寄存器（PHY_RX_ADDRB_x）
	32867	PHY x MAC接收地址C寄存器（PHY_RX_ADDR_C_x）
7 (自动协商)	5	PHY x自动协商MMD器件存在1寄存器（PHY_AN_MMD_PRESENT1_x）
	6	PHY x自动协商MMD器件存在2寄存器（PHY_AN_MMD_PRESENT2_x）
	60	PHY x EEE通告寄存器（PHY_EEE_ADV_x）
	61	PHY x EEE链路伙伴通告寄存器（PHY_EEE_LP_ADV_x）

表10-15: MMD寄存器 (续)

MMD器件地址 (十进制)	索引 (十进制)	寄存器名称
30 (供应商特定)	2	PHY x供应商特定MMD 1器件ID 1寄存器 (PHY_VEND_SPEC_MMD1_DEVID1_x)
	3	PHY x供应商特定MMD 1器件ID 2寄存器 (PHY_VEND_SPEC_MMD1_DEVID2_x)
	5	PHY x供应商特定MMD 1器件存在1寄存器 (PHY_VEND_SPEC_MMD1_PRESENT1_x)
	6	PHY x供应商特定MMD 1器件存在2寄存器 (PHY_VEND_SPEC_MMD1_PRESENT2_x)
	8	PHY x供应商特定MMD 1状态寄存器 (PHY_VEND_SPEC_MMD1_STAT_x)
	14	PHY x供应商特定MMD 1封装ID 1寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID1_x)
	15	PHY x供应商特定MMD 1封装ID 2寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID2_x)
	16	PHY x平均分割器误差寄存器 (PHY_MEAN_ERR_x)
	17	PHY x DCQ均方误差寄存器 (PHY_DCQ_MSE_x)
	18	PHY x最差情况DCQ均方误差寄存器 (PHY_DCQ_MSE_WC_x)
	19	PHY x DCQ SQI寄存器 (PHY_DCQ_SQI_x)
	20	PHY x DCQ峰值MSE寄存器 (PHY_DCQ_PEAK_MSE_x)
	21	PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x)
	22	PHY x DCQ配置寄存器 (PHY_DCQ_CFG_x)
	23-29	PHY x DCQ SQI表寄存器 (PHY_DCQ_SQI_TBL_x)

要读或写MMD寄存器，必须遵循以下步骤：

1. 向PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS) 的MMD功能位域写入00b (地址)，并向MMD器件地址 (DEVAD) 位域写入所需MMD器件 (PCS为3，自动协商为7)。
2. 向PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA) 写入所需MMD寄存器的16位地址以在先前选定的MMD器件 (PCS或自动协商) 内进行读/写。
3. 向PHY x MMD访问控制寄存器 (PHY_MMD_ACCESS) 的MMD功能位域写入01b (数据)，并为MMD器件地址 (DEVAD) 位域选择先前选定的MMD器件 (PCS为3，自动协商为7)。
4. 进行读操作时，读取包含所选MMD寄存器内容的PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA)。进行写操作时，向PHY x MMD访问地址/数据寄存器 (PHY_MMD_ADDR_DATA) 写入用于先前选定MMD寄存器的寄存器内容。

除非另外说明，否则写入寄存器时保留的位域必须写入0。

10.2.18.23 PHY x PCS控制1寄存器 (PHY_PCS_CTL1_x)

索引 (十进制): 3.0

大小：16位

位	说明	类型	默认值
15:0	保留	RO	-

10.2.18.24 PHY x PCS状态1寄存器 (PHY_PCS_STAT1_x)

索引 (十进制): 3.1

大小：16位

位	说明	类型	默认值
15:0	保留	RO	-

10.2.18.25 PHY x PCS MMD器件存在1寄存器 (PHY_PCS_MMD_PRESENT1_x)

索引 (十进制): 3.5

大小： 16位

位	说明	类型	默认值
15:8	保留	RO	-
7	自动协商存在 0 = 封装中不存在自动协商 1 = 封装中存在自动协商	RO	1b
6	TC存在 0 = 封装中不存在TC 1 = 封装中存在TC	RO	0b
5	DTE XS存在 0 = 封装中不存在DTE XS 1 = 封装中存在DTE XS	RO	0b
4	PHY XS存在 0 = 封装中不存在PHY XS 1 = 封装中存在PHY XS	RO	0b
3	PCS存在 0 = 封装中不存在PCS 1 = 封装中存在PCS	RO	1b
2	WIS存在 0 = 封装中不存在WIS 1 = 封装中存在WIS	RO	0b
1	PMD/PMA存在 0 = 封装中不存在PMD/PMA 1 = 封装中存在PMD/PMA	RO	0b
0	第22条寄存器存在 0 = 封装中不存在第22条寄存器 1 = 封装中存在第22条寄存器	RO	0b

10.2.18.26 PHY x PCS MMD器件存在2寄存器（PHY_PCS_MMD_PRESENT2_x）

索引（十进制）：3.6

大小：16位

位	说明	类型	默认值
15	供应商特定器件2存在 0 = 封装中不存在供应商特定器件2 1 = 封装中存在供应商特定器件2	RO	0b
14	供应商特定器件1存在 0 = 封装中不存在供应商特定器件1 1 = 封装中存在供应商特定器件1	RO	1b
13	第22条扩展存在 0 = 封装中不存在第22条扩展 1 = 封装中存在第22条扩展	RO	0b
12:0	保留	RO	-

10.2.18.27 PHY x EEE功能寄存器 (PHY_EEE_CAP_x)

索引（十进制）：3.20

大小：16位

位	说明	类型	默认值
15:7	保留	RO	-
6	10GBASE-KR EEE 0 = 不支持10GBASE-KR EEE 1 = 支持10GBASE-KR EEE 注： 该器件不支持该模式。	RO	0b
5	10GBASE-KX4 EEE 0 = 不支持10GBASE-KX4 EEE 1 = 支持10GBASE-KX4 EEE 注： 该器件不支持该模式。	RO	0b
4	10GBASE-KX EEE 0 = 不支持10GBASE-KX EEE 1 = 支持10GBASE-KX EEE 注： 该器件不支持该模式。	RO	0b
3	10GBASE-T EEE 0 = 不支持10GBASE-T EEE 1 = 支持10GBASE-T EEE 注： 该器件不支持该模式。	RO	0b
2	1000BASE-T EEE 0 = 不支持1000BASE-T EEE 1 = 支持1000BASE-T EEE 注： 该器件不支持该模式。	RO	0b
1	100BASE-TX EEE 0 = 不支持100BASE-TX EEE 1 = 支持100BASE-TX EEE	RO	0b
0	保留	RO	-

10.2.18.28 PHY x EEE唤醒错误寄存器 (PHY_EEE_WAKE_ERR_x)

索引 (十进制): 3.22

大小：16位

位	说明	类型	默认值
15:0	EEE唤醒错误计数器 该计数器在读取时清零，在溢出时保持为全1。	RO/RC	0000h

10.2.18.29 PHY x唤醒控制和状态寄存器 (PHY_WUCSR_x)

索引（十进制）：3.32784

大小：16位

位	说明	类型	默认值
15:9	保留	RO	-
8	已配置WoL 配置WoL寄存器后可以通过软件将该位置1。该粘住位（以及所有其他WoL相关寄存器位）只能通过掉电重启或引脚复位进行复位，这样在发生WoL事件后，软件可以跳过对WoL寄存器的重新编程。 注： 更多信息，请参见第10.2.10节“LAN唤醒（WoL）”（第163页）。	R/W/ NASR 注18	0b
7	接收到理想DA帧 (PFDA_FR) 接收到具有与物理地址匹配的目标地址的有效帧时，PHY将该位置1。	R/W1C/ NASR 注18	0b
6	接收到远程唤醒帧 (WUFR) 接收到有效的远程唤醒帧时，PHY将该位置1。	R/W1C/ NASR 注18	0b
5	接收到魔术包 (MPR) 接收到有效的魔术包时，PHY将该位置1。	R/W1C/ NASR 注18	0b
4	接收到广播帧 (BCAST_FR) 接收到有效的广播帧时，PHY将该位置1。	R/W1C/ NASR 注18	0b
3	理想DA唤醒使能 (PFDA_EN) 置1时，使能远程唤醒模式，并且PHY可以在接收到具有与器件物理地址相匹配目标地址的帧时唤醒。物理地址存储在PHY x MAC接收地址A寄存器 (PHY_RX_ADDRA_x)、PHY x MAC接收地址B寄存器 (PHY_RX_ADDRB_x) 和PHY x MAC接收地址C寄存器 (PHY_RX_ADDRRC_x) 中。	R/W/ NASR 注18	0b
2	唤醒帧使能 (WUEN) 置1时，使能远程唤醒模式，并且PHY能够检测在唤醒过滤器中编程的唤醒帧。	R/W/ NASR 注18	0b
1	魔术包使能 (MPEN) 置1时，使能魔术包唤醒模式。	R/W/ NASR 注18	0b
0	广播唤醒使能 (BCST_EN) 置1时，使能远程唤醒模式，并且PHY能够由广播帧唤醒。	R/W/ NASR 注18	0b

注18： 通过复位控制寄存器 (RESET_CTL) 产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时适用。

10.2.18.30 PHY x唤醒过滤器配置寄存器A (PHY_WUF_CFGA_x)

索引（十进制）： 3.32785 大小： 16位

位	说明	类型	默认值
15	过滤器使能 0 = 禁止过滤器 1 = 使能过滤器	R/W/ NASR 注19	0b
14	过滤器触发 0 = 不触发过滤器 1 = 触发过滤器	R/W1C/ NASR 注19	0b
13:11	保留	RO	-
10	地址匹配使能 置1时，目标地址必须与编程的地址相匹配。清零时，接受任何单播包。更多信息，请参见 第10.2.10.4节“唤醒帧检测”（第165页） 。	R/W/ NASR 注19	0b
9	过滤任意多播使能 置1时，除广播外的任何多播数据包都将引起地址匹配。更多信息，请参见 第10.2.10.4节“唤醒帧检测”（第165页） 。 注： 该位的优先级高于该寄存器的bit 10。	R/W/ NASR 注19	0b
8	过滤广播使能 置1时，任何广播帧都将引起地址匹配。更多信息，请参见 第10.2.10.4节“唤醒帧检测”（第165页） 。 注： 该位的优先级高于该寄存器的bit 10。	R/W/ NASR 注19	0b
7:0	过滤模式偏移量 指定帧中第一个字节的偏移量，从该帧开始进行CRC校验以进行唤醒帧识别。偏移量0是传入帧目标地址的第一个字节。	R/W/ NASR 注19	00h

注19： 通过[复位控制寄存器（RESET_CTL）](#)产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在[PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）](#)的软复位（PHY_SRST）位置1时适用。

10.2.18.31 PHY x唤醒过滤器配置寄存器B (PHY_WUF_CFGB_x)

索引 (十进制): 3.32786

大小：16位

位	说明	类型	默认值
15:0	过滤器CRC-16 此位域为过滤器指定预期的16位CRC值，应通过为过滤器编程的模式偏移量和字节掩码计算该值。该值与根据传入帧计算的CRC进行比较，若匹配则表示接收到唤醒帧。	R/W/ NASR 注20	0000h

注20: 通过复位控制寄存器 (RESET_CTL) 产生PHY复位时, 指定为NASR的寄存器位将复位。NASR指定仅在PHY x基本控制寄存器 (PHY_BASIC_CONTROL_x) 的软复位 (PHY_SRST) 位置1时适用。

10.2.18.32 PHY x唤醒过滤器字节掩码寄存器 (PHY_WUF_MASK_x)

索引（十进制）：3.32801

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[127:112]	R/W/ NASR 注21	0000h

索引（十进制）：3.32802

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[111:96]	R/W/ NASR 注21	0000h

索引（十进制）：3.32803

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[95:80]	R/W/ NASR 注21	0000h

索引（十进制）：3.32804

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[79:64]	R/W/ NASR 注21	0000h

索引（十进制）：3.32805

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[63:48]	R/W/ NASR 注21	0000h

索引（十进制）：3.32806

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[47:32]	R/W/ NASR 注21	0000h

索引（十进制）：3.32807

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[31:16]	R/W/ NASR 注21	0000h

索引（十进制）：3.32808

大小：16位

位	说明	类型	默认值
15:0	唤醒过滤器字节掩码[15:0]	R/W/ NASR 注21	0000h

注21： 通过复位控制寄存器（RESET_CTL）产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的软复位（PHY_SRST）位置1时适用。

10.2.18.33 PHY x MAC接收地址A寄存器 (PHY_RX_ADDRA_x)

索引（十进制）：3.32865

大小：16位

位	说明	类型	默认值
15:0	物理地址[47:32]	R/W/ NASR 注22	FFFFh

注22： 通过复位控制寄存器（RESET_CTL）产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的软复位（PHY_SRST）位置1时适用。

10.2.18.34 PHY x MAC接收地址B寄存器 (PHY_RX_ADDRB_x)

索引（十进制）：3.32866

大小：16位

位	说明	类型	默认值
15:0	物理地址[31:16]	R/W/ NASR 注23	FFFFh

注23： 通过复位控制寄存器（RESET_CTL）产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的软复位（PHY_SRST）位置1时适用。

10.2.18.35 PHY x MAC接收地址C寄存器 (PHY_RX_ADDRC_x)

索引（十进制）：3.32867

大小：16位

位	说明	类型	默认值
15:0	物理地址[15:0]	R/W/ NASR 注24	FFFFh

注24： 通过复位控制寄存器（RESET_CTL）产生PHY复位时，指定为NASR的寄存器位将复位。NASR指定仅在PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）的软复位（PHY_SRST）位置1时适用。

10.2.18.36 PHY x自动协商MMD器件存在1寄存器（PHY_AN_MMD_PRESENT1_x）

索引（十进制）：7.5

大小：16位

位	说明	类型	默认值
15:8	保留	RO	-
7	自动协商存在 0 = 封装中不存在自动协商 1 = 封装中存在自动协商	RO	1b
6	TC存在 0 = 封装中不存在TC 1 = 封装中存在TC	RO	0b
5	DTE XS存在 0 = 封装中不存在DTE XS 1 = 封装中存在DTE XS	RO	0b
4	PHY XS存在 0 = 封装中不存在PHY XS 1 = 封装中存在PHY XS	RO	0b
3	PCS存在 0 = 封装中不存在PCS 1 = 封装中存在PCS	RO	1b
2	WIS存在 0 = 封装中不存在WIS 1 = 封装中存在WIS	RO	0b
1	PMD/PMA存在 0 = 封装中不存在PMD/PMA 1 = 封装中存在PMD/PMA	RO	0b
0	第22条寄存器存在 0 = 封装中不存在第22条寄存器 1 = 封装中存在第22条寄存器	RO	0b

10.2.18.37 PHY x自动协商MMD器件存在2寄存器 (PHY_AN_MMD_PRESENT2_x)

索引 (十进制): 7.6

大小：16位

位	说明	类型	默认值
15	供应商特定器件2存在 0 = 封装中不存在供应商特定器件2 1 = 封装中存在供应商特定器件2	RO	0b
14	供应商特定器件1存在 0 = 封装中不存在供应商特定器件1 1 = 封装中存在供应商特定器件1	RO	1b
13	第22条扩展存在 0 = 封装中不存在第22条扩展 1 = 封装中存在第22条扩展	RO	0b
12:0	保留	RO	-

10.2.18.38 PHY x EEE通告寄存器 (PHY_EEE_ADV_x)

索引 (十进制): 7.60

大小：16位

位	说明	类型	默认值
15:2	保留	RO	-
1	100BASE-TX EEE 0 = 不通告100BASE-TX EEE功能。 1 = 通告100BASE-TX EEE功能。	注25	0b 注26
0	保留	RO	-

注25: 此位是读/写 (R/W) 位。但是, 如果禁止EEE, 用户不得将此位置1。

注26: EtherCAT不使用EEE。

10.2.18.39 PHY x EEE链路伙伴通告寄存器 (PHY_EEE_LP_ADV_x)

索引（十进制）：7.61

大小：16位

位	说明	类型	默认值
15:7	保留	RO	-
6	10GBASE-KR EEE 0 = 链路伙伴不通告10GBASE-KR EEE功能。 1 = 链路伙伴通告10GBASE-KR EEE功能。 注： 该器件不支持该模式。	RO	0b
5	10GBASE-KX4 EEE 0 = 链路伙伴不通告10GBASE-KX4 EEE功能。 1 = 链路伙伴通告10GBASE-KX4 EEE功能。 注： 该器件不支持该模式。	RO	0b
4	10GBASE-KX EEE 0 = 链路伙伴不通告10GBASE-KX EEE功能。 1 = 链路伙伴通告10GBASE-KX EEE功能。 注： 该器件不支持该模式。	RO	0b
3	10GBASE-T EEE 0 = 链路伙伴不通告10GBASE-T EEE功能。 1 = 链路伙伴通告10GBASE-T EEE功能。 注： 该器件不支持该模式。	RO	0b
2	1000BASE-T EEE 0 = 链路伙伴不通告1000BASE-T EEE功能。 1 = 链路伙伴通告1000BASE-T EEE功能。 注： 该器件不支持该模式。	RO	0b
1	100BASE-TX EEE 0 = 链路伙伴不通告100BASE-TX EEE功能。 1 = 链路伙伴通告100BASE-TX EEE功能。	RO	0b
0	保留	RO	-

10.2.18.40 PHY x供应商特定MMD 1器件ID 1寄存器 (PHY_VEND_SPEC_MMD1_DEVID1_x)

索引 (十进制): 30.2

大小：16位

位	说明	类型	默认值
15:0	保留	RO	0000h

10.2.18.41 PHY x供应商特定MMD 1器件ID 2寄存器 (PHY_VEND_SPEC_MMD1_DEVID2_x)

索引 (十进制): 30.3

大小：16位

位	说明	类型	默认值
15:0	保留	RO	0000h

10.2.18.42 PHY x供应商特定MMD 1器件存在1寄存器 (PHY_VEND_SPEC_MMD1_PRESENT1_x)

索引 (十进制): 30.5

大小：16位

位	说明	类型	默认值
15:8	保留	RO	-
7	自动协商存在 0 = 封装中不存在自动协商 1 = 封装中存在自动协商	RO	1b
6	TC存在 0 = 封装中不存在TC 1 = 封装中存在TC	RO	0b
5	DTE XS存在 0 = 封装中不存在DTE XS 1 = 封装中存在DTE XS	RO	0b
4	PHY XS存在 0 = 封装中不存在PHY XS 1 = 封装中存在PHY XS	RO	0b
3	PCS存在 0 = 封装中不存在PCS 1 = 封装中存在PCS	RO	1b
2	WIS存在 0 = 封装中不存在WIS 1 = 封装中存在WIS	RO	0b
1	PMD/PMA存在 0 = 封装中不存在PMD/PMA 1 = 封装中存在PMD/PMA	RO	0b
0	第22条寄存器存在 0 = 封装中不存在第22条寄存器 1 = 封装中存在第22条寄存器	RO	0b

10.2.18.43 PHY x供应商特定MMD 1器件存在2寄存器 (PHY_VEND_SPEC_MMD1_PRESENT2_x)

索引（十进制）：30.6

大小：16位

位	说明	类型	默认值
15	供应商特定器件2存在 0 = 封装中不存在供应商特定器件2 1 = 封装中存在供应商特定器件2	RO	0b
14	供应商特定器件1存在 0 = 封装中不存在供应商特定器件1 1 = 封装中存在供应商特定器件1	RO	1b
13	第22条扩展存在 0 = 封装中不存在第22条扩展 1 = 封装中存在第22条扩展	RO	0b
12:0	保留	RO	-

10.2.18.44 PHY x供应商特定MMD 1状态寄存器 (PHY_VEND_SPEC_MMD1_STAT_x)

索引（十进制）：30.8

大小：16位

位	说明	类型	默认值
15:14	器件存在 00 = 此地址无器件响应 01 = 此地址无器件响应 10 = 此地址有器件响应 11 = 此地址无器件响应	RO	10b
13:0	保留	RO	-

10.2.18.45 PHY x供应商特定MMD 1封装ID 1寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID1_x)

索引（十进制）：30.14

大小：16位

位	说明	类型	默认值
15:0	保留	RO	0000h

10.2.18.46 PHY x供应商特定MMD 1封装ID 2寄存器 (PHY_VEND_SPEC_MMD1_PKG_ID2_x)

索引（十进制）：30.15

大小：16位

位	说明	类型	默认值
15:0	保留	RO	0000h

10.2.18.47 PHY x平均分割器误差寄存器 (PHY_MEAN_ERR_x)

索引（十进制）：30.16

大小：16位

位	说明	类型	默认值
15:0	平均分割器误差 此位域提供当前平均误差值。可提供绝对值或均方值。 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	0000h

10.2.18.48 PHY x DCQ均方误差寄存器 (PHY_DCQ_MSE_x)

索引（十进制）：30.17

大小：16位

位	说明	类型	默认值
15:10	保留	RO	-
9	MSE值有效 该位域提供均方误差有效指示。 1 = 无效 0 = 有效 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	0b
8:0	MSE值 该位域提供当前均方误差值。 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	000h

10.2.18.49 PHY x最差情况DCQ均方误差寄存器 (PHY_DCQ_MSE_WC_x)

索引（十进制）：30.18

大小：16位

位	说明	类型	默认值
15:10	保留	RO	-
9	最差情况MSE值有效 该位域提供最差情况均方误差有效指示。 1 = 无效 0 = 有效 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	0b
8:0	最差情况MSE值 该位域提供自上次捕捉通道进行读取后的最差情况均方误差值。 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	000h

10.2.18.50 PHY x DCQ SQI寄存器 (PHY_DCQ_SQI_x)

索引（十进制）：30.19

大小：16位

位	说明	类型	默认值
15:8	保留	RO	-
7:5	最差情况SQI 该位域指示自上次捕捉通道进行读取后的最差情况SQI值。 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	000b
4	保留	RO	-
3:1	SQI 该位域指示当前SQI值。 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	000b
0	保留	RO	-

10.2.18.51 PHY x DCQ峰值MSE寄存器 (PHY_DCQ_PEAK_MSE_x)

索引（十进制）：30.20

大小：16位

位	说明	类型	默认值
15:8	最差情况峰值MSE 该位域指示自上次捕捉通道进行读取后的最差情况峰值MSE值。 0-63 = 峰值MSE 64-254 = 无效 255 = 测量未就绪 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	00h
7:0	峰值MSE值 该位域提供当前峰值MSE值。 0-63 = 峰值MSE 64-254 = 无效 255 = 测量未就绪 注： 当PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x) 中的DCQ读取捕捉位写为1时，将更新该位域。	RO	00h

10.2.18.52 PHY x DCQ控制寄存器 (PHY_DCQ_CTL_x)

索引 (十进制): 30.21

大小：16位

位	说明	类型	默认值
15	DCQ读取捕捉 该位置1时，将捕捉DCQ值。	R/W SC	0b
14:2	保留	R/W	-
1:0	保留	R/W	00b

10.2.18.53 PHY x DCQ配置寄存器 (PHY_DCQ_CFG_x)

索引 (十进制): 30.22

大小： 16位

此寄存器用于配置信号质量指数功能。

位	说明	类型	默认值
15:14	scale613 峰值MSE的换算因数。 注： 此位域仅在 sqi_enable 从0变为1时生效。	R/W	00b
13:10	sqi_kp3 峰值MSE的LPF带宽控制。 注： 此位域仅在 sqi_enable 从0变为1时生效。	R/W	101b
9:8	scale611 MSE和SQI的缩放因子。 注： 此位域仅在 sqi_enable 从0变为1时生效。	R/W	00b
7	sqi_reset 置1时，SQI逻辑复位。 注： 该位不会自清零。	R/W	0b
6	sqi_squ_mode_en 0 = 绝对模式 1 = 均方模式 注： 此位域仅在 sqi_enable 从0变为1时生效。	R/W	1b
5	sqi_enable 置1时，使能SQI测量。	R/W	1b
4:0	sqi_kp MSE和SQI的LPF带宽控制。 注： 此位域仅在 sqi_enable 从0变为1时生效。	R/W	0Eh

10.2.18.54 PHY x DCQ SQI表寄存器 (PHY_DCQ_SQI_TBL_x)

索引 (十进制): 30.23-29

大小： 16位

位	说明	类型	默认值
15:9	保留	RO	-
8:0	SQI_VALUE 用于实现SQI的查找表。这些寄存器设置相应的阈值以将误差值映射到SQI值。 注： 此位域仅在 sqi_enable 从0变为1时生效。	R/W	表10-16

表10-16: 默认SQI值

寄存器	默认值（十六进制）
SQI_TBL1.SQI_VALUE	A3h
SQI_TBL2.SQI_VALUE	82h
SQI_TBL3.SQI_VALUE	67h
SQI_TBL4.SQI_VALUE	52h
SQI_TBL5.SQI_VALUE	41h
SQI_TBL6.SQI_VALUE	34h
SQI_TBL7.SQI_VALUE	29h

11.0 EtherCAT

11.1 EtherCAT功能概述

EtherCAT模块实现了一个3端口EtherCAT子设备控制器，该控制器具有8 KB双端口存储器（DPRAM）、8个同步管理器、8个现场总线存储器管理单元（FMMU）和1个64位分布式时钟。

每个端口均接收以太网帧、执行帧校验并将以太网帧转发到下一个端口。接收到帧时会生成时间戳。如果某个端口上没有链路、端口不可用或者端口的环路关闭，则该端口的环回功能会将以太网帧转发到下一个逻辑端口。端口0的环回功能将帧转发到EtherCAT处理单元。环路设置可通过EtherCAT主设备控制。

数据包按以下顺序转发：端口0->EtherCAT处理单元->端口1->端口2。

EtherCAT处理单元（EtherCAT Processing Unit，EPU）接收、分析并处理EtherCAT数据流。EtherCAT处理单元的主要用途是实现并协调对ESC的内部寄存器和存储空间访问，这两部分均可被EtherCAT主设备和本地应用寻址。主设备和子设备应用间的数据交换与双端口存储器（过程存储器）相当，并且通过一致性校验（同步管理器）和数据映射（FMMU）等特殊功能得到了增强。

每个FMMU均执行将逻辑EtherCAT系统地址按位映射到器件物理地址的任务。

同步管理器负责确保EtherCAT主设备和子设备之间的数据交换和邮箱通信的一致性。每个同步管理器的方向和工作模式由EtherCAT主设备配置。提供两种工作模式：缓冲模式或邮箱模式。在缓冲模式下，本地单片机与EtherCAT主设备可以同时写入器件。CN9053的内部缓冲区将始终包含最新数据。如果在读出旧数据之前有新数据到达，将丢弃旧数据。在邮箱模式下，本地单片机与EtherCAT主设备使用握手机制来访问缓冲区，确保不会丢失任何数据。

凭借分布式时钟（Distributed Clock，DC），可以精确同步输出信号、输入采样和事件时间戳的生成。

EtherCAT一章包含以下主要章节：

- 第11.2节“分布式时钟”（第233页）
- 第11.3节“PDI选择和配置”（第234页）
- 第11.4节“数字I/O PDI”（第235页）
- 第11.5节“SPI接口”（第237页）
- 第11.6节“主机总线接口（HBI）”（第237页）
- 第11.7节“Beckhoff SPI控制器”（第238页）
- 第11.8节“GPIO”（第238页）
- 第11.9节“用户RAM”（第238页）
- 第11.10节“EEPROM可配置寄存器”（第239页）
- 第11.11节“端口接口”（第241页）
- 第11.12节“LED”（第246页）
- 第11.13节“EtherCAT CSR和过程数据RAM访问”（第247页）
- 第11.14节“EtherCAT复位”（第254页）
- 第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）
- 第11.16节“EtherCAT内核CSR寄存器（可间接寻址）”（第264页）

EtherCAT模块由以下主要模块组成：

- EtherCAT内核——这些寄存器提供对各种交换结构参数的访问，以便进行配置和监视。
- [EtherCAT CSR和过程数据RAM访问](#)——此模块将EtherCAT内核CSR与器件的其余部分连接。
- [EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）](#)——它们提供与EtherCAT内核相关的可直接寻址系统CSR。

有关器件内EtherCAT模块互连的概述，请参见图2-2。

11.2 分布式时钟

器件支持64位分布式时钟，以下各小节将详细介绍。

11.2.1 SYNC/LATCH引脚复用

EtherCAT内核提供两个输入引脚（LATCH0和LATCH1），用于外部事件的时间戳。上升沿和下降沿时间戳均会被记录。这些引脚分别与SYNC0和SYNC1输出引脚共用，用于指示是否发生了时间事件。SYNC0/LATCH0和SYNC1/LATCH1引脚的功能分别由[同步/锁存PDI配置寄存器](#)的SYNC0/LATCH0配置和SYNC1/LATCH1配置位确定。

当设置为SYNC0/SYNC1功能时，输出类型（推挽式与漏极开路/源极）和输出极性由[同步/锁存PDI配置寄存器](#)的SYNC0输出驱动器/极性和SYNC1输出驱动器/极性位确定。

当选择SYNC0时，LATCH0可能会重新映射到备用引脚（表3-1）上，具体取决于器件配置。类似地，当选择SYNC1时，LATCH1可能会重新映射到备用引脚（表3-1）上，具体取决于器件配置。表11-1中详细介绍了此映射。

注： 如果未重新映射到备用引脚，则当SYNC0/SYNC1使能为输出时，LATCH0/LATCH1将保持低电平。

表11-1：LATCH0/1映射

信号	HBI变址寻址模式 引脚名称	HBI复用模式引脚 名称	SPI（使能GPIO） 模式引脚名称	SPI（使能MII） 模式引脚名称	数字I/O模式引脚 名称
LATCH0	保持低电平				LATCH0 重映射
LATCH1	保持低电平				LATCH1 重映射

注： [同步/锁存PDI配置寄存器](#)根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.2.2 SYNC IRQ映射

SYNC0和SYNC1状态可分别映射到AL事件请求寄存器的DC SYNC0状态和DC SYNC1状态位。SYNC0和SYNC1状态的映射分别由[同步/锁存PDI配置寄存器](#)的SYNC0映射和SYNC1映射位使能。

注： [同步/锁存PDI配置寄存器](#)根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.2.3 同步脉冲长度

SYNC0和SYNC1脉冲长度由同步信号寄存器的脉冲长度控制。同步信号寄存器的脉冲长度根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.2.4 SYNC/LATCH I/O时序要求

本节规定了SYNC0/LATCH0和SYNC1/LATCH1的输入与输出时序。

图11-1: EtherCAT® SYNC/LATCH时序图

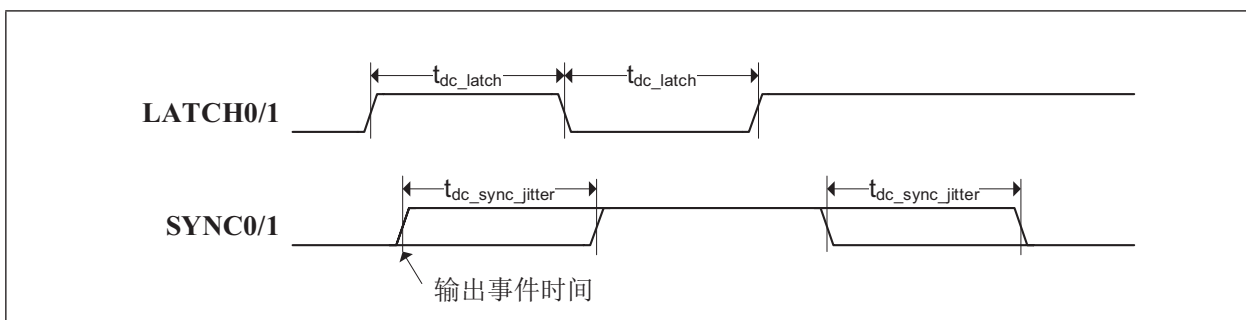


表11-2: EtherCAT® SYNC/LATCH时序值

符号	说明	最小值	典型值	最大值	单位
t_{dc_latch}	相邻两个LATCH0或LATCH1事件的间隔时间	15	-	-	ns
$t_{dc\_sync\_jitter}$	SYNC0或SYNC1输出抖动	-	-	15	ns

11.3 PDI选择和配置

器件使用的过程数据接口（Process Data Interface, PDI）由PDI控制寄存器指示。可用的PDI包括：

- **04h: 数字I/O PDI**
- **05h: Beckhoff SPI控制器**
- **80h和82h: SPI接口**
- **88h、8Ah和8Ch: 主机总线接口（HBI）**
（8位，HBI复用/变址单/双阶段）
- **89h、8Bh和8Dh: 主机总线接口（HBI）**
（16位，HBI复用/变址单/双阶段）
- **90h、92h和94h: 主机总线接口（HBI）**
（8位，HBI复用/变址单/双阶段，EtherCAT直接映射）
- **91h、93h和95h: 主机总线接口（HBI）**
（16位，HBI复用/变址单/双阶段，EtherCAT直接映射）

注： PDI控制寄存器可通过EEPROM配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

PDI控制寄存器根据EEPROM的内容进行初始化。

已使能PDI的配置由PDI配置寄存器和扩展PDI配置寄存器控制。这些寄存器的定义取决于所选的工作模式。但是，只存在一个寄存器组。

11.4 数字I/O PDI

数字I/O PDI提供16个可配置的数字I/O（**DIGIO[15:0]**）用于不带主机控制器的简单系统。**数字I/O输出数据寄存器**用于控制输出值，而**数字I/O输入数据寄存器**用于读取输入值。每2位数字I/O对可配置为输入或输出。方向由**扩展PDI配置寄存器**选择，该寄存器通过EEPROM配置（更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页））。此外，数字I/O也可以配置为双向模式，其中输出由外部驱动和锁存，然后释放，以便可以对输入数据进行采样。双向操作由**PDI配置寄存器的单向/双向模式**位选择。**PDI配置寄存器**根据EEPROM的内容进行初始化。

11.4.1 输出看门狗行为

通过配置数字输出的看门狗控制，可以指定同步管理器看门狗超时，输出是立即复位（看门狗超时后立即复位输出），还是延迟到下一个输出事件时复位（通过下一个输出事件复位输出）。此选择由**PDI配置寄存器的看门狗行为**位确定。**PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.4.2 OE_EXT输出看门狗行为

对于外部看门狗实现，可使用**WD_TRIG**（看门狗触发信号）引脚。如果触发同步管理器看门狗，则会产生一个脉冲。在这种情况下，应禁止内部同步管理器看门狗。如果外部看门狗超时，可使用**OE_EXT**引脚复位I/O信号。

PDI配置寄存器的OUTVALID模式位控制**WD_TRIG**是否映射到**OUTVALID**引脚。**PDI配置寄存器**根据EEPROM的内容进行初始化。由于有专用的**WD_TRIG**引脚，EEPROM中的该位通常设置为0。

11.4.3 输入数据采样

数字输入可配置为四种采样方式：在每个以太网帧的开头、在**LATCH_IN**引脚的上升沿、在发生分布式时钟**SYNC0**事件时或在发生分布式时钟**SYNC1**事件时。采样模式的选择由**PDI配置寄存器的输入数据采样选择**位确定。**PDI配置寄存器**根据EEPROM的内容进行初始化。

11.4.4 输出数据更新

数字输出可配置为四种更新方式：在每个以太网帧的末尾、在发生分布式时钟**SYNC0**事件时、在发生分布式时钟**SYNC1**事件时或在触发过程数据看门狗的EtherCAT帧的末尾。采样模式的选择由**PDI配置寄存器的输出数据采样选择**位确定。**PDI配置寄存器**根据EEPROM的内容进行初始化。

11.4.5 OUTVALID极性

OUTVALID引脚的输出极性由**PDI配置寄存器的OUTVALID极性**位确定。**PDI配置寄存器**根据EEPROM的内容进行初始化。

11.4.6 数字I/O时序要求

本节规定了**DIGIO[15:0]**、**LATCH_IN**和**SOF**的输入与输出时序。

图11-2: EtherCAT®数字I/O输入时序图

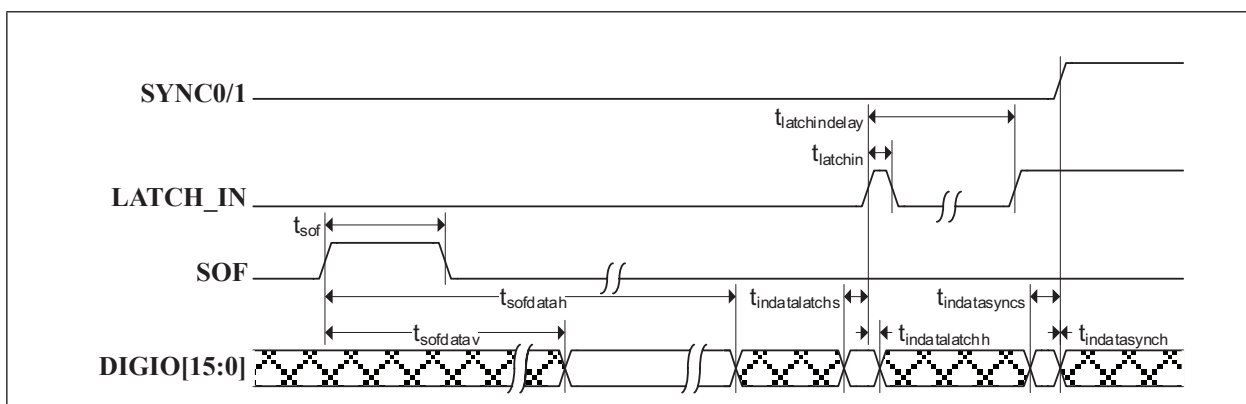


图11-3: EtherCAT®数字I/O输出时序图

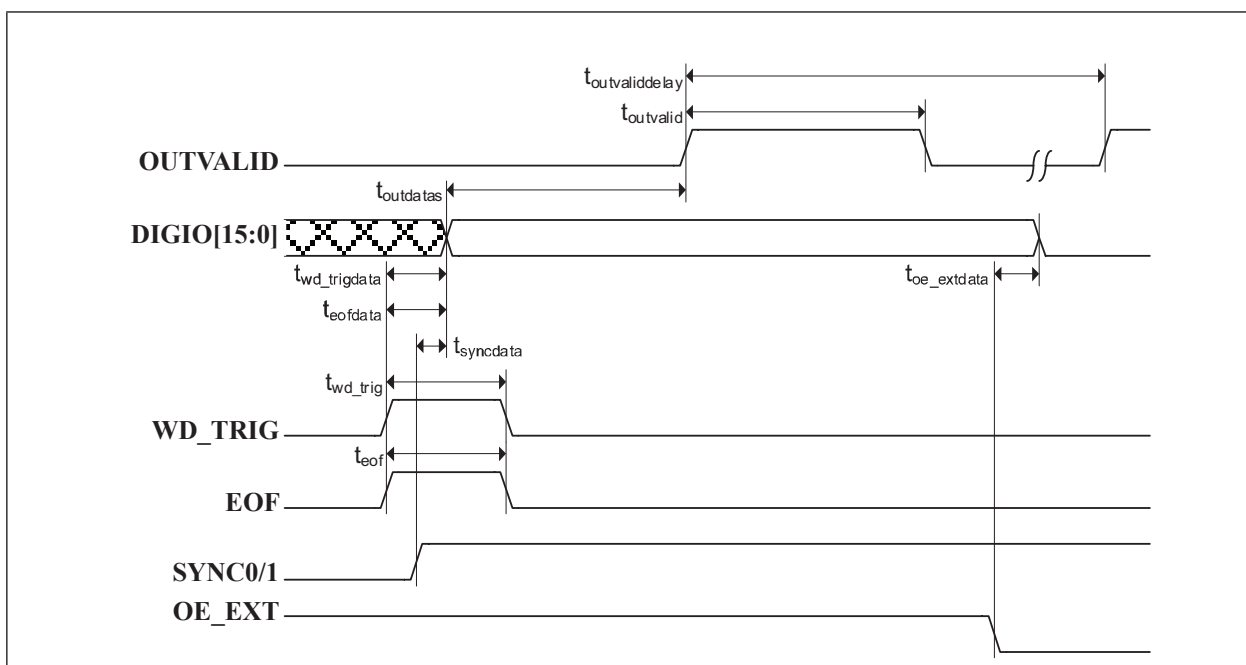


图11-4: EtherCAT®数字I/O双向时序图

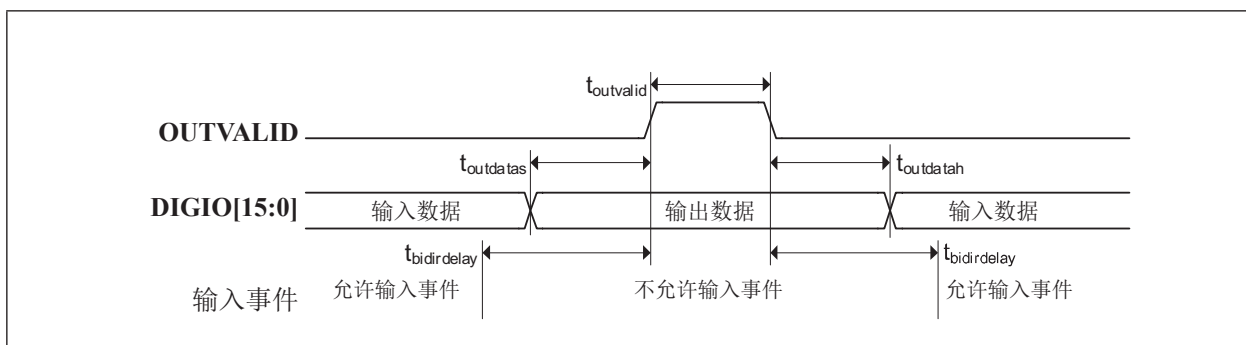


表11-3: EtherCAT®数字I/O时序值

符号	说明	最小值	典型值	最大值	单位
$t_{indatasyncs}$	从输入数据建立到 SYNC0/1 上升的时间	10	-	-	ns
$t_{indatasynch}$	SYNC0/1 上升之后输入数据的保持时间	0	-	-	ns
$t_{indatalatchs}$	从输入数据建立到 LATCH_IN 上升的时间	8	-	-	ns
$t_{indatalatchh}$	LATCH_IN 上升之后输入数据的保持时间	4	-	-	ns
$t_{latchin}$	LATCH_IN 高电平时间	8	-	-	ns
$t_{latchindelay}$	相邻两连续输入事件的间隔时间	440	-	-	ns
t_{sof}	SOF 高电平时间	35	-	45	ns
$t_{sofdatav}$	SOF 有效之后输入数据的有效时间（以便可在同一个帧中读取输入数据）	-	-	1.2	μ s
$t_{sofdatah}$	SOF 有效之后输入数据的保持时间（以便可在同一个帧中读取输入数据）	1.6	-	-	μ s
$t_{outdatas}$	从输出数据建立到 OUTVALID 上升的时间	65	-	-	ns
$t_{outdatah}$	OUTVALID 下降之后输出数据的保持时间	65	-	-	ns
$t_{outvalid}$	OUTVALID 高电平时间	75	-	85	ns
$t_{outvaliddelay}$	相邻两连续输出事件的间隔时间	320	-	-	ns
t_{eof}	EOF 高电平时间	35	-	45	ns
$t_{eofdata}$	EOF 之后输出数据的有效时间	-	-	35	ns
t_{wd_trig}	WD_TRIG 高电平时间	35	-	45	ns
$t_{wd\_trigdata}$	WD_TRIG 之后输出数据的有效时间	-	-	35	ns
$t_{syncdata}$	SYNC0/1 之后输出数据的有效时间	-	-	25	ns
$t_{oe\_extdata}$	OE_EXT 到数据低电平的时间	0	-	15	ns
$t_{bidirdelay}$	相邻两连续输入或输出事件的间隔时间	440	-	-	ns

11.5 SPI接口

该接口用于带有提供兼容SPI主机接口的主机控制器的系统。它支持EtherCAT直接映射模式。

PDI配置寄存器和**扩展PDI配置寄存器**中的值反映来自EEPROM的值。**PDI配置寄存器**中的值用于配置SPI接口。如果使能了GPIO（带GPIO的SPI），则会使用**扩展PDI配置寄存器**中的值。

PDI配置寄存器和**扩展PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.6 主机总线接口（HBI）

该接口用于带主机总线接口的系统。它支持EtherCAT直接映射模式。

PDI配置寄存器和**扩展PDI配置寄存器**中的值反映来自EEPROM的值。**PDI配置寄存器**中的值用于配置HBI。在EtherCAT直接映射模式下，**扩展PDI配置寄存器**中的值用于进一步配置HBI。

PDI配置寄存器和**扩展PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.7 Beckhoff SPI控制器

Beckhoff SPI接口用作备用SPI接口。

PDI配置寄存器中的值反映来自EEPROM中的值。**PDI配置寄存器**中的值用于配置SPI。如果使能了GPIO（带GPIO的SPI），则会使用**扩展PDI配置寄存器**中的值。

PDI配置寄存器和**扩展PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.8 GPIO

EtherCAT内核提供16个通用输入（**GPI[15:0]**）和16个通用输出（**GPO[15:0]**）。**通用输出寄存器**用于控制输出值。**通用输入寄存器**用于读取输入值。

注： 当由于芯片配置而导致GPIO不可用时，**通用输出寄存器**将保持R/W，但不起作用。当GPIO因芯片配置而不可用时，**通用输入寄存器**将返回零。

每2位GPIO对可配置为输入、推挽式输出或漏极开路输出。方向和缓冲器类型由**扩展PDI配置寄存器**确定。Bit 7:0控制GPIO对的方向（bit 0用于GPIO[1:0]，bit 1用于GPIO[3:2]，以此类推）。值1选择输出方向。Bit 15:8控制输出类型（bit 8用于GPIO[1:0]，bit 9用于GPIO[3:2]，以此类推）。值1选择漏极开路。**扩展PDI配置寄存器**根据EEPROM的内容进行初始化。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

注： **扩展PDI配置寄存器**还用于数字I/O PDI方向。但是，数字I/O模式期间不使用GPIO。

11.9 用户RAM

128字节用户RAM位于**0F80h-0FFFh**。该RAM中的默认值对于所有地址均未定义。

11.10 EEPROM可配置寄存器

以下寄存器可通过EEPROM配置。有关每位功能的详细信息，请参见相应的寄存器定义。

注： 除非另外说明，否则保留的位必须写为0。

表11-4：ETHERCAT®内核EEPROM可配置寄存器

寄存器	位	EEPROM字/[位]
PDI控制寄存器 (0140h)	[7:0] 过程数据接口 (PDI_SELECT)	0/[7:0]
ESC配置寄存器 (0141h)	[7] (未使用)	0/[15]
	[6] 增强型链路端口2	0/[14]
	[5] 增强型链路端口1	0/[13]
	[4] 增强型链路端口0	0/[12]
	[3] 分布式时钟锁存输入单元 注： Bit 3并非由EEPROM置1	-
	[2] 分布式时钟同步输出单元 注： Bit 2并非由EEPROM置1	-
	[1] 增强型链路检测所有端口	0/[9]
	[0] 器件仿真 (AL状态寄存器的控制)	0/[8]
PDI配置寄存器 (0150h) 数字I/O模式	[7:6] 输出数据采样选择	1/[7:6]
	[5:4] 输入数据采样选择	1/[5:4]
	[3] 看门狗行为	1/[3]
	[2] 单向/双向模式	1/[2]
	[1] OUTVALID模式	1/[1]
	[0] OUTVALID极性	1/[0]
PDI配置寄存器 (0150h) SPI模式	[7:3] 保留	1/[7:3]
	[2] SPI AL事件请求和INT_STS使能	1/[2]
	[1] SPI WAIT_ACK极性	1/[1]
	[0] SPI WAIT_ACK缓冲器类型	1/[0]
PDI配置寄存器 (0150h) Beckhoff SPI模式	[7:6] 保留	1/[7:6]
	[5] 数据输出采样模式	1/[5]
	[4] SCS#极性	1/[4]
	[3:2] 保留	1/[3:2]
	[1:0] SPI模式	1/[1:0]

表11-4: EtherCAT®内核EEPROM可配置寄存器 (续)

PDI配置寄存器 (0150h) HBI模式	[7] HBI ALE资格认证	1/[7]
	[6] HBI读/写模式	1/[6]
	[5] HBI片选极性	1/[5]
	[4] HBI读和读/写极性	1/[4]
	[3] HBI写和使能极性	1/[3]
	[2] HBI ALE极性	1/[2]
	[1] HBI WAIT_ACK极性	1/[1]
	[0] HBI WAIT_ACK缓冲器类型	1/[0]
同步/锁存PDI配置寄存器 (0151h)	[7] SYNC1映射	1/[15]
	[6] SYNC1/LATCH1配置	1/[14]
	[5:4] SYNC1输出驱动器/极性	1/[13:12]
	[3] SYNC0映射	1/[11]
	[2] SYNC0/LATCH0配置	1/[10]
	[1:0] SYNC0输出驱动器/极性	1/[9:8]
同步信号寄存器的脉冲长度 (0982h-0983h)	[15:0] 同步信号脉冲长度	2/[15:0]
扩展PDI配置寄存器 (0152h-0153h) 数字I/O模式	[15:8] 保留	3 / [15:8]
	[7:0] I/O 15-0方向	3 / [7:0]
扩展PDI配置寄存器 (0152h-0153h) 带GPIO的SPI模式	[15:8] I/O 15-0缓冲器类型	3 / [15:8]
	[7:0] I/O 15-0方向	3 / [7:0]
扩展PDI配置寄存器 (0152h-0153h) HBI模式	[15:3] 保留	3/[15:3]
	[2] HBI BE1/BE0极性	3/[2]
	[1] 执行内部写操作	3/[1]
	[0] 读WAIT_ACK消除延迟	3/[0]
已配置站别名寄存器 (0012h-0013h)	[15:0] 已配置站点别名地址	4/[15:0]
MII管理控制/状态寄存器 (0510h-0511h)	[2] MI链路检测	5/[15]
ASIC配置寄存器 (0142h-0143h)	[15] MI链路检测	
	[14] ERRLED使能	5/[14]
	[13:8] 保留	5/[13:8]
	[7] 千兆位寄存器9的MI写操作使能	5/[7]
	[6] STATE_RUNLED模式选择	5/[6]
	[5:0] 保留	5/[5:0]
保留的寄存器 (0144h-0145h)	[15:0] 保留	6/[15:0]

11.11 端口接口

11.11.1 端口0和端口2（内部PHY A或外部MII）

当**CHIP_MODE[1:0]**配置脚不等于11b（双端口模式或三端口下行模式）时，EtherCAT子设备的端口0连接至内部PHY A。当**CHIP_MODE[1:0]**配置脚等于11b（三端口上行模式）时，端口0连接至MII引脚。

当**CHIP_MODE[1:0]**配置脚等于11b（三端口上行模式）时，EtherCAT子设备的端口2连接至内部PHY A。当**CHIP_MODE[1:0]**配置脚等于10b（三端口下行模式）时，端口2连接至MII引脚。

11.11.1.1 外部MII PHY连接

外部PHY连接至MII端口，如图11-5所示。以太网PHY和EtherCAT子设备的时钟源必须相同。25 MHz输出（**MII_CLK25**）用作PHY的参考时钟。由于EtherCAT子设备不包含TX FIFO，因此PHY的TX_CLK未连接。通过使用TX偏移补偿，可以让来自EtherCAT子设备的TX信号相对于CLK25输出有所延迟，以便与由PHY的TX_CLK驱动时的时序保持一致。第11.11.7节“外部PHY时序”（第243页）对MII时序进行了说明。

以太网PHY应连接至EtherCAT子设备的**RST#**引脚，以使PHY在EtherCAT子设备就绪前保持复位。否则，远端链路伙伴会检测到来自PHY的有效链路信号，并会“打开”其端口，假定本地EtherCAT子设备就绪。

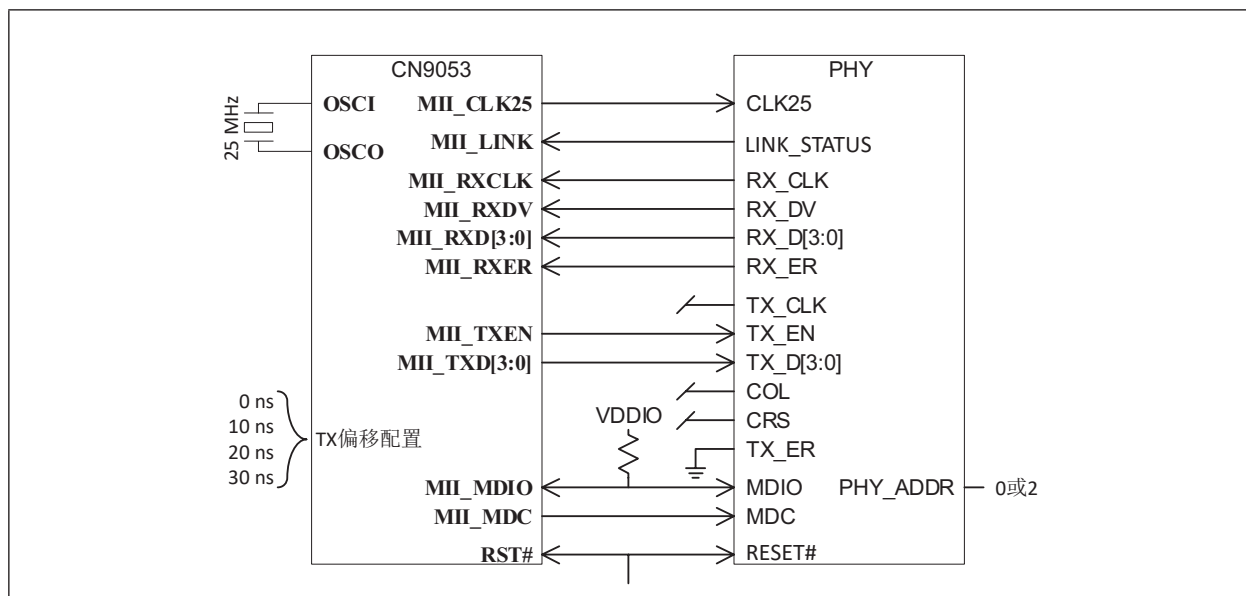
MII_MDC和**MII_MDIO**信号在EtherCAT子设备和PHY之间连接。**MII_MDIO**需要外部上拉。外部PHY的管理地址必须在**CHIP_MODE[1:0]**配置脚等于11b（三端口上行模式）时设置为0；在**CHIP_MODE[1:0]**配置脚等于10b（三端口下行模式）时设置为2。

PHY的**LINK_STATUS**是LED输出，指示100 Mbps全双工链路是否处于活动状态。EtherCAT子设备的**MII_LINK**输入的极性可配置。

由于EtherCAT在全双工模式下工作，因此PHY的COL和CRS输出未连接。

由于EtherCAT子设备从不产生发送错误，因此PHY的TX_ER输入连接至系统地。

图11-5：EtherCAT®外部PHY连接



11.11.1.2 背靠背连接

两个EtherCAT子设备可采用背靠背MII连接的方式相连，如图11-6所示。一个设备置于三端口上行模式，另一个设备置于三端口下行模式。

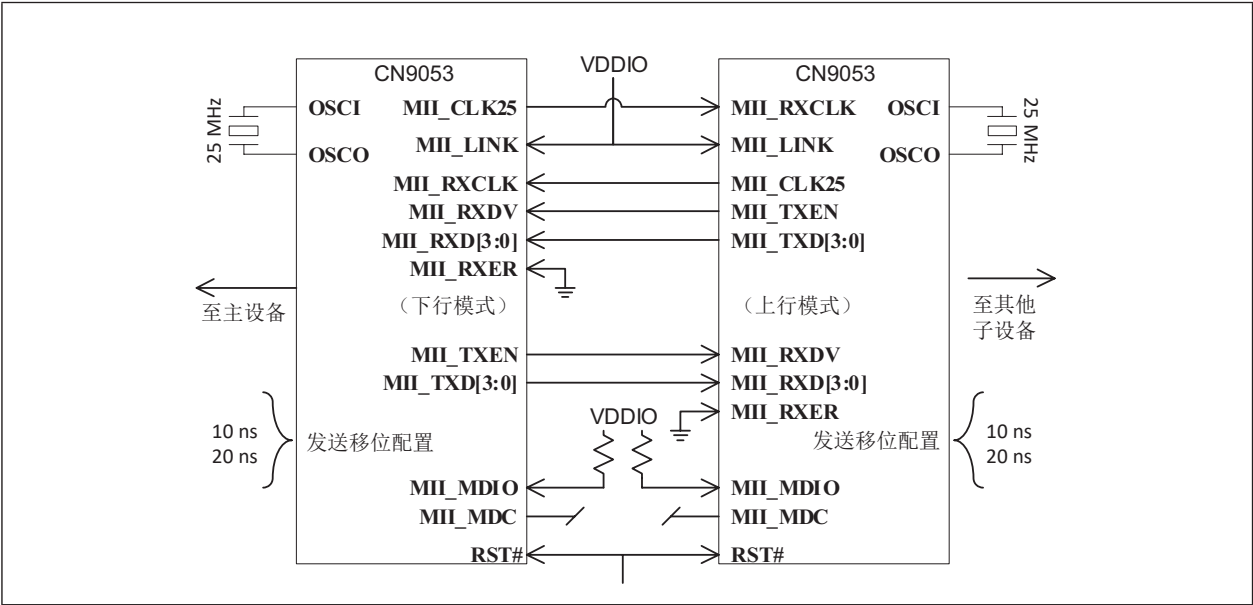
每个EtherCAT子设备的时钟源可以不同。其中一个设备的25 MHz输出（**MII_CLK25**）用作另一个设备的**RX_CLK**输入。来自每个EtherCAT子设备的发送信号可根据CLK25输出通过发送移位补偿进行延时，以便其正确对齐，从而满足另一个器件的接收时序要求。第11.11.7节“外部PHY时序”（第243页）对背靠背MII时序进行了说明。

由于EtherCAT子设备从不产生错误，因此不使用**MII_RXER**信号。

由于两个设备均不包含PHY寄存器组，因此不使用**MII_MDIO**和**MII_MDC**信号。当尝试读取PHY寄存器时，**MII_MDIO**引脚需要（单独）上拉以返回高电平值。

如果两个EtherCAT子设备几乎同时从复位状态释放，则**MII_LINK**会一直保持活动状态。否则，**MII_LINK**可用于向伙伴指示设备未就绪。

图11-6：EtherCAT®背靠背MII连接



11.11.1.3 双端口操作

当配置为双端口模式（**CHIP_MODE[1:0]**等于00b或01b）时，端口2被禁止。端口状态也将在端口描述符寄存器的**端口2配置**位中显示，并在器件配置为双端口操作时设置为01b（未配置）。

11.11.2 端口1（内部PHY B）

EtherCAT内核的端口1始终连接至内部PHY B。

11.11.3 PHY配置

默认情况下，内部PHY配置为100 Mbps全双工操作且使能自动协商。必要时，EtherCAT内核还将校验和更新配置。可以使能固定100 Mbps全双工，如第11.11.6节“固定100 Mbps全双工支持”中所详述。

默认情况下，外部PHY配置为100 Mbps全双工操作且使能自动协商。必要时，EtherCAT内核将校验和更新配置。

11.11.4 PHY链路状态

链路状态源自PHY的链路信号（内部或外部）。EtherCAT内核还会校验PHY状态以确定链路是否正常。它通过循环轮询PHY校验自动协商寄存器配置是否正确、链路是否已建立、自动协商是否已成功完成以及链路伙伴是否也使用自动协商。可以使能固定100 Mbps全双工，如第11.11.6节“固定100 Mbps全双工支持”中所详述。

通过MII管理接口（Management Interface, MI）实现的链路校验由EEPROM使能并反映在MII管理控制/状态寄存器中。

注： 在通过EEPROM成功配置器件之前，MI链路检测和配置一直处于禁止状态。

仅当上电或复位之后第一次装载EEPROM时，MI链路检测和配置的EEPROM设置才生效。即使最初无法读取EEPROM，更改及手动重载EEPROM也不会影响MI链路检测的使能状态。

如表11-4“EtherCAT内核EEPROM可配置寄存器”所示，ASIC配置寄存器的bit 7用于使能对PHY的PHY寄存器9的写操作，PHY按照IEEE 802.3标准使用该寄存器。ASIC配置寄存器根据EEPROM的内容进行初始化。

11.11.4.1 MI链路检测和配置状态机

MI链路检测和配置状态机按如下方式工作：

- 检查是否使能了自动协商
- 检查是否仅通告了100BASE-X全双工
- 检查是否未通告1000BASE-T
- 检查是否完成了自动协商
- 检查链路伙伴是否为100BASE-X全双工
- 否则，按需设置寄存器并重启自动协商

11.11.5 增强型链路检测

EtherCAT内核支持增强型链路检测功能，其使能由EEPROM控制。凭借该功能，如果固定时间间隔（约10 μs）内出现了至少32个接收错误（RX_ER），则EtherCAT内核将断开链路。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.11.6 固定100 Mbps全双工支持

为了支持特殊用例，内部PHY的自动协商能力可被禁止，速度设置为100 Mbps，双工模式设置为全双工。这由硬件配置寄存器（HW_CFG）中的ANEG禁止PHY A和ANEG禁止PHY B位确定，而这些位又由100FD_A和100FD_B配置脚控制。

MI链路检测和配置功能通常会检测并强制执行自动协商的100 Mbps全双工链路，但在这种模式下，它会检测并强制执行固定100 Mbps全双工链路。

如果增强型链路检测功能检测到错误状态，则通常会通过向PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）写入0x3300值来重新启动自动协商（同时设置自动协商使能、全双工和速度选择LSB）。将ANEG禁止PHY A/ANEG禁止PHY B置1后，则通过向PHY x基本控制寄存器（PHY_BASIC_CONTROL_x）写入值0xA100（设置软复位位、全双工和速度选择LSB）来复位相应PHY。

11.11.7 外部PHY时序

由于EtherCAT内核不使用PHY发送时钟，因此必须基于通用25 MHz参考时钟（通过MII_CLK25引脚输出至外部PHY）确保正确的时序。为帮助实现这一目的，EtherCAT内核使能了发送移位功能。该功能可使来自EtherCAT内核的发送信号延迟0 ns、10 ns、20 ns或30 ns之后产生。该延迟值可通过TX_SHIFT[1:0]配置脚手动设置。

11.11.7.1 MII连接时序

MII接口的发送和接收时序如下：

图11-7： MII发送时序

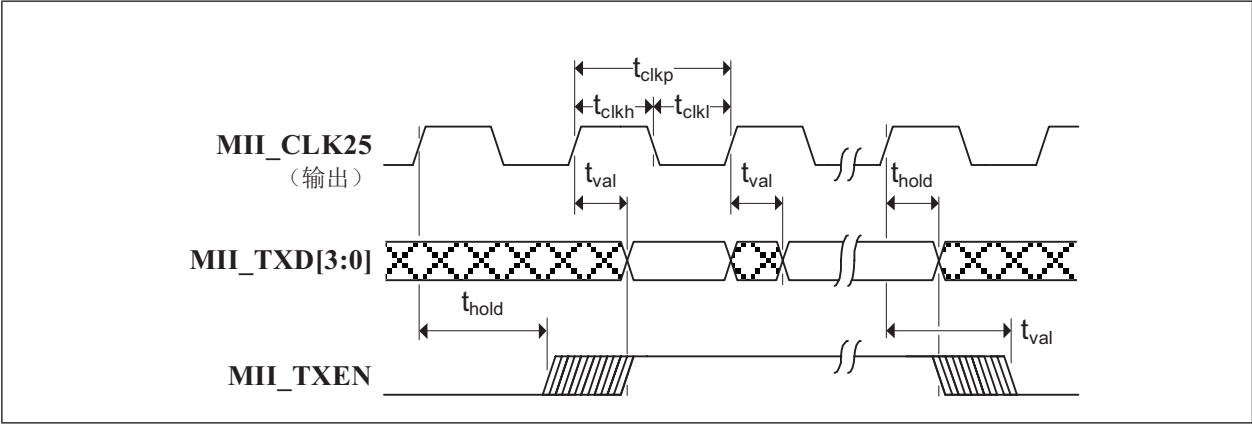


表11-5： MII发送时序值

符号	说明	最小值	最大值	单位	注
t_{clkp}	MII_CLK25周期	40	-	ns	
t_{clkh}	MII_CLK25高电平时间	$t_{clkp} * 0.45$	$t_{clkp} * 0.55$	ns	
t_{clkl}	MII_CLK25低电平时间	$t_{clkp} * 0.45$	$t_{clkp} * 0.55$	ns	
t_{val}	MII_CLK25上升沿之后MII_TXD[3:0]、MII_TXEN输出的有效时间 注2	-	10.0	ns	注1
t_{hold}	MII_CLK25上升沿之后MII_TXD[3:0]、MII_TXEN输出的保持时间 注2	0	-	ns	注1

注1： 时序设计为用于10 pF和25 pF之间的系统负载。

注2： 假设发送移位值为2，则发送移位的单位增量为10 ns（移位值依次为3、0和1）。

图11-8： MII接收时序

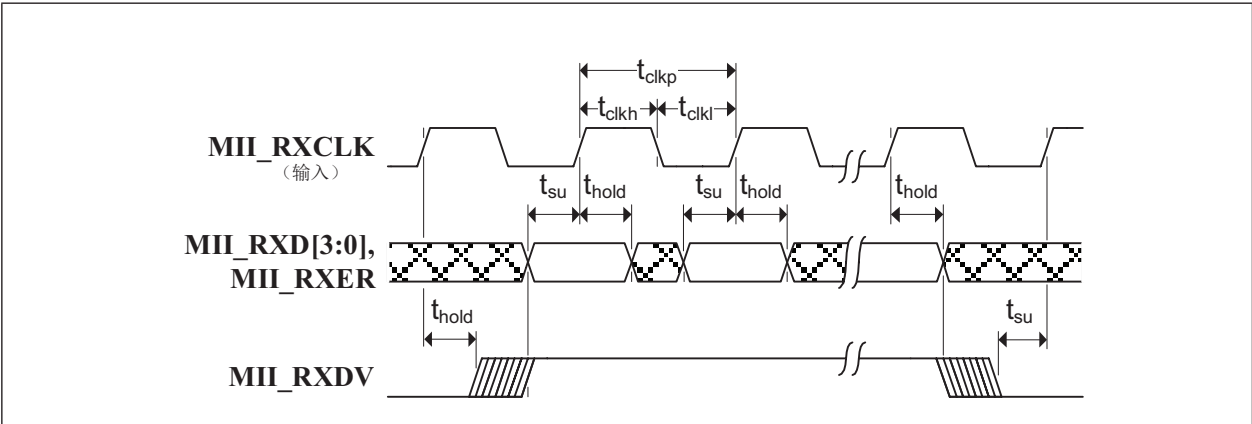


表11-6: MII接收时序值

符号	说明	最小值	最大值	单位	注
t_{clkp}	MII_RXCLK周期	40	-	ns	
t_{clkh}	MII_RXCLK高电平时间	$t_{clkp} * 0.4$	$t_{clkp} * 0.6$	ns	
t_{clkl}	MII_RXCLK低电平时间	$t_{clkp} * 0.4$	$t_{clkp} * 0.6$	ns	
t_{su}	从MII_RXD[3:0]、MII_RXER和MII_RXDV建立到MII_RXCLK的上升沿的时间	5.0	-	ns	注3
t_{hold}	MII_RXCLK上升沿之后MII_RXD[3:0]、MII_RXER和MII_RXDV的保持时间	6.0	-	ns	注3

注3: 时序设计为用于10 pF和25 pF之间的系统负载。

11.11.7.2 背靠背MII连接时序

根据上述MII发送和接收时序，背靠背连接应使用发送移位值3或0。

11.11.7.3 管理接口时序

MII_MDIO和MII_MDC的时序如下：

图11-9: 管理访问时序

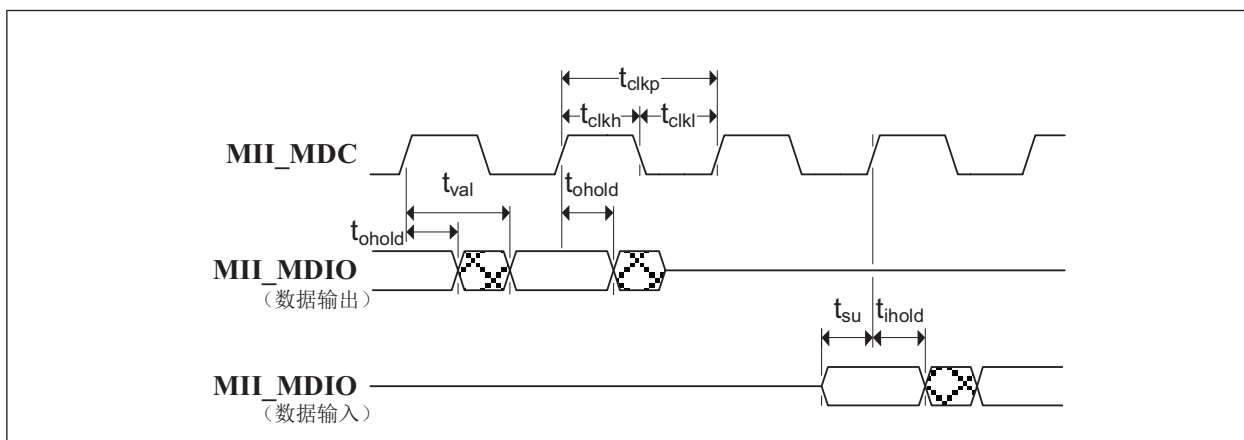


表11-7: 管理访问时序值

符号	说明	最小值	最大值	单位	注
t_{clkp}	MII_MDC周期	400	-	ns	
t_{clkh}	MII_MDC高电平时间	180 (90%)	-	ns	
t_{clkl}	MII_MDC低电平时间	180 (90%)	-	ns	
t_{val}	MII_MDC的上升沿之后MII_MDIO输出的有效时间	-	250	ns	
t_{ohold}	MII_MDC的上升沿之后MII_MDIO输出的保持时间	150	-	ns	
t_{su}	从MII_MDIO输入建立到MII_MDC的上升沿的时间	70	-	ns	
t_{ihold}	MII_MDC上升沿之后MII_MDIO输入的保持时间	0	-	ns	

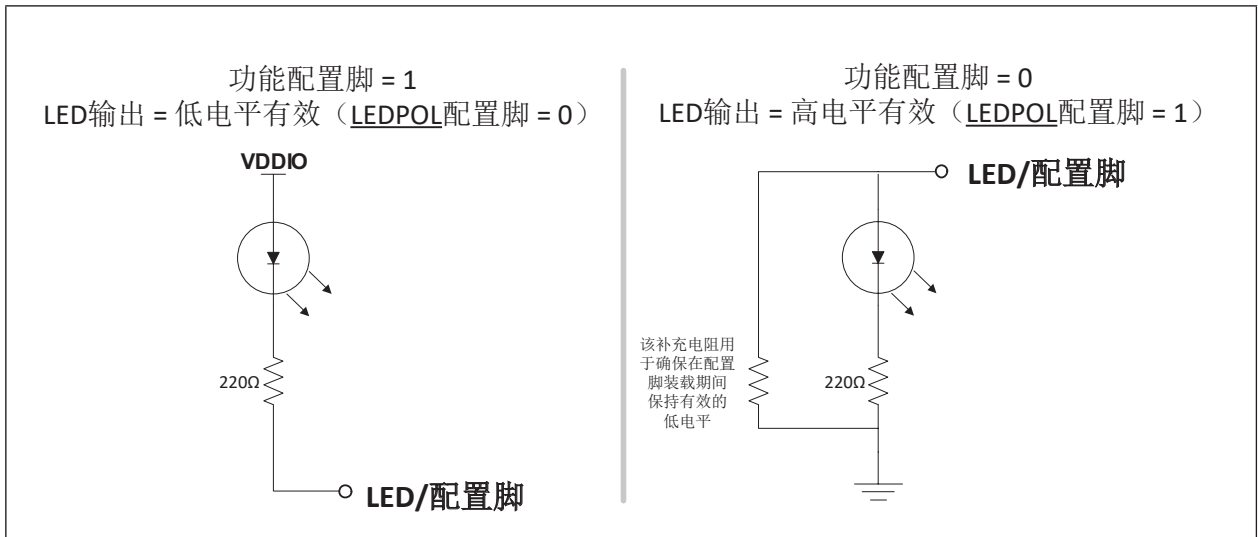
11.12 LED

器件的每个端口都包含一个RUN/STATE_RUN LED（**RUNLED/STATE_RUNLED**）、一个错误LED（**ERRLED**）和一个链路/活动LED（**LINKACTLED[0:2]**）。LED引脚的极性在芯片级别由**硬件配置寄存器（HW_CFG）**中的**LED极性**位域确定。输出为漏极开路或源极开路。**ERRLED**在**ASIC配置寄存器**中还有一个使能位（**ERRLED使能**）。LED极性位域的默认值由**LEDPOL[4:0]**配置脚控制。

注： 端口0和端口2的LED引脚并非基于芯片模式交换。

如果某个LED引脚用作功能模式配置脚，则默认的LED引脚极性会基于配置脚值取反后的值自动选择。LED可通过电阻有效用作上拉或下拉，如图11-10中所详述。

图11-10：LED上的配置脚与极性



EtherCAT内核配置能够通过**RUN LED改写寄存器**直接控制RUN LED，通过**ERR LED改写寄存器**控制ERR LED。

通过将**功耗管理控制寄存器（PMT_CTRL）**中的**LED禁止（LED_DIS）**位置1可禁止（停止驱动）所有LED输出。

11.12.1 EEPROM错误和ERR LED

由于**ERRLED**引脚是通过EEPROM位来使能的，因此在发生EEPROM装载错误时会出现特殊情况。在这种情况下，**ERRLED**引脚被强制使能，但极性（**硬件配置寄存器（HW_CFG）**中**LED极性**位域的bit 4）必须指示**ERRLED**为低电平有效（说明已装载高电平配置脚）。

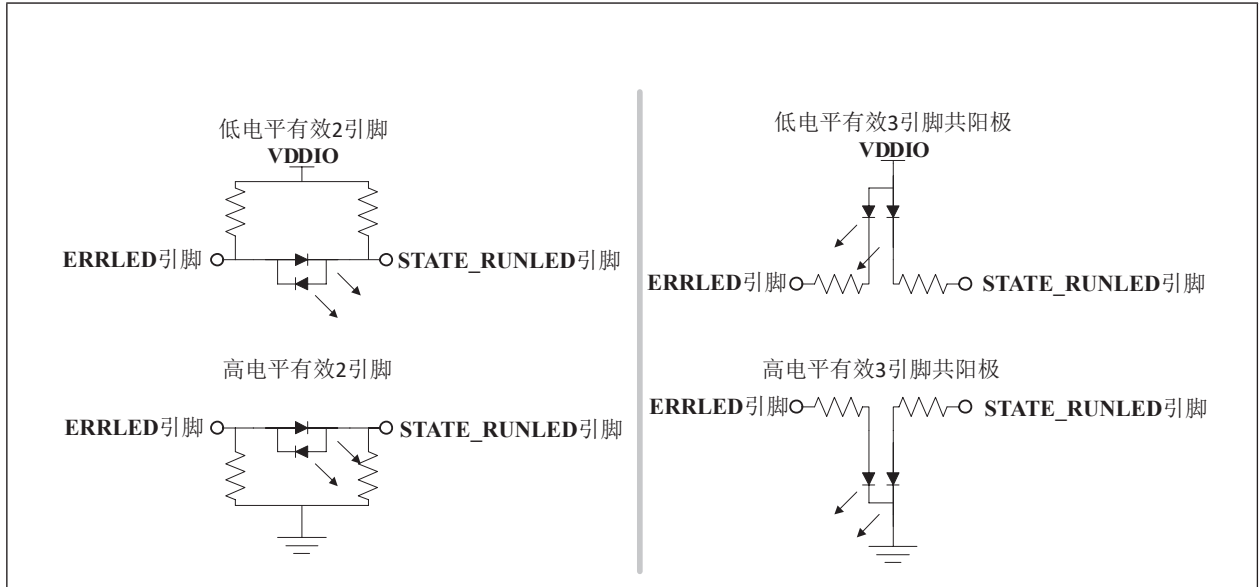
注： 如果将**ERRLED**引脚用作PME引脚，则这种EEPROM装载错误条件可能会触发错误的PME事件。

11.12.2 双色STATE LED

STATE LED是结合RUN和ERR LED的双色LED。由于STATE LED的RUN部分必须在ERR部分处于活动状态时关闭，因此不能简单地将**RUNLED**和**ERRLED**引脚结合在一起驱动双色LED。相反，可以将**RUNLED**引脚更改为**STATE_RUNLED**引脚，这样就可以在**ERRLED**引脚导通时关闭**STATE_RUNLED**。**STATE_RUNLED**通过**ASIC配置寄存器**的**STATE_RUNLED模式选择**位选择。**ASIC配置寄存器**根据EEPROM的内容进行初始化。

支持2引脚、3引脚和4引脚双色LED。要支持2引脚双色LED，在LED的每一侧各放置一个上拉或下拉电阻（具体取决于所使用的信号极性）。要支持3引脚双色LED，放置一个连接到电源或地的串联电阻（具体取决于所使用的信号极性）。选择共阳极还是共阴极也取决于使用的信号极性。对于2引脚和3引脚选项，STATE_RUN和ERR LED的极性必须相同（或需要使用反相晶体管）。4引脚双色LED最灵活，因为每个信号都可以具有不同的极性（如果需要）。

图11-11：双色STATE LED



11.13 EtherCAT CSR和过程数据RAM访问

有两种方法访问EtherCAT CSR和过程数据RAM：

- [EtherCAT间接访问模式](#)
- [EtherCAT直接映射模式](#)

间接访问模式使用命令和数据寄存器结构，以更高开销为代价提供更快总线周期时间。EtherCAT直接映射模式通过将EtherCAT CSR和过程数据RAM映射到主机存储空间来减少开销，代价是总线访问速度变慢，时序要求也更加严格。

EtherCAT模式通过PDI控制寄存器中的过程数据接口（PDI_SELECT）位域进行配置。更多信息，请参见第11.3节“PDI选择和配置”。

11.13.1 EtherCAT间接访问模式

EtherCAT CSR提供对EtherCAT内核中各个参数的寄存器级访问。EtherCAT相关的寄存器可按照访问方法分为两大类：直接访问和间接访问。

可直接访问的EtherCAT寄存器是主系统CSR的一部分，将在第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）中详细说明。这类寄存器提供数据/命令寄存器（用于访问间接EtherCAT内核寄存器）。

可间接访问的EtherCAT内核寄存器位于EtherCAT内核中，必须通过EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）和EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）间接访问。可间接访问的EtherCAT内核CSR提供对EtherCAT内核中多个可配置参数的完全访问。可间接访问的EtherCAT内核CSR在地址0h至0FFh处进行访问，将在第11.16节“EtherCAT内核CSR寄存器（可间接寻址）”（第264页）中详细说明。

可以通过EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）和EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）从1000h处开始间接访问EtherCAT内核过程数据RAM。此外，还可以使用EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）和EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）更高效地访问EtherCAT内核过程数据RAM。该方法通过FIFO机制，使用单个命令和少量状态读取操作即可传输多个DWORD。

11.13.1.1 EtherCAT CSR读操作

要读取单个EtherCAT内核寄存器，必须通过以下方式发起读周期：单次写入EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD），将CSR繁忙（CSR_BUSY）位置1、将CSR地址（CSR_ADDR）位域设置为所需寄存器地址、将读/写（R_nW）位置1以及将CSR大小（CSR_SIZE）位域设置为所需大小。

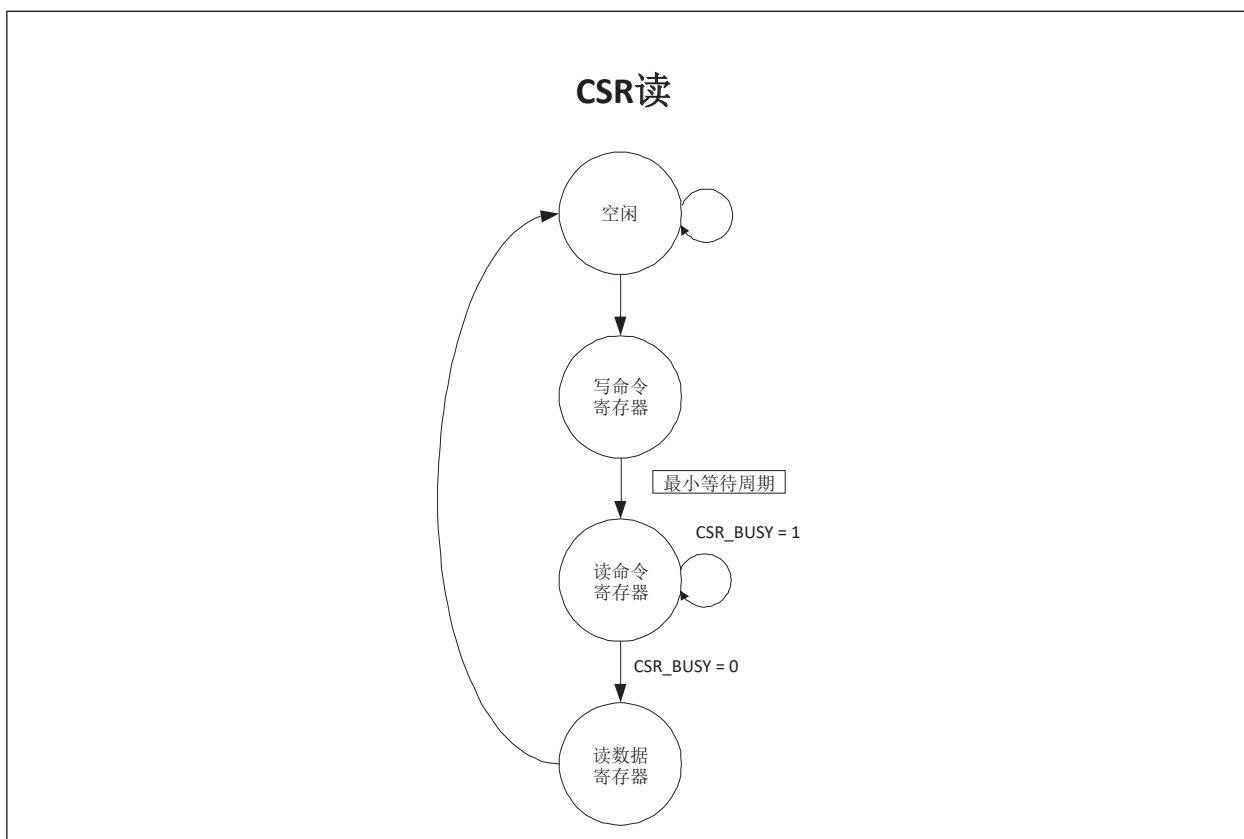
当CSR繁忙（CSR_BUSY）位清零时，可读取有效数据，即可以从EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）读取数据。

有效数据始终与EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）的最低位对齐。

注： 无论EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）的值为何，均会更新CSR大小（CSR_SIZE）的所有字节。

图11-12给出了读取EtherCAT内核CSR时所需过程的图示。特别注明时需要表5-2“先写后读时序规则”（第43页）中指定的最小等待周期。

图11-12：ETHERCAT® CSR读访问流程图



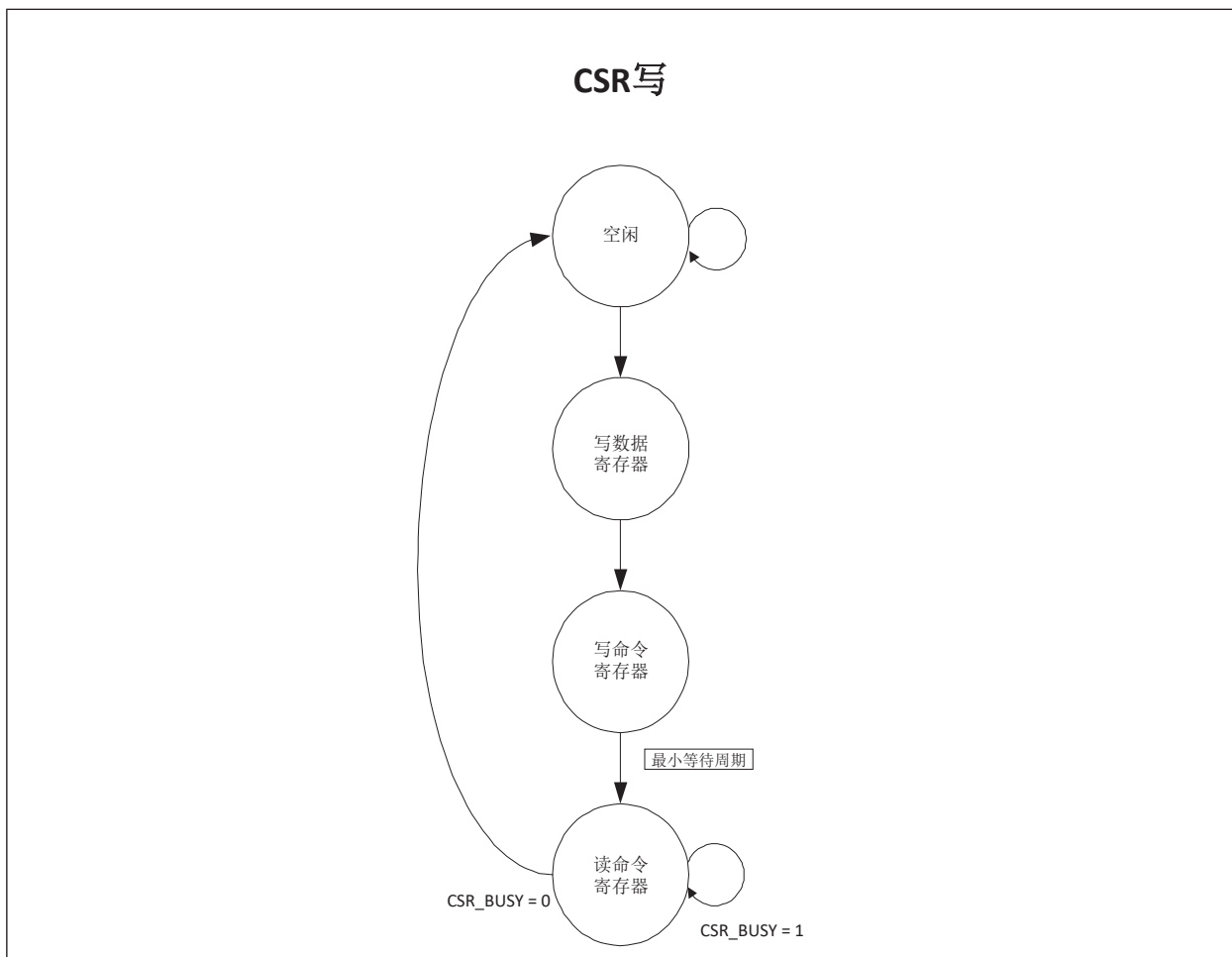
11.13.1.2 EtherCAT CSR写操作

要写入单个EtherCAT内核寄存器，必须首先向EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）写入所需数据。有效数据始终与EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）的最低位对齐。

必须通过以下方式发起写周期：单次写入EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD），将CSR繁忙（CSR_BUSY）位置1、将CSR地址（CSR_ADDR）位域设置为所需寄存器地址、将读/写（R_nW）位清零以及将CSR大小（CSR_SIZE）位域设置为所需大小。写周期的完成由CSR繁忙（CSR_BUSY）位清零来指示。

图11-13给出了写入EtherCAT内核CSR时所需过程的图示。特别注明时需要表5-2“先写后读时序规则”（第43页）中指定的最小等待周期。

图11-13：ETHERCAT® CSR写访问流程图



11.13.1.3 EtherCAT®过程RAM读操作

过程数据从EtherCAT内核经16级深32位宽FIFO传输。FIFO的基址为00h，但它也可在其他7个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于HBI访问，过程RAM读数据FIFO也可通过FIFO直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程RAM读数据FIFO执行所有读访问。请参见第8.3.3.1节“FIFO直接选择访问（仅限复用地址/数据模式）”（第73页）。

要读取EtherCAT过程RAM，需要通过以下方式发起读周期：首先向EtherCAT过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）写入所需传输的起始字节地址和长度（单位为字节），接着写入EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）以将PRAM读繁忙（PRAM_READ_BUSY）位置1。

注： 起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

有效数据（由EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）的PRAM可读数据（PRAM_READ_AVAIL）位指示）通过EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）从FIFO读取。PRAM数据可读次数（PRAM_READ_AVAIL_CNT）位域指示在无需再次校验状态的条件下可执行的读操作次数。最后一次读取EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）后，PRAM读繁忙（PRAM_READ_BUSY）将自清零。

注： 最后一次读取EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）意味着已读取全部四个字节，即使无需全部字节也如此。

当数据从EtherCAT内核传输到FIFO时，PRAM读长度（PRAM_READ_LEN）和PRAM读地址（PRAM_READ_ADDR）会进行更新以显示进度。

根据起始地址的不同，第一次FIFO读操作的有效字节如下：

表11-8： EtherCAT®过程RAM第一次读操作的有效字节

起始地址[1:0]	
00b	字节3、字节2、字节1和字节0
01b	字节3、字节2和字节1
10b	字节3和字节2
11b	字节3

根据起始地址和长度的不同，最后一次FIFO读操作的有效字节如下：

表11-9： EtherCAT®过程RAM最后一次读操作的有效字节

起始地址[1:0]	起始长度[1:0]			
	01b（例如， 5和9等）	10b（例如， 6和10等）	11b（例如， 7和11等）	00b（例如， 8和12等）
00b	字节0	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0
01b	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0
10b	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0	字节1和字节0
11b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0

如果初始长度为4字节或4字节以下并且单次读操作可包含所有字节，则惟一一次FIFO读操作的有效字节如下：

表11-10: EtherCAT®过程RAM单次读操作的有效字节

起始地址[1:0]	起始长度			
	4	1	2	3
00b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0
01b	无	字节1	字节2和字节1	字节3、字节2和字节1
10b	无	字节2	字节3和字节2	无
11b	无	字节3	无	无

中止读命令

必要时，可通过将EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）中的PRAM读中止（PRAM_READ_ABORT）位置1来中止读命令。

11.13.1.4 EtherCAT®过程RAM写入

过程数据经16级深32位宽FIFO传输到EtherCAT内核。FIFO的基址为20h，但它也可在其他7个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于HBI访问，过程RAM写数据FIFO也可通过FIFO直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程RAM读数据FIFO执行所有写访问。请参见第8.3.3.1节“FIFO直接选择访问（仅限复用地址/数据模式）”（第73页）。

要写入EtherCAT过程RAM，需要通过以下方式发起写周期：首先向EtherCAT过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）写入所需传输的起始字节地址和长度（单位为字节），接着写入EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）以使PRAM写繁忙（PRAM_WRITE_BUSY）位置1。

注： 起始字节地址和长度必须编程为有效值，以使所有传输均在边界为1000h和1FFFh的过程RAM地址范围内。

数据经16级深32位宽FIFO传输到EtherCAT内核中。当EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）中的PRAM写空间可用（PRAM_WRITE_AVAIL）位指示空间可用时，主机可通过EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）向FIFO写入数据。PRAM空间可写次数（PRAM_WRITE_AVAIL_CNT）位域指示在无需再次校验状态的条件下可执行的写操作次数。最后一次向EtherCAT内核写入数据后，PRAM写繁忙（PRAM_WRITE_BUSY）将自清零。

注： 最后一次写入EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）意味着已写入全部四个字节，即使无需全部字节也如此。

当数据从FIFO传输到EtherCAT内核时，PRAM写长度（PRAM_WRITE_LEN）和PRAM写地址（PRAM_WRITE_ADDR）会进行更新以显示进度。

根据起始地址的不同，第一次FIFO写操作的有效字节如下：

表11-11: EtherCAT®过程RAM第一次写操作的有效字节

起始地址[1:0]	
00b	字节3、字节2、字节1和字节0
01b	字节3、字节2和字节1
10b	字节3和字节2
11b	字节3

根据起始地址和长度的不同，最后一次FIFO写操作的有效字节如下：

表11-12: EtherCAT®过程RAM最后一次写操作的有效字节

起始地址[1:0]	起始长度[1:0]			
	01b（例如，5和9等）	10b（例如，6和10等）	11b（例如，7和11等）	00b（例如，8和12等）
00b	字节0	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0
01b	字节1和字节0	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0
10b	字节2、字节1和字节0	字节3、字节2、字节1和字节0	字节0	字节1和字节0
11b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0

如果初始长度为4字节或小于4字节并且单次写操作可包含所有字节，则惟一一次FIFO写操作的有效字节如下：

表11-13: EtherCAT®过程RAM单次写操作的有效字节

起始地址[1:0]	起始长度			
	4	1	2	3
00b	字节3、字节2、字节1和字节0	字节0	字节1和字节0	字节2、字节1和字节0
01b	无	字节1	字节2和字节1	字节3、字节2和字节1
10b	无	字节2	字节3和字节2	无
11b	无	字节3	无	无

中止写命令

必要时，可通过将EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）中的PRAM写中止（PRAM_WRITE_ABORT）位置1来中止写命令。

11.13.2 EtherCAT直接映射模式

EtherCAT直接映射模式将内核CSR和过程数据RAM置于主机存储空间中。内核CSR从字节地址0映射到字节地址FFFh，并遵循EtherCAT内核的地址映射。过程数据RAM从字节地址1000h映射到字节地址2FFFh。

EtherCAT直接映射模式通过PDI控制寄存器中的过程数据接口（PDI_SELECT）位域使能。更多信息，请参见第11.3节“PDI选择和配置”。

11.13.2.1 HBI接口

在EtherCAT直接映射模式下，主机总线对EtherCAT过程RAM和CSR访问寄存器的访问被禁止。主机数据总线的宽度可以是8位或16位，在16位模式下支持动态字节或字访问。总线宽度由PDI控制寄存器中的过程数据接口（PDI_SELECT）位域选择。更多信息，请参见第11.3节“PDI选择和配置”。

异步8/16位单片机接口PDI的字节顺序始终为小尾数法。器件级别的字节顺序在HBI模块中控制。在异步8/16位单片机接口PDI级别，访问类型如下：

表11-14: 8位异步单片机接口PDI访问

A[0]	访问	DATA[7:0]
0	对A[15:0]（低字节，偶数地址）的8位访问	低字节
1	对A[15:0]（高字节，奇数地址）的8位访问	高字节

表11-15： 16位异步单片机接口PDI访问

A[0]	nBHE	访问	DATA[15:8]	DATA[7:0]
0	0	对A[15:0]和A[15:0]+1 (低字节和高字节) 的16位访问	高字节	低字节
0	1	对A[15:0] (低字节, 偶数地址) 的8位访问	-	低字节
1	0	对A[15:0] (高字节, 奇数地址) 的8位访问	高字节	-
1	1	无效访问	-	-

写访问

第8.4.3.1节对写访问进行了说明。

扩展PDI配置寄存器控制需响应或无需响应操作的写周期配置。

读访问

第8.4.3.2节对读访问进行了说明。

扩展PDI配置寄存器控制读周期WAIT_ACK延时时序。

控制器访问错误

单片机接口检测到以下访问错误：

- 16位模式下的读或写访问，其中A[0]=1且nBHE=1，即对奇数地址的访问，但未使能高字节。
- 当BUSY为高电平时，WR置为无效（或在器件级别将CS置为无效，同时WR保持置为有效）。
- 当BUSY为高电平（读操作未完成）时，RD置为无效（或在器件级别将CS置为无效，同时RD保持置为有效）。

访问错误将产生以下后果：

- PDI错误计数器寄存器将递增。
- 对于A[0]=1且nBHE（低电平有效）= 1的访问，在内部不会执行任何访问。
- 当BUSY为低电平时，将WR（或CS）置为无效可能会破坏当前传输和前一次传输（如果在内部未完成）。寄存器可能接受写入数据，并可能执行特殊功能（例如，同步管理器缓冲区切换）。
- 如果在BUSY为低电平（读操作未完成）时，将RD（或CS）置为无效，访问将在内部终止。尽管如此，内部字节传输可能已完成，因此可能执行特殊功能（例如，同步管理器缓冲区切换）。

可以在PDI错误代码寄存器中读取访问错误的原因。

11.13.2.2 SPI接口

在EtherCAT直接映射模式下，SPI总线对EtherCAT过程RAM寄存器的访问被禁止。SPI总线直接连接到OPB PDI。

读访问

SPI接口提供地址、字节使能和读请求。OPB PDI返回应答和数据。SPI接口从正确的字节通道检索数据。

写访问

SPI接口提供地址、字节使能、数据和写请求。OPB PDI返回应答。SPI接口将数据提供到正确的字节通道。

控制器访问错误

访问错误由SPI接口检测，如第9.4节中所述。可以从PDI错误计数器寄存器中读取错误计数。可以在PDI错误代码寄存器中读取访问错误的原因。

11.14 EtherCAT复位

根据第6.2.1.3节“EtherCAT系统复位”（第47页）的定义，通过3个连续帧向ESC复位ECAT寄存器写入0x52（R）、0x45（E）和0x53（S），或者通过3个连续的写操作向ESC复位PDI寄存器写入0x52（R）、0x45（E）和0x53（S）之后，会发生器件复位（和可选系统复位）。

注： 序列的最后一个帧可能不会返回给主设备（取决于拓扑），因为主设备与被复位的子设备之间的链路将中断。

11.15 EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）

本节将详细介绍EtherCAT内核以外，与EtherCAT内核相关的可直接寻址的系统CSR。

EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）和EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）作为接口，用于访问原本无法访问的完整范围的EtherCAT内核控制和状态寄存器。有关如何访问EtherCAT寄存器的信息，请参见第11.13节“EtherCAT CSR和过程数据RAM访问”（第247页）。第11.16节“EtherCAT内核CSR寄存器（可间接寻址）”（第264页）中将详细介绍EtherCAT内核寄存器。

注： 这些寄存器（包括EtherCAT过程RAM读和写数据FIFO）在EtherCAT直接映射模式下不使用且无法访问。

表11-16： EtherCAT®过程RAM和CSR访问寄存器

地址	EtherCAT®直接映射模式	寄存器名称（符号）
000h-01Ch	N/A（未使用）	EtherCAT过程RAM读数据FIFO（ECAT_PRAM_RD_DATA）
020h-03Ch	N/A（未使用）	EtherCAT过程RAM写数据FIFO（ECAT_PRAM_WR_DATA）
300h	N/A（未使用）	EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）
304h	N/A（未使用）	EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）
308h	N/A（未使用）	EtherCAT过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）
30Ch	N/A（未使用）	EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）
310h	N/A（未使用）	EtherCAT过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）
314h	N/A（未使用）	EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）

11.15.1 EtherCAT过程RAM读数据FIFO (ECAT_PRAM_RD_DATA)

偏移量: 000h-01Ch

大小： 32位

此只读寄存器与EtherCAT过程RAM读命令寄存器（ECAT_PRAM_RD_CMD）和EtherCAT过程RAM读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）配合使用，以对EtherCAT内核过程RAM执行读操作。

仅当**EtherCAT过程RAM**读命令寄存器（**ECAT_PRAM_RD_CMD**）中的**PRAM**可读数据（**PRAM_READ_AVAIL**）位为1时，从该寄存器读取的数据才有效。除非存在有效数据，否则主机不得读取该寄存器。

位	说明	类型	默认值
31:0	EtherCAT®过程RAM读数据（PRAM_RD_DATA） 此位域包含从EtherCAT内核过程RAM读取的值。 注： 一些字节可能无效，具体取决于起始地址和传输长度。	RO	-

11.15.2 EtherCAT过程RAM写数据FIFO (ECAT_PRAM_WR_DATA)

偏移量: 020h-03Ch

大小： 32位

此只写寄存器与EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）和EtherCAT过程RAM写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）配合使用，以对EtherCAT内核过程RAM执行写操作。

除非EtherCAT过程RAM写命令寄存器（ECAT_PRAM_WR_CMD）中的PRAM可写空间（PRAM_WRITE_AVAIL）位指示存在可用空间，否则主机不得写入该寄存器。

位	说明	类型	默认值
31:0	EtherCAT®过程RAM写数据（PRAM_WR_DATA） 此位域包含写入EtherCAT内核过程RAM的值。 注： 一些字节可能无效，具体取决于起始地址和传输长度。	WO	-

11.15.3 EtherCAT CSR接口数据寄存器 (ECAT_CSR_DATA)

偏移量: 300h

大小： 32位

此读/写寄存器与EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）配合使用，以对EtherCAT内核CSR执行读写操作。

位	说明	类型	默认值
31:0	EtherCAT® CSR数据（CSR_DATA） 此位域包含从EtherCAT内核CSR读取的值或者写入EtherCAT内核CSR的值。EtherCAT内核CSR由EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）中的CSR地址（CSR_ADDR）位选择。 始终在该位域的低位写入或读取有效数据。通过硬件处理任何需要的字节对齐。 执行读操作之后，返回的值取决于EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）中的读/写（R_nW）位。如果读/写（R_nW）置1，则数据来自EtherCAT内核。如果读/写（R_nW）清零，则数据为最后写入该寄存器的值。	R/W	00000000h

11.16 EtherCAT内核CSR寄存器（可间接寻址）

本节将详细介绍可间接寻址的EtherCAT内核CSR，它们通过可直接寻址的**EtherCAT CSR接口数据寄存器（ECAT_CSR_DATA）**和**EtherCAT CSR接口命令寄存器（ECAT_CSR_CMD）**进行访问。有关如何访问EtherCAT寄存器的信息，请参见第11.13节“EtherCAT CSR和过程数据RAM访问”（第247页）。第11.15节“EtherCAT CSR和过程数据RAM访问寄存器（可直接寻址）”（第255页）将详细介绍可直接寻址的EtherCAT寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

根据寄存器访问方式的不同，具体EtherCAT内核寄存器位的读/写行为可能有所不同。每个EtherCAT内核寄存器均包含“ECAT类型”和“PDI类型”列，分别提供通过EtherCAT主设备节点或过程数据接口（SPI/主机总线）访问寄存器时的位/位域类型。

表11-18: EtherCAT®内核CSR寄存器

地址	寄存器名称（符号）
ESC信息	
0000h	类型寄存器
0001h	版本寄存器
0002h-0003h	编译寄存器
0004h	FMMU支持寄存器
0005h	同步管理器支持寄存器
0006h	RAM大小寄存器
0007h	端口描述符寄存器
0008h-0009h	ESC功能支持寄存器
站地址	
0010h-0011h	已配置站寄存器
0012h-0013h	已配置站别名寄存器
写保护	
0020h	写寄存器使能寄存器
0021h	写寄存器保护寄存器
0030h	ESC写寄存器使能寄存器
0031h	ESC写寄存器保护寄存器
数据链路层	
0040h	ESC复位ECAT寄存器
0041h	ESC复位PDI寄存器
0100h-0103h	ESC DL控制寄存器
0108h-0109h	物理读/写偏移量寄存器
0110h-0111h	ESC DL状态寄存器
应用层	
0120h-0121h	AL控制寄存器
0130h-0131h	AL状态寄存器
0134h-0135h	AL状态码寄存器
0138h	RUN LED改写寄存器

表11-18: EtherCAT®内核CSR寄存器（续）

地址	寄存器名称（符号）
0139h	ERR LED改写寄存器
PDI（过程数据接口）	
0140h	PDI控制寄存器
0141h	ESC配置寄存器
0142h-0143h	ASIC配置寄存器
0144h-0145h	保留的寄存器
0150h	PDI配置寄存器
0151h	同步/锁存PDI配置寄存器
0152h-0153h	扩展PDI配置寄存器
中断	
0200h-0201h	ECAT事件屏蔽寄存器
0204h-0207h	AL事件屏蔽寄存器
0210h-0211h	ECAT事件请求寄存器
0220h-0223h	AL事件请求寄存器
错误计数器	
0300h-0307h	接收错误计数器寄存器
0308h-030Bh	转发的接收错误计数器寄存器
030Ch	ECAT处理单元错误计数器寄存器
030Dh	PDI错误计数器寄存器
030Eh	PDI错误代码寄存器
0310h-0313h	丢失链路计数器寄存器
看门狗	
0400h-0401h	看门狗分频器寄存器
0410h-0411h	看门狗时间PDI寄存器
0420h-0421h	看门狗时间过程数据寄存器
0440h-0441h	看门狗状态过程数据寄存器
0442h	看门狗计数器过程数据寄存器
0443h	看门狗计数器PDI寄存器
EEPROM接口	
0500h	EEPROM配置寄存器
0501h	EEPROM PDI访问状态寄存器
0502h-0503h	EEPROM控制/状态寄存器
0504h-0507h	EEPROM地址寄存器
0508h-050Fh	EEPROM数据寄存器
MII管理接口	
0510h-0511h	MI管理控制/状态寄存器
0512h	PHY地址寄存器
0513h	PHY寄存器地址寄存器
0514h-0515h	PHY数据寄存器

表11-18: EtherCAT®内核CSR寄存器（续）

地址	寄存器名称（符号）
0516h	MII管理ECAT访问状态寄存器
0517h	MII管理PDI访问状态寄存器
0518h-051Bh	PHY端口状态寄存器
0600h-067Fh	FMMU[2:0]寄存器（8x16字节）
+0h-3h	FMMUx逻辑起始地址寄存器
+4h-5h	FMMUx长度寄存器
+6h	FMMUx逻辑起始位寄存器
+7h	FMMUx逻辑停止位寄存器
+8h-9h	FMMUx物理起始地址寄存器
+Ah	FMMUx物理起始位寄存器
+Bh	FMMUx类型寄存器
+Ch	FMMUx激活寄存器
+Dh-Fh	FMMUx保留寄存器
0680h-06FFh	保留
0800h-083Fh	SyncManager[3:0]寄存器（8x8字节）
+0h-1h	同步管理器x物理起始地址寄存器
+2h-3h	同步管理器x长度寄存器
+4h	同步管理器x控制寄存器
+5h	同步管理器x状态寄存器
+6h	同步管理器x激活寄存器
+7h	同步管理器x PDI控制寄存器
0840h-087Fh	保留
0900h-09FFh	分布式时钟（DC）
分布式时钟——接收时间	
0900h-0903h	接收时间端口0寄存器
0904h-0907h	接收时间端口1寄存器
0908h-090Bh	接收时间端口2寄存器
090Ch-090Fh	保留
分布式时钟——时间环路控制单元	
0910h-0917h	系统时间寄存器
0918h-091Fh	接收时间ECAT处理单元寄存器
0920h-0927h	系统时间偏移量寄存器
0928h-092Bh	系统时间延时寄存器
092Ch-092Fh	系统时间差值寄存器
0930h-0931h	速度计数器起始值寄存器
0932h-0933h	速度计数器差值寄存器
0934h	系统时间差值滤波器深度寄存器
0935h	速度计数器滤波器深度寄存器

表11-18: EtherCAT®内核CSR寄存器（续）

地址	寄存器名称（符号）
分布式时钟——循环单元控制	
0980h	循环单元控制寄存器
分布式时钟——SYNC输出单元	
0981h	激活寄存器
0982h-0983h	同步信号寄存器的脉冲长度
0984h	激活状态寄存器
098Eh	SYNC0状态寄存器
098Fh	SYNC1状态寄存器
0990h-0997h	起始时间循环操作寄存器
0998h-099Fh	下一个SYNC1脉冲寄存器
09A0h-09A3h	SYNC0周期时间寄存器
09A4h-09A7h	SYNC1周期时间寄存器
分布式时钟——锁存输入单元	
09A8h	LATCH0控制寄存器
09A9h	LATCH1控制寄存器
09AEh	LATCH0状态寄存器
09AFh	LATCH1状态寄存器
09B0h-09B7h	LATCH0时间上升沿寄存器
09B8h-09BFh	LATCH0时间下降沿寄存器
09C0h-09C7h	LATCH1时间上升沿寄存器
09C8h-09CFh	LATCH1时间下降沿寄存器
分布式时钟——同步管理器事件时间	
09F0h-09F3h	EtherCAT缓冲区变化事件时间寄存器
09F8h-09FBh	PDI缓冲区起始时间事件寄存器
09FCh-09FFh	PDI缓冲区变化事件时间寄存器
ESC特定	
0E00h-0E07h	产品ID寄存器
0E08h-0E0Fh	供应商ID寄存器
数字输入/输出	
0F00h-0F01h	数字I/O输出数据寄存器
0F10h-0F11h	通用输出寄存器
0F18h-0F19h	通用输入寄存器
用户RAM	
0F80h-0FFFh	用户RAM
过程数据RAM	
1000h-1001h	数字I/O输入数据寄存器
1000h-2FFFh	过程数据RAM

11.16.4 FMMU支持寄存器

偏移量: 0004h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	支持的FMMU 该位域详细说明EtherCAT®子设备控制器支持的FMMU通道（或实体）的数量。该器件提供8个。	RO	RO	08h

11.16.5 同步管理器支持寄存器

偏移量: 0005h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	支持的同步管理器 该位域详细说明EtherCAT®子设备控制器支持的同步管理器通道（或实体）的数量。该器件提供8个。	RO	RO	08h

11.16.6 RAM大小寄存器

偏移量: 0006h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	过程数据RAM大小 该位域详细说明EtherCAT®子设备控制器中包含的过程数据RAM的大小。该器件提供8 KB。	RO	RO	08h

11.16.7 端口描述符寄存器

偏移量: 0007h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:6	端口3配置 该位域详细说明端口3的配置。 00: 未实现 01: 未配置 10: 保留 11: MII	RO	RO	00b
5:4	端口2配置 该位域详细说明端口2的配置。 00: 未实现 01: 未配置 10: 保留 11: MII	RO	RO	11b （三端口操作） 01b （双端口操作） 请参见 第13.0节 “芯片模式配置”
3:2	端口1配置 该位域详细说明端口1的配置。 00: 未实现 01: 未配置 10: 保留 11: MII	RO	RO	11b
1:0	端口0配置 该位域详细说明端口0的配置。 00: 未实现 01: 未配置 10: 保留 11: MII	RO	RO	11b

11.16.8 ESC功能支持寄存器

偏移量：0008h-0009h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:12	保留	RO	RO	0h
11	固定FMMU/同步管理器配置 0：可变配置 1：固定配置	RO	RO	0b
10	EtherCAT®读/写命令支持 0：支持 1：不支持	RO	RO	0b
9	EtherCAT LRW命令支持 0：支持 1：不支持	RO	RO	0b
8	增强型分布式时钟同步激活 0：不可用 1：可用 注： 该功能请参见 激活寄存器 和 激活状态寄存器	RO	RO	1b
7	单独处理FCS错误 0：不支持 1：支持，带有错误FCS和额外半字节的帧将在转发接收计数器中单独计数。	RO	RO	1b
6	增强型链路检测MII 0：不可用 1：可用	RO	RO	1b
5:4	保留	RO	RO	0b
3	分布式时钟（宽度） 0：32位 1：64位	RO	RO	1b
2	分布式时钟 0：不可用 1：可用	RO	RO	1b
1	保留	RO	RO	0b
0	FMMU操作 0：针对位操作 1：针对字节操作	RO	RO	0b

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.11 写寄存器使能寄存器

偏移量: 0020h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	写寄存器使能 如果使能了写保护，必须在同一以太网帧中写入该寄存器（值无关），之后才允许对该站执行其他写操作。写保护在该帧之后仍有效（如果 写寄存器保护寄存器 没有变化）	R/W	RO	0b

11.16.12 写寄存器保护寄存器

偏移量: 0021h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	写寄存器保护 0: 禁止保护 1: 使能保护 注: 除了0020h和0030h之外，寄存器0000h-0F7Fh均受写保护。	R/W	RO	0b

11.16.13 ESC写寄存器使能寄存器

偏移量: 0030h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	ESC写寄存器使能 如果使能了ESC写保护，必须在同一以太网帧中写入该寄存器（值无关），之后才允许对该站执行其他写操作。ESC写保护在该帧后仍有效（如果 ESC写寄存器保护寄存器 没有变化）	R/W	RO	0b

11.16.16 ESC复位PDI寄存器

偏移量: 0041h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
写操作				
7:0	ESC复位PDI 通过3个连续的命令向该寄存器中写入52h（“R”）、45h（“E”）和53h（“S”）之后，将触发复位。	RO	R/W	00h
读操作				
7:2	保留	RO	RO	000000b
1:0	复位步骤进度 01: 在写入52h后 10: 在写入45h后（如果之前已写入52h） 00: 其他	RO	R/W	00b

11.16.17 ESC DL控制寄存器

偏移量: 0100h-0103h

大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:25	保留 写为0。	RO	RO	0000000b
24	站别名 0: 忽略站别名 1: 别名可用于所有已配置地址命令类型（FPRD和FPWR等）	R/W	RO	0b
23:20	保留 写为0。	RO	RO	0000b
19	保留	R/W	RO	0b
18:16	接收FIFO大小/接收延时缩短 （ESC延迟启动转发，直至FIFO至少半满） 请参见 注6 。 MII 000: -40 ns 001: -40 ns 010: -40 ns 011: -40 ns 100: 无变化 101: 无变化 110: 无变化 111: 默认值	R/W	RO	111b
15:14	保留 写为0。	RO	RO	00b
13:12	环路端口2 00: 自动。 01: 自动关闭。 10: 开启。 11: 关闭。	R/W 注7	RO	00b
11:10	环路端口1 00: 自动。 01: 自动关闭。 10: 开启。 11: 关闭。	R/W 注7	RO	00b
9:8	环路端口0 00: 自动。 01: 自动关闭。 10: 开启。 11: 关闭。	R/W 注7	RO	00b

位	说明	ECAT类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	临时使用寄存器0101h设置 0: 永久使用 1: 临时使用约1s, 然后恢复之前的设置。	R/W	RO	0b
0	转发规则 0: 处理EtherCAT®帧, 转发非EtherCAT帧而不处理 1: 处理EtherCAT帧, 破坏非EtherCAT帧。 无论转发规则如何, 都会为每个帧更改源MAC地址 (SOURCE_MAC[1]设置为1——本地管理的地址)。	R/W	RO	1b

注6: 能否减小接收FIFO的大小取决于ESC的时钟源精度以及连接的每个EtherCAT/以太网设备（主设备和子设备等）的时钟源精度。接收FIFO大小为111b时足以满足100 ppm精度，接收FIFO大小为000b时可满足25 ppm精度（帧大小为1518/1522字节）。

注7: 环路配置更改将延迟至端口上当前接收或发送的帧结束。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.18 物理读/写偏移量寄存器

偏移量: 0108h-0109h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	物理读/写偏移量 读地址和写地址之间的R/W命令（FPRW和APRW）的偏移量。RD_ADR - ADR和WR_ADR = ADR + R/W-偏移量。	R/W	RO	0b

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.19 ESC DL状态寄存器

偏移量：0110h-0111h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:14	保留	RO	RO	00b
13	端口2上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
12	环路端口2 0: 开启。 1: 关闭。	RO	RO	0b
11	端口1上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
10	环路端口1 0: 开启。 1: 关闭。	RO	RO	0b
9	端口0上的通信 0: 无稳定通信 1: 已建立通信	RO	RO	0b
8	环路端口0 0: 开启。 1: 关闭。	RO	RO	0b
7	保留	RO	RO	0b
6	端口2上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
5	端口1上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
4	端口0上的物理链路 0: 无链路 1: 检测到链路	RO	RO	0b
3	保留	RO	RO	0b
2	增强型链路检测 0: 所有端口均禁止 1: 至少一个端口激活 注： 仅在上电复位后首次装载EEPROM时接受EEPROM值。	RO	RO	0b (在首次装载EEPROM之前，随后由EEPROM地址0000h的bit 9或0000h的[15:12]位决定)
1	PDI看门狗状态 0: 看门狗超时 1: 看门狗重载	RO	RO	0b

位	说明	ECAT类型	PDI类型	默认值
0	PDI工作/EEPROM正确装载 0: EEPROM未装载, PDI未工作 (未访问过程数据RAM) 1: EEPROM正确装载, PDI工作 (访问过程数据RAM)	RO	RO	0b

注: 通过ECAT读取该寄存器会将**ECAT事件请求寄存器**中的**DL状态事件**位清零。
对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.20 AL控制寄存器

偏移量: 0120h-0121h 大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:5	保留 写为0。	R/W 注8	R/WC	000h
4	错误指示应答 0: AL状态寄存器中无错误指示应答 1: AL状态寄存器中有错误指示应答	R/W 注8	R/WC	0b
3:0	启动器件状态机的状态转换 1h: 请求启动状态 2h: 请求预工作状态 3h: 请求自举状态 4h: 请求安全工作状态 8h: 请求工作状态	R/W 注8	R/WC	1h

注8: 如果器件仿真关闭 (**ESC配置寄存器**的**器件仿真**位为0), 则该寄存器的行为将类似于邮箱。ECAT写入该寄存器后, PDI必须读取该寄存器。否则, ECAT无法再次写入该寄存器。复位后, 该寄存器可通过ECAT写入。寄存器0120h和0121h的邮箱功能是等效的, 例如, 读取0121h足以使该寄存器能够再次被写入。如果**器件仿真**开启, 该寄存器始终可写, 其内容复制到**AL状态寄存器**。通过PDI读取该寄存器将清除所有事件请求 (寄存器0220h bit 0)。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.21 AL状态寄存器

偏移量：0130h-0131h 大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:5	保留 写为0。	RO	R/W 注9	000h
4	错误指示 0：器件处于请求的状态或者标志由命令清零 1：本地操作后，器件未进入请求的状态或更改的状态	RO	R/W 注9	0b
3:0	器件状态机的实际状态 1h：启动状态 2h：预工作状态 3h：自举状态 4h：安全工作状态 8h：工作状态	RO	R/W 注9	1h

注9： 如果器件仿真关闭，则该寄存器只可写入（[ESC配置寄存器](#)的[器件仿真](#)位为0）。否则，该寄存器将反映[AL控制寄存器](#)。通过ECAT读取该寄存器会将[ECAT事件请求寄存器](#)中的[AL状态事件](#)位清零。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.22 AL状态码寄存器

偏移量：0134h-0135h 大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:0	AL状态代码	RO	R/W	0000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.23 RUN LED改写寄存器

偏移量: 0138h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:5	保留 写为0。	R/W	R/W	000b
4	运行改写 0: 禁止改写 1: 使能改写	R/W	R/W	0b
3:0	RUN LED代码 代码 FSM状态 0h: 熄灭 1——启动 1h-Ch: 慢速闪烁（1x-12x） 4——安全工作（1x） Dh: 快速闪烁 2——预工作 Eh: 非等时闪烁 3——自举 Fh: 点亮 8——工作	R/W	R/W	0h

注： 用有效值更改**AL状态寄存器**将禁止运行改写（bit 4 = 0）。在该寄存器中读取的值始终反映当前的LED输出。

11.16.24 ERR LED改写寄存器

偏移量: 0139h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:5	保留 写为0。	R/W	R/W	000b
4	ERR改写 0: 禁止改写 1: 使能改写	R/W	R/W	0b
3:0	ERR LED代码 代码 0h: 熄灭 1h-Ch: 闪烁1x-12x Dh: 闪烁 Eh: 非等时闪烁 Fh: 点亮	R/W	R/W	0h

注: 新的错误条件将禁止ERR LED改写 (bit 4 = 0)。在该寄存器中读取的值始终反映当前的LED输出。

11.16.25 PDI控制寄存器

偏移量: 0140h

大小：8位

此寄存器设置器件的过程数据接口（PDI）。更多信息，请参见第13.0节“芯片模式配置”（第340页）。

位	说明	ECAT类型	PDI类型	默认值
7:0	过程数据接口（PDI_SELECT） 04h: 数字I/O 05h: Beckhoff SPI 80h: SPI 82h: SPI（EtherCAT®直接映射模式） 88h: HBI复用1阶段8位 89h: HBI复用1阶段16位 8Ah: HBI复用2阶段8位 8Bh: HBI复用2阶段16位 8Ch: HBI变址8位 8Dh: HBI变址16位 90h: HBI复用1阶段8位（EtherCAT直接映射模式） 91h: HBI复用1阶段16位（EtherCAT直接映射模式） 92h: HBI复用2阶段8位（EtherCAT直接映射模式） 93h: HBI复用2阶段16位（EtherCAT直接映射模式） 94h: HBI变址8位（EtherCAT直接映射模式） 95h: HBI变址16位（EtherCAT直接映射模式） 其他: 保留	RO	RO	00h 注10

注10: 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.16.26 ESC配置寄存器

偏移量：0141h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7	保留	RO	RO	0b
6	增强型链路端口2 0：禁止（如果bit 1 = 0） 1：使能	RO	RO	0b 注11
5	增强型链路端口1 0：禁止（如果bit 1 = 0） 1：使能	RO	RO	0b 注11
4	增强型链路端口0 0：禁止（如果bit 1 = 0） 1：使能	RO	RO	0b 注11
3	分布式时钟锁存输入单元 0：禁止（节能） 1：使能 注： 该位无作用。	RO	RO	0b
2	分布式时钟SYNC输出单元 0：禁止（节能） 1：使能 注： 该位无作用。	RO	RO	0b
1	增强型链路检测所有端口 0：禁止（如果bit[7:4] = 0） 1：使能所有端口	RO	RO	0b 注11
0	器件仿真 （AL状态寄存器的控制） 0：AL状态寄存器 必须由PDI设置 1：AL状态寄存器 设置为写入AL控制寄存器的值 注： 对于数字I/O模式，编程的值应为1；对于具有主机控制器的应用，编程的值应为0。	RO	RO	0b 注11

注11： 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

注： 该寄存器根据EEPROM的内容进行初始化。增强型链路检测相关的EEPROM设置（bit 6、bit 5、bit 4和 bit 1）仅在上电复位后第一次装载EEPROM时生效。即使最初无法读取EEPROM，更改及手动重载EEPROM也不会影响增强型链路检测的使能状态。

11.16.27 ASIC配置寄存器

偏移量: 0142h-0143h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15	MI链路检测 (链路配置, 链路检测, 寄存器PHY端口状态寄存器) 0: 不可用 1: MI链路检测有效	RO	RO	0b 注12
14	ERRLED使能 0: 禁止ERRLED 1: 使能ERRLED	RO	RO	0b 注12
13:8	保留	RO	RO	000000b 注12
7	千兆位寄存器9的MI写操作使能 使能对符合IEEE 802.3标准、使用该寄存器的PHY进行寄存器9的写操作 0: 禁止对千兆位寄存器9的MI写操作 1: 使能对千兆位寄存器9的MI写操作	RO	RO	0b 注12
6	STATE_RUNLED模式选择 0: 禁止STATE_RUNLED 1: 使能STATE_RUNLED	RO	RO	0b 注12
5:0	保留	RO	RO	0000000b 注12

注12: 该位域的默认值可通过EEPROM进行配置。更多信息, 请参见第11.10节“EEPROM可配置寄存器”(第239页)。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.28 保留的寄存器

偏移量: 0144h-0145h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	保留	RO	RO	0000h 注13

注13: 该位域的默认值可通过EEPROM进行配置。更多信息, 请参见第11.10节“EEPROM可配置寄存器”(第239页)。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.29 PDI配置寄存器

偏移量: 0150h

大小: 8位

该寄存器的位定义取决于所选的PDI模式（[PDI控制寄存器](#)中的[过程数据接口（PDI_SELECT）](#)位域）：数字I/O模式、SPI模式、Beckhoff SPI模式或HBI模式。

PDI配置寄存器：数字I/O模式

位	说明	ECAT类型	PDI类型	默认值
7:6	输出数据采样选择 00: 帧结束 01: 保留 10: DC SYNC0事件 11: DC SYNC1事件 注： 如果OUTVALID模式 = 1，输出数据将在过程数据看门狗触发事件时更新（输出数据采样选择位被忽略）	RO	RO	00b 注14
5:4	输入数据采样选择 00: 帧起始 01: LATCH_IN的上升沿 10: DC SYNC0事件 11: DC SYNC1事件	RO	RO	00b 注14
3	看门狗行为 0: 输出在看门狗超时后立即复位 1: 输出在看门狗超时后的下一个输出事件时复位	RO	RO	0b 注14
2	单向/双向模式 0: 单向模式：单独配置引脚的输入/输出方向 1: 双向模式：所有I/O引脚均是双向的。 注： 方向控制必须设置为输入。	RO	RO	0b 注14
1	OUTVALID模式 0: 输出事件信号传输 1: OUTVALID上的过程数据看门狗触发信号（WD_TRIG）传输。如果看门狗被触发，则会更新输出数据。改写 输出数据采样选择位 。	RO	RO	0b 注14
0	OUTVALID极性 0: 高电平有效 1: 低电平有效	RO	RO	0b 注14

注14： 该位域的默认值可通过EEPROM进行配置。更多信息，请参见[第11.10节“EEPROM可配置寄存器”](#)（[第239页](#)）。

PDI配置寄存器：SPI模式

位	说明	ECAT类型	PDI类型	默认值
7:3	保留 注： 将EEPROM值设置为0。	RO	RO	00000b 注15
2	SPI AL事件请求和INT_STS使能 0：禁止SPI AL事件请求和INT_STS 1：使能SPI AL事件请求和INT_STS	RO	RO	0b 注15
1	SPI WAIT_ACK极性 0：低电平有效 1：高电平有效	RO	RO	0b 注15
0	SPI WAIT_ACK缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注15

注15： 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

PDI配置寄存器：Beckhoff SPI模式

位	说明	ECAT类型	PDI类型	默认值
7:6	保留 注： 将EEPROM值设置为0。	RO	RO	00b 注16
5	数据输出采样模式 0：正常采样（在同一个SPI_CLK边沿对SPI_DO和SPI_DI进行采样） 1：延迟采样（在不同的SPI_CLK边沿对SPI_DO和SPI_DI进行采样）	RO	RO	0b 注16
4	SCS#极性 0：低电平有效 1：高电平有效	RO	RO	0b 注16
3:2	保留 注： 将EEPROM值设置为0。	RO	RO	00b 注16
1:0	SPI模式 00：SPI模式0 01：SPI模式1 10：SPI模式2 11：SPI模式3	RO	RO	00b 注16

注16： 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

PDI配置寄存器：HBI模式

位	说明	ECAT类型	PDI类型	默认值
7	HBI ALE有效性限定 配置HBI接口，以通过CS信号限定ALEHI和ALELO信号的有效性。 0：通过ALEHI和ALELO锁存地址输入 1：只有CS有效时，才通过ALEHI和ALELO锁存地址输入。	RO	RO	0b 注17
6	HBI读/写模式 配置HBI接口以用于单独的读/写信号或者方向和使能信号。 0：读取和写入 1：方向和使能	RO	RO	0b 注17
5	HBI片选极性 配置HBI接口片选信号的极性。 0：低电平有效 1：高电平有效	RO	RO	0b 注17
4	HBI读取以及读/写极性 配置HBI接口读信号的极性。 0：低电平有效读取 1：高电平有效读取 配置HBI接口读/写信号的极性。 0：1时读取，0时写入（R/nW） 1：1时写入，0时读取（W/nR）	RO	RO	0b 注17
3	HBI写入以及使能极性 配置HBI接口写信号的极性。 0：低电平有效写入 1：高电平有效写入 配置HBI接口读/写信号的极性。 0：低电平有效使能 1：高电平有效使能	RO	RO	0b 注17
2	HBI ALE极性 配置HBI接口ALEHI和ALELO信号的极性。 0：低电平有效选通（在上升沿保存地址） 1：高电平有效选通（在下降沿保存地址）	RO	RO	0b 注17
1	HBI WAIT_ACK极性 0：低电平有效 1：高电平有效	RO	RO	0b 注17
0	HBI WAIT_ACK缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注17

注17： 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.16.30 同步/锁存PDI配置寄存器

偏移量: 0151h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7	SYNC1映射 SYNC1映射到AL事件请求寄存器（0220h bit 3） 0: 禁止 1: 使能	RO	RO	0b 注18
6	SYNC1/LATCH1配置 0: LATCH1输入 1: SYNC1输出	RO	RO	0b 注18
5:4	SYNC1输出驱动器/极性 00: 推挽式（低电平有效） 01: 漏极开路（低电平有效） 10: 推挽式（高电平有效） 11: 源极开路（高电平有效）	RO	RO	00b 注18
3	SYNC0映射 SYNC0映射到AL事件请求寄存器（0220h bit 2） 0: 禁止 1: 使能	RO	RO	0b 注18
2	SYNC0/LATCH0配置 0: LATCH0输入 1: SYNC0输出	RO	RO	0b 注18
1:0	SYNC0输出驱动器/极性 00: 推挽式（低电平有效） 01: 漏极开路（低电平有效） 10: 推挽式（高电平有效） 11: 源极开路（高电平有效）	RO	RO	00b 注18

注18: 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

11.16.31 扩展PDI配置寄存器

偏移量：0152h-0153h 大小：16位

该寄存器的位定义取决于所选的PDI模式（PDI控制寄存器中的过程数据接口（PDI_SELECT）位域）：数字I/O模式、SPI模式或HBI模式。

扩展PDI配置寄存器：数字I/O模式

位	说明	ECAT类型	PDI类型	默认值
15:8	保留	RO	RO	00h
7	I/O[15:14]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
6	I/O[13:12]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
5	I/O[11:10]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
4	I/O[9:8]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
3	I/O[7:6]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
2	I/O[5:4]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
1	I/O[3:2]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19
0	I/O[1:0]方向 0：输入 1：输出 注： 双向模式下必须清零。	RO	RO	0b 注19

注19： 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

扩展PDI配置寄存器：SPI模式

位	说明	ECAT类型	PDI类型	默认值
15	I/O[15:14]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
14	I/O[13:12]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
13	I/O[11:10]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
12	I/O[9:8]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
11	I/O[7:6]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
10	I/O[5:4]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
9	I/O[3:2]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
8	I/O[1:0]缓冲器类型 0：推挽式 1：漏极开路	RO	RO	0b 注20
7	I/O[15:14]方向 0：输入 1：输出	RO	RO	0b 注20
6	I/O[13:12]方向 0：输入 1：输出	RO	RO	0b 注20
5	I/O[11:10]方向 0：输入 1：输出	RO	RO	0b 注20
4	I/O[9:8]方向 0：输入 1：输出	RO	RO	0b 注20
3	I/O[7:6]方向 0：输入 1：输出	RO	RO	0b 注20
2	I/O[5:4]方向 0：输入 1：输出	RO	RO	0b 注20
1	I/O[3:2]方向 0：输入 1：输出	RO	RO	0b 注20

位	说明	ECAT类型	PDI类型	默认值
0	I/O[1:0]方向 0: 输入 1: 输出	RO	RO	0b 注20

注20: 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

扩展PDI配置寄存器：HBI模式

位	说明	ECAT类型	PDI类型	默认值
15:3	保留	RO	RO	000h 注21
2	HBI BE1/BE0极性 0: BE1/BE0引脚低电平有效 1: BE1/BE0引脚高电平有效 注: 仅复用模式	RO	RO	0b 注21
1	执行内部写操作 0: 主机写周期（无需响应）后 1: 主机读周期（需响应）后	RO	RO	0b 注21
0	读WAIT_ACK消除延迟 0: 正常读取WAIT_ACK输出 1: 延迟读取WAOT_ACK输出	RO	RO	0b 注21

注21: 该位域的默认值可通过EEPROM进行配置。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.32 ECAT事件屏蔽寄存器

偏移量: 0200h-0201h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	ECAT事件屏蔽 ECAT事件请求寄存器事件的ECAT事件屏蔽，用于映射到EtherCAT®帧的ECAT事件位域。 0 : 不映射相应的ECAT事件请求寄存器位 1 : 映射相应的ECAT事件请求寄存器位	R/W	RO	0000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.33 AL事件屏蔽寄存器

偏移量: 0204h-0207h

大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	AL事件屏蔽 AL事件请求寄存器事件的AL事件屏蔽，用于映射到PDI IRQ信号。 0 : 不映射相应的AL事件请求寄存器位 1 : 映射相应的AL事件请求寄存器位	RO	R/W	00FFFF0Fh

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.34 ECAT事件请求寄存器

偏移量: 0210h-0211h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:12	保留	RO	RO	0000b
11	同步管理器状态镜像 该位用于镜像同步管理器通道7状态的值。 0: 无同步通道7事件 1: 同步通道7事件待处理	RO	RO	0b
10	同步管理器状态镜像 该位用于镜像同步管理器通道6状态的值。 0: 无同步通道6事件 1: 同步通道6事件待处理	RO	RO	0b
9	同步管理器状态镜像 该位用于镜像同步管理器通道5状态的值。 0: 无同步通道5事件 1: 同步通道5事件待处理	RO	RO	0b
8	同步管理器状态镜像 该位用于镜像同步管理器通道4状态的值。 0: 无同步通道4事件 1: 同步通道4事件待处理	RO	RO	0b
7	同步管理器状态镜像 该位用于镜像同步管理器通道3状态的值。 0: 无同步通道3事件 1: 同步通道3事件待处理	RO	RO	0b
6	同步管理器状态镜像 该位用于镜像同步管理器通道2状态的值。 0: 无同步通道2事件 1: 同步通道2事件待处理	RO	RO	0b
5	同步管理器状态镜像 该位用于镜像同步管理器通道1状态的值。 0: 无同步通道1事件 1: 同步通道1事件待处理	RO	RO	0b
4	同步管理器状态镜像 该位用于镜像同步管理器通道0状态的值。 0: 无同步通道0事件 1: 同步通道0事件待处理	RO	RO	0b
3	AL状态事件 0: AL状态无变化 1: AL状态变化 注: 该位的清零方式是通过ECAT读取 AL状态寄存器 。	RO	RO	0b
2	DL状态事件 0: DL状态无变化 1: DL状态变化 注: 该位的清零方式是通过ECAT读取 ESC DL状态寄存器 。	RO	RO	0b

位	说明	ECAT类型	PDI类型	默认值
1	保留	RO	RO	0b
0	DC锁存事件 0: DC锁存输入无变化 1: 至少有一个DC锁存输入变化 注: 对于由ECAT控制的锁存单元, 读取ECAT中的DC锁存事件时间后, 该位会被清零, 以使 LATCH0状态寄存器/LATCH1状态寄存器 指示无事件。	RO	RO	0b

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.35 AL事件请求寄存器

偏移量: 0220h-0223h

大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:16	保留	RO	RO	00h
15	同步管理器7中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器7中断 1: 同步管理器7中断待处理	RO	RO	0b
14	同步管理器6中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器6中断 1: 同步管理器6中断待处理	RO	RO	0b
13	同步管理器5中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器5中断 1: 同步管理器5中断待处理	RO	RO	0b
12	同步管理器4中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器4中断 1: 同步管理器4中断待处理	RO	RO	0b
11	同步管理器3中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器3中断 1: 同步管理器3中断待处理	RO	RO	0b
10	同步管理器2中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器2中断 1: 同步管理器2中断待处理	RO	RO	0b

位	说明	ECAT类型	PDI类型	默认值
9	同步管理器1中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器1中断 1: 同步管理器1中断	RO	RO	0b
8	同步管理器0中断 (同步管理器寄存器偏移量5h, bit 0或bit 1) 0: 无同步管理器0中断 1: 同步管理器0中断同步管理器	RO	RO	0b
7	保留	RO	RO	0b
6	看门狗过程数据 0: 未超时 1: 已超时 注: 该位的清零方式是读取看门狗状态过程数据寄存器。	RO	RO	0b
5	EEPROM仿真 0: 无命令待处理 1: EEPROM命令待处理 注: 该位的清零方式是通过PDI应答EEPROM控制/状态寄存器中的命令。	RO	RO	0b
4	同步管理器x激活寄存器变化 (同步管理器x激活寄存器) 0: 任何同步管理器中均无变化 1: 至少一个同步管理器发生变化 注: 该位的清零方式是通过PDI读取相应的同步管理器x激活寄存器。	RO	RO	0b
3	DC SYNC1的状态 (如果同步管理器x PDI控制寄存器的bit 7 = 1) 注: 该位的清零方式是读取SYNC1状态0x098F。	RO	RO	0b
2	DC SYNC0的状态 (如果同步管理器x PDI控制寄存器的bit 3 = 1) 注: 该位的清零方式是读取SYNC0状态0x098E。	RO	RO	0b
1	DC锁存事件 0: DC锁存输入无变化 1: 至少有一个DC锁存输入变化 注: 对于由PDI控制的锁存单元, 读取PDI中的DC锁存事件时间后, 该位会被清零, 以使LATCH0状态寄存器/LATCH1状态寄存器指示无事件。	RO	RO	0b
0	AL控制事件 0: 无AL控制寄存器变化 1: AL控制寄存器已写入(只有PDI仿真关闭(ESC配置寄存器的bit 8 = 0)时, 才会产生AL控制事件)。 注: 该位的清零方式是通过PDI读取AL控制寄存器。	RO	RO	0b

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.36 接收错误计数器寄存器

偏移量: 0300h-0307h

大小: 16位

端口0: 0300h-0301h

端口1: 0302h-0303h

端口2: 0304h-0305h

端口3: 0306h-0307h

共有4个16位接收错误计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“**x**”表示端口0-3。

位	说明	ECAT类型	PDI类型	默认值
15:8	端口 x 接收错误计数器 当达到FFh时，计数停止。这直接耦合到MII接口的RX ERR。	R/WC	RO	00h
7:0	端口 x 无效帧计数器 当达到FFh时，计数停止。	R/WC	RO	

- 注： 写入接收错误计数器寄存器中的任意一个都会清零该寄存器。
- 注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。
- 注： 端口3未使用。

11.16.37 转发的接收错误计数器寄存器

偏移量: 0308h-030Bh

大小: 8位

端口0: 0308h

端口1: 0309h

端口2: 030Ah

端口3: 030Bh

共有4个8位转发的接收错误计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	ECAT类型	PDI类型	默认值
7:0	端口x转发的接收错误计数器 当达到FFh时，计数停止。这直接耦合到MII接口的RX ERR。	R/WC	RO	00h

注： 写入接收错误计数器寄存器中的任意一个都会清零该寄存器。

注： 端口3未使用。

11.16.38 ECAT处理单元错误计数器寄存器

偏移量: 030Ch

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	ECAT处理单元错误计数器 当达到FFh时，计数停止。该位域对传送到处理单元的帧错误（例如，FCS错误或数据报结构错误）进行计数。	R/WC	RO	00h

11.16.39 PDI错误计数器寄存器

偏移量: 030Dh

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	PDI错误计数器 当达到FFh时，计数停止。如果PDI访问具有接口错误，该位域将计数。	R/WC	RO	00h

PDI错误代码：HBI模式（PDI_SELECT = 90h - 95h）

位	说明	ECAT类型	PDI类型	默认值
7:4	保留	RO	RO	0h
3	写访问的寻址错误 0：无错误 1：检测到错误	RO	RO	0b
2	读访问的寻址错误 0：无错误 1：检测到错误	RO	RO	0b
1	写访问期间的繁忙违例 0：无错误 1：检测到错误	RO	RO	0b
0	读访问期间的繁忙违例 0：无错误 1：检测到错误	RO	RO	0b

11.16.41 丢失链路计数器寄存器

偏移量：0310h-0313h 大小：8位

端口0：0310h
端口1：0311h
端口2：0312h
端口3：0313h

共有4个8位丢失链路计数器寄存器，每个寄存器均具有上述的惟一偏移地址。以下位说明中使用变量“x”表示端口0-3。

位	说明	ECAT类型	PDI类型	默认值
7:0	端口x丢失链路计数器 当达到FFh时，计数停止。仅当端口环路处于自动模式或自动关闭模式时，该计数器才会计数。 注： 仅对开启端口上丢失的链路进行计数。	R/WC	RO	00h

注： 写入丢失链路计数器寄存器中的任意一个都会清零该寄存器。

注： 端口3未使用。

11.16.42 看门狗分频器寄存器

偏移量: 0400h-0401h 大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	看门狗分频器 25 MHz计时周期数（减2），表示基本看门狗递增次数。 （默认值为100 μs = 2498）	R/W	RO	09C2h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.43 看门狗时间PDI寄存器

偏移量: 0410h-0411h 大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	看门狗时间PDI 基本看门狗递增次数。 （100 μs看门狗分频器默认值对应于100 ms。）	R/W	RO	03E8h

注： 如果看门狗时间PDI设置为0000h，则将禁止看门狗。每次访问PDI时，都将重启看门狗。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.44 看门狗时间过程数据寄存器

偏移量: 0420h-0421h 大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	看门狗时间过程数据 基本看门狗递增次数。 （100 μs看门狗分频器默认值对应于100 ms。）	R/W	RO	03E8h

注： 存在一个适用于所有同步管理器的看门狗。如果看门狗时间PDI设置为0000h，则将禁止看门狗。每次通过将看门狗触发信号使能位置1对同步管理器执行写访问时，将重启看门狗。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.45 看门狗状态过程数据寄存器

偏移量: 0440h-0441h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:1	保留	RO	RO	0000h
0	看门狗过程数据的状态 (由同步管理器触发) 0: 看门狗过程数据超时 1: 看门狗过程数据激活或禁止	RO	RO	0b

注： 读取该寄存器会将看门狗过程数据的AL事件请求寄存器位清零。

注： PDI的看门狗状态可在**ESC DL状态寄存器**的**PDI看门狗状态**位中读取。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.46 看门狗计数器过程数据寄存器

偏移量: 0442h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	看门狗计数器过程数据 当达到FFh时，计数停止。计数以确定过程数据看门狗是否超时。如果写入其中一个看门狗计数器（0442h-0443h），则该位域清零。	R/WC	RO	00h

11.16.47 看门狗计数器PDI寄存器

偏移量: 0443h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:0	看门狗PDI计数器 当达到FFh时，计数停止。计数以确定PDI看门狗是否超时。如果写入其中一个看门狗计数器（0442h-0443h），则该位域清零。	R/WC	RO	00h

11.16.50 EEPROM控制/状态寄存器

偏移量: 0502h-0503h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15	繁忙 0: EEPROM接口空闲 1: EEPROM接口繁忙	RO	RO	0b
14	错误写使能 0: 无错误 1: 未使能写入的写命令 (请参见注23)	RO	RO	0b
13	错误应答/命令 0: 无错误 1: 丢失EEPROM应答或无效命令 (请参见注23) 注: 仅EEPROM仿真: 如果发生临时故障, 则PDI写为1。	RO	R/[W] 注24	0b
12	EEPROM装载状态 0: EEPROM已装载, 器件信息可用 1: EEPROM未装载, 器件信息不可用 (EEPROM器件正在进行或失败)	RO	RO	0b
11	ESC配置区域中的校验和错误 0: 校验和正确 1: 校验和错误	RO	R/[W] 注24	0b
10:8	命令寄存器 写: 启动命令 读: 当前执行的命令 000: 无命令/EEPROM空闲 (清零错误位) 001: 读 010: 写 100: 重载 其他: 保留/无效命令 (不发出) (请参见注25)	R/W	R/[W] 注24	000b
7	选择的EEPROM算法 0: 1个地址字节 (1 Kb - 16 Kb EEPROM) 1: 2个地址字节 (32 Kb - 4 Mb EEPROM)	RO	RO	注26
6	支持的EEPROM字节数 0: 4字节 1: 8字节	RO	RO	1b
5	EEPROM仿真 0: 正常工作 (使用I ² C接口) 1: PDI仿真EEPROM (未使用I ² C) 注: 必须写为0。	RO	RO	注27

位	说明	ECAT类型	PDI类型	默认值
4:1	保留	RO	RO	0b
0	ECAT写使能 0: 禁止写请求 1: 使能写请求（请参见 注28 ）	R/W	RO	0b

- 注23:** 通过向[命令寄存器](#)位写入“000”（或任何有效命令）来将错误位清零。
- 注24:** EEPROM接口繁忙时（[繁忙位](#) = 1），可执行写访问。PDI通过向相应的命令寄存器位bit 10:8写入1来应答待处理命令。可通过向错误位（bit 11和bit 13）写入1来指示错误。应答会将[AL事件请求寄存器](#)的bit 5清零。
- 注25:** 执行命令后（EEPROM繁忙结束），[命令寄存器](#)位将自清零。向[命令寄存器](#)位写入“000”还会将错误位bit 14:13清零。如果[命令寄存器](#)待处理，则[错误应答/命令](#)位将被忽略。
- 注26:** 该位的默认值取决于[E2PSIZE](#)配置脚。
- 注27:** 该位的默认值取决于[EE_EMUL2](#)和[EE_EMUL1](#)配置脚。
- 注28:** [ECAT写使能](#)位在下一个帧的SOF处自清零。
- 注:** 如果[EEPROM配置寄存器](#)的[PDI EEPROM控制](#)位为0且[EEPROM PDI访问状态寄存器](#)的[EEPROM访问](#)位也为0，则EtherCAT控制SII EEPROM接口。否则，PDI控制EEPROM接口。
- 注:** 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.51 EEPROM地址寄存器

偏移量: 0504h-0507h 大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	EEPROM地址 Bit 0: 第一个字 (16位) Bit 1: 第二个字 注: 实际使用的EEPROM地址位: [9:0]: EEPROM大小最大为16 Kb [17:0]: EEPROM大小最大为32 Kb - 4 Mb [31:0]: EEPROM仿真	R/W	R/W	00000000h

- 注:** 写访问取决于EEPROM接口 (ECAT/PDI) 的分配。EEPROM接口繁忙时 (EEPROM控制/状态寄存器的繁忙的位 = 1), 通常会阻止写访问。
- 注:** 如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0, 则EtherCAT控制SII EEPROM接口。否则, PDI控制EEPROM接口。
- 注:** 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.52 EEPROM数据寄存器

偏移量: 0508h-050Fh 大小: 64位

位	说明	ECAT类型	PDI类型	默认值
63:16	EEPROM读数据 要从EEPROM读取的数据的高字节	RO	RO	0000 0000 0000h
15:0	EEPROM读/写数据 要从EEPROM读取的数据的低字节或者要写入EEPROM的数据	R/W	R/W	0000h

- 注:** 写访问取决于EEPROM接口 (ECAT/PDI) 的分配。EEPROM接口繁忙时 (EEPROM控制/状态寄存器的繁忙的位 = 1), 通常会阻止写访问。
- 注:** 如果EEPROM配置寄存器的PDI EEPROM控制位为0且EEPROM PDI访问状态寄存器的EEPROM访问位也为0, 则EtherCAT控制SII EEPROM接口。否则, PDI控制EEPROM接口。
- 注:** 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.53 MII管理控制/状态寄存器

偏移量：0510h-0511h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15	繁忙 0：MI控制状态机空闲 1：MI控制状态机工作	RO	RO	0b
14	命令错误 0：最后一条命令成功 1：无效命令或未进行写使能的写命令 注： 通过有效命令或通过向 命令寄存器 写入“00”来清零。	RO	RO	0b
13	读错误 0：无读错误 1：出现读错误（PHY或寄存器不可用） 注： 通过写入该寄存器清零。	R/W 注29	R/W 注29	0b
12:10	保留	RO	RO	0b
9:8	命令寄存器 写：启动命令。 读：当前执行的命令 请参见注30。 命令： 00：无命令/MI空闲（清零错误位） 01：读 10：写 11：保留（不发出）	R/W 注29	R/W 注29	00b
7:3	PHY偏移地址	RO	RO	00000b
2	MI链路检测 （链路配置，链路检测，寄存器 PHY端口状态寄存器 ） 0：不可用 1：MI链路检测有效	RO	RO	0b 注31
1	管理接口控制 0：仅ECAT控制 1：可进行MPDI控制（ MII管理ECAT访问状态寄存器 和 MII管理PDI访问状态寄存器 ）	RO	RO	1b
0	写使能 0：禁止写操作 1：使能写操作 注： 如果PDI具有MI控制，该位始终为1。（请参见注32）	R/W 注29	RO	0b

注29： 写访问取决于MI接口（ECAT/PDI）的分配。MII接口繁忙时（**MII管理控制/状态寄存器**的**繁忙位** = 1），通常会阻止写访问。

- 注30:** 执行命令后（繁忙结束），命令寄存器位（bit9:8）将自清零。向命令寄存器位写入“00”还会将该寄存器的错误位bit 14:13清零。执行命令后，命令寄存器位（bit9:8）将清零。
- 注31:** 该位域的默认值可通过EEPROM进行配置。在通过EEPROM成功配置器件前，该位为0且MI链路检测为禁止状态。仅当上电复位之后第一次装载EEPROM时，MI链路检测的EEPROM设置才生效。即使最初无法读取EEPROM，更改及手动重载EEPROM也不会影响MI链路检测的使能状态。更多信息，请参见第11.10节“EEPROM可配置寄存器”（第239页）。
- 注32:** 写使能位bit 0在下一个帧的SOF处（或PDI访问结束时）自清零。
- 注:** 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.54 PHY地址寄存器

偏移量: 0512h 大小: 8位

位	说明	ECAT类型	PDI类型	默认值
6:5	保留 写为0。	RO	RO	000b
4:0	PHY地址	R/W 注33	R/W 注33	00000b

注33: 写访问取决于MI接口（ECAT/PDI）的分配。MII接口繁忙时（[MII管理控制/状态寄存器](#)的繁忙位 = 1），通常会阻止写访问。

11.16.55 PHY寄存器地址寄存器

偏移量: 0513h 大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:5	保留 写为0。	RO	RO	000b
4:0	要读取/写入的PHY寄存器的地址	R/W 注34	R/W 注34	00000b

注34: 写访问取决于MI接口（ECAT/PDI）的分配。MII接口繁忙时（[MII管理控制/状态寄存器](#)的繁忙位 = 1），通常会阻止写访问。

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	强制PDI访问状态 0: 不更改MII管理访问（PDI）位 1: 复位MII管理访问（PDI）位	R/W	RO	0b
0	MII管理访问（PDI） 0: ECAT可以进行MII管理访问 1: PDI可以进行MII管理访问	RO	R/W 注37	0b

11.16.59 PHY端口状态寄存器

大小: 8位

端口3: 051Bh

位	说明	ECAT类型	PDI类型	默认值
7:6	保留 写为0。	RO	RO	00b
5	端口x丢失链路计数器 0: 无更新 1: 更新了PHY配置 注: 通过向至少一个PHY端口状态寄存器写入任意值来清零。	R/WC 注38	R/WC 注38	0b
4	端口x链路伙伴错误 0: 未检测到错误 1: 链路伙伴错误	RO	RO	0b
3	端口x读错误 0: 未检测到读错误 1: 发生了读错误 注: 通过向至少一个PHY端口状态寄存器写入任意值来清零。	R/WC 注38	R/WC 注38	0b

位	说明	ECAT类型	PDI类型	默认值
2	端口x链路状态错误 0: 无错误 1: 链路错误, 链路被禁止	RO	RO	0b
1	端口x链路状态 (100 Mbps, 全双工, 自动协商) 0: 无链路 1: 检测到链路	RO	RO	0b
0	端口x物理链路 (PHY状态寄存器1.2) 0: 无物理链路 1: 检测到物理链路	RO	RO	0b

注38: 写访问取决于MI接口 (ECAT/PDI) 的分配。

注: 端口3未使用。

11.16.60 FMMU[2:0]寄存器

该器件包含8个FMMU。从0600h开始, 每个FMMU用16个字节描述。表11-19详细给出了每个FMMU的基址。后续FMMU寄存器将以相对于这些不同基址的偏移量的形式进行引用。以下位说明中使用变量“x”表示FMMU 0至FMMU 7。

表11-19: FMMU x基址

FMMU	基址
0	0600h
1	0610h
2	0620h
3	0630h
4	0640h
5	0650h
6	0660h
7	0670h

11.16.60.1 FMMUx逻辑起始地址寄存器

偏移量: FMMUx基址+0h-3h 大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	逻辑起始地址 EtherCAT®地址空间内的逻辑起始地址。	R/W	RO	00000000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.60.2 FMMUx长度寄存器

偏移量：FMMUx基址+4h-5h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:0	长度 最后一个FMMU字节相对于第一个逻辑FMMU字节的偏移量 + 1（例如，如果使用两个字节，则该参数将包含2）。	R/W	RO	0000h

注：对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.60.3 FMMUx逻辑起始位寄存器

偏移量：FMMUx基址+6h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	逻辑起始位 将进行映射的逻辑起始位（位的计数范围为最低有效位（0）到最高有效位（7））。	R/W	RO	000b

11.16.60.4 FMMUx逻辑停止位寄存器

偏移量：FMMUx基址+7h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	逻辑停止位 将进行映射的最后一个逻辑位（位的计数范围为最低有效位（0）到最高有效位（7））。	R/W	RO	000b

11.16.60.5 FMMUX物理起始地址寄存器

偏移量：FMMUX基址+8h-9h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:0	物理起始地址 (映射到逻辑起始地址)	R/W	RO	0000h

注：对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.60.6 FMMUX物理起始位寄存器

偏移量：FMMUX基址+Ah

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2:0	物理起始位 作为逻辑起始位映射目标的物理起始位（位的计数范围为最低有效位（0）到最高有效位（7））。	R/W	RO	000b

11.16.60.7 FMMUX类型寄存器

偏移量：FMMUX基址+Bh

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	写访问映射 0：忽略写访问映射 1：使用写访问映射	R/W	RO	0b
0	读访问映射 0：忽略读访问映射 1：使用读访问映射	R/W	RO	0b

11.16.60.8 FMMUXx激活寄存器

偏移量: FMMUx基址+Ch

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:1	保留 写为0。	RO	RO	0000000b
0	FMMU激活 0: 禁止FMMUx 1: 激活FMMUx。FMMUx根据配置的映射来校验要进行映射的逻辑寻址块。	R/W	RO	0b

11.16.60.9 FMMUx保留寄存器

偏移量: FMMUx基址+Dh-Fh

大小：24位

位	说明	ECAT类型	PDI类型	默认值
23:0	保留 写为0。	RO	RO	000000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.61 SyncManager[3:0]寄存器

该器件包含8个同步管理器。从0800h开始，每个同步管理器用8个字节描述。表11-20详细给出了每个同步管理器的基址。后续同步管理器寄存器将以相对于这些不同基址的偏移量的形式进行引用。以下位说明中使用变量“x”表示同步管理器0至同步管理器7。

表11-20：同步管理器x基址

同步管理器	基址
0	0800h
1	0808h
2	0810h
3	0818h
4	0820h
5	0828h
6	0830h
7	0838h

11.16.61.1 同步管理器x物理起始地址寄存器

偏移量：同步管理器x基址+0h-1h 大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:0	物理起始地址 指定将通过同步管理器x处理的第一个字节。	R/W 注39	RO	0000h

注39： 只有通过同步管理器x激活寄存器的同步管理器使能/禁止位禁止相应的同步管理器时，才能写入该寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.61.2 同步管理器x长度寄存器

偏移量：同步管理器x基址+2h-3h 大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:0	长度 分配给同步管理器x的字节数。（该位域应大于1，否则不会激活同步管理器。如果设置为1，则仅产生看门狗触发信号（如已配置）。）	R/W 注40	RO	0000h

注40： 只有通过同步管理器x激活寄存器的同步管理器使能/禁止位禁止同步管理器x时，才能写入该寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.61.3 同步管理器x控制寄存器

偏移量：同步管理器x基址+4h 大小：8位

位	说明	ECAT类型	PDI类型	默认值
7	保留 写为0。	RO	RO	0b
6	看门狗触发信号使能 0：禁止 1：使能	R/W 注41	RO	0b
5	PDI事件请求寄存器中的中断 0：禁止 1：使能	R/W 注41	RO	0b
4	ECAT事件请求寄存器中的中断 0：禁止 1：使能	R/W 注41	RO	0b
3:2	方向 00：读操作：ECAT读访问，PDI写访问 01：写操作：ECAT写访问，PDI读访问 10：保留 11：保留	R/W 注41	RO	00b
1:0	工作模式 00：缓冲（三缓冲区模式） 01：保留 10：邮箱（单缓冲区模式） 11：保留	R/W 注41	RO	00b

注41： 只有通过同步管理器x激活寄存器的同步管理器使能/禁止位禁止同步管理器x时，才能写入该寄存器。

11.16.61.4 同步管理器x状态寄存器

偏移量：同步管理器x基址+5h 大小：8位

位	说明	ECAT类型	PDI类型	默认值
7	正在使用的写缓冲区 (已开启)	RO	RO	0b
6	正在使用的读缓冲区 (已开启)	RO	RO	0b
5:4	缓冲区状态 (最后写入的缓冲区) 缓冲模式: 00: 第1个缓冲区 01: 第2个缓冲区 10: 第3个缓冲区 11: 未写入缓冲区 邮箱模式: 保留	RO	RO	11b
3	邮箱状态 邮箱模式: 0: 邮箱为空 1: 邮箱已满 缓冲模式: 保留	RO	RO	0b
2	保留 写为0。	RO	RO	0b
1	读中断 0: 在写入缓冲区的第一个字节后清除中断 1: 在完全成功读取缓冲区后产生中断	RO	RO	0b
0	写中断 0: 在读取缓冲区的第一个字节后清除中断 1: 在完全成功写入缓冲区后产生中断	RO	RO	0b

11.16.61.5 同步管理器x激活寄存器

偏移量：同步管理器x基址+6h 大小：8位

位	说明	ECAT类型	PDI类型	默认值
7	锁存事件PDI 0：无 1：如果PDI发起缓冲区交换或者PDI访问缓冲区起始地址，则会产生锁存事件。	R/W	RO	0b
6	锁存事件ECAT 0：无 1：如果EtherCAT®主设备发起缓冲区交换，则会产生锁存事件。	R/W	RO	0b
5:2	保留 写为0。	RO	RO	0000b
1	重复请求 重复请求翻转表示需要邮箱重试（主要与ECAT读邮箱配合使用）	R/W	RO	0b
0	同步管理器使能/禁止 0：禁止：在没有同步管理器控制的情况下访问存储器 1：使能：同步管理器工作并控制配置中设置的存储区。	R/W	RO	0b

注： 在已更改激活状态的所有同步管理器中通过PDI读取该寄存器会将AL事件请求寄存器中的“同步管理器x激活寄存器已变化”位清零。

11.16.61.6 同步管理器x PDI控制寄存器

偏移量：同步管理器x基址+7h 大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:2	保留 写为0。	RO	RO	000000b
1	重复应答 如果将该位设置为与 重复请求 相同的值，则PDI将对上一次设置的重复请求的执行做出应答。	RO	R/W	0b
0	禁止同步管理器x 读： 0：正常工作，激活同步管理器x 1：禁止同步管理器x并复位同步管理器x对存储区的访问锁定 写： 0：激活同步管理器 1：禁止请求同步管理器	RO	R/W	0b

11.16.62 接收时间端口0寄存器

偏移量：0900h-0903h 大小：32位

位	说明	ECAT类型	PDI类型	默认值
31:8	包含对寄存器09000h的写访问的最后一个接收帧开始时的本地时间。	RO	RO	未定义
7:0	写： 通过BWR或FPWR（配置地址）对寄存器0900h执行写访问时，将锁存每个端口上的接收帧开始时（前导码的第一位开始时）的本地时间。 读： 包含对该寄存器的写访问的最后一个接收帧开始时的本地时间。 注： 无法在写入该寄存器的同一个帧中读取时间戳。	R/W	RO	未定义

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.63 接收时间端口1寄存器

偏移量: 0904h-0907h

大小： 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	包含用于接收时间端口0寄存器的BWR或FPWR的端口1上接收的帧开始时（前导码的第一位开始时）的本地时间。	RO	RO	未定义

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.64 接收时间端口2寄存器

偏移量: 0908h-090Bh

大小：32位

位	说明	ECAT类型	PDI类型	默认值
31:0	包含用于接收时间端口0寄存器的BWR或FPWR的端口2上接收的帧开始时（前导码的第一位开始时）的本地时间。	RO	RO	未定义

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.65 系统时间寄存器

偏移量: 0910h-0917h 大小: 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	<u>ECAT读访问:</u> 帧通过参考时钟（即，包含系统时间延时）时系统时间的本地副本。在帧起始时（以太网SOF分隔符）锁存的时间。 <u>PDI读访问:</u> 系统时间的本地副本。读取第一个字节（0910h）时锁存的时间。	RO	RO	00000000h 00000000h
31:0	<u>ECAT写访问:</u> 写入的值将与系统时间的本地副本进行比较。结果为时间控制环的输入。 <u>PDI写访问:</u> 写入的值将与LATCH0时间上升沿时间进行比较。结果为时间控制环的输入。 注: 如果至少写入了第一个字节（0910h），则写入的值将在帧结束时与锁存的（SOF）系统时间本地副本进行比较。	W 注42	W	00000000h

注42: 当通过ECAT执行写操作时，将触发控制环以处理新值。
注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.66 接收时间ECAT处理单元寄存器

偏移量: 0918h-091Fh 大小: 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	包含对 接收时间端口0寄存器 （0900h）的写访问的ECAT处理单元上接收的帧起始时（前导码的第一位开始时）的本地时间。 注: 如果端口0开启，该寄存器将以64位值反映 接收时间端口0寄存器 。	RO	RO	00000000h 00000000h

注: 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.72 系统时间差值滤波器深度寄存器

偏移量: 0934h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:4	保留	RO	RO	0h
3:0	用于对所接收系统时间的偏差求平均值的滤波器深度。 注： 写访问将复位 系统时间差值寄存器 。	R/W	R/W	4h

11.16.73 速度计数器滤波器深度寄存器

偏移量: 0935h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:4	保留	RO	RO	0h
3:0	用于对时钟周期偏差求平均值的滤波器深度。 注： 写访问将复位内部速度计数器滤波器。	R/W	R/W	Ch

11.16.74 循环单元控制寄存器

偏移量: 0980h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7:6	保留 写为0。	RO	RO	00b
5	锁存输入单元1 0: ECAT控制 1: PDI控制 注: 锁存中断传递到ECAT/PDI, 具体取决于该设置。	R/W	RO	0b
4	锁存输入单元0 0: ECAT控制 1: PDI控制 注: 始终为1 (PDI控制) 表示系统时钟由PDI控制。锁存中断传递到ECAT/PDI, 具体取决于该设置。	R/W	RO	0b
3:1	保留 写为0。	RO	RO	000b
0	同步输出单元控制 0: ECAT控制 1: PDI控制	R/W	RO	0b

11.16.75 激活寄存器

偏移量：0981h

大小：8位

位	说明	ECAT类型	PDI类型	默认值
7	同步信号调试脉冲（Vasili位） 0：禁止 1：根据该寄存器的bit 2和bit 1，立即在SYNC0和SYNC1上产生单个调试脉冲。	R/W	R/W	0b
6	近期范围配置（近似值） 0：1/2 DC宽度（ 2^{31} ns或 2^{63} ns） 1：2.1s（ 2^{31} ns）	R/W	R/W	0b
5	起始时间似真校验 0：禁止。如果到达起始时间，则产生同步信号。 1：如果起始时间超出近期范围配置（近似值），则立即产生同步信号。	R/W	R/W	0b
4	起始时间循环操作扩展 （起始时间循环操作寄存器） 0：无扩展 1：将写入的32位起始时间扩展为64位	R/W	R/W	0b
3	自动激活 （通过写入起始时间循环操作寄存器） 0：禁止 1：使能自动激活。同步输出单元激活在写入起始时间后自动置1。	R/W	R/W	0b
2	SYNC1产生 0：禁止 1：产生SYNC1脉冲	R/W	R/W	0b
1	SYNC0产生 0：禁止 1：产生SYNC0脉冲	R/W	R/W	0b
0	同步输出单元激活 0：禁止 1：激活 注： 在写入起始时间后写1。	R/W	R/W	0b

注： 根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

11.16.76 同步信号寄存器的脉冲长度

偏移量: 0982h-0983h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	同步信号的脉冲长度 (以10 ns为单位) 值0用于应答模式: 同步信号的清零方式是读取 SYNC0状态寄存器 / SYNC1状态寄存器 。	RO	RO	0000h 注43

注43: 该位域的默认值可通过EEPROM进行配置。更多信息, 请参见[第11.10节“EEPROM可配置寄存器”](#) (第239页)。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.77 激活状态寄存器

偏移量: 0984h

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:3	保留	RO	RO	00000b
2	激活同步输出单元时的起始时间循环操作 (起始时间循环操作寄存器) 似真校验结果。 0: 起始时间在近期范围内 1: 起始时间超出近期范围	RO	RO	0b
1	SYNC1激活状态 0: 第一个SYNC1脉冲未处于待处理状态 1: 第一个SYNC1脉冲处于待处理状态	RO	RO	0b
0	SYNC0激活状态 0: 第一个SYNC0脉冲未处于待处理状态 1: 第一个SYNC0脉冲处于待处理状态	RO	RO	0b

11.16.78 SYNC0状态寄存器

偏移量: 098Eh

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:1	保留	RO	RO	0000000b
0	应答模式下的SYNC0状态 在应答模式下，SYNC0的清零方式是通过PDI读取该寄存器。仅在应答模式下使用。	RO	RO	0b

11.16.79 SYNC1状态寄存器

偏移量: 098Fh

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:1	保留	RO	RO	0000000b
0	应答模式下的SYNC1状态 在应答模式下，SYNC1的清零方式是通过PDI读取该寄存器。仅在应答模式下使用。	RO	RO	0b

11.16.80 起始时间循环操作寄存器

偏移量: 0990h-0997h

大小: 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	写: 循环操作的起始时间（系统时间）（单位为ns）。 读: 下一个SYNC0脉冲的系统时间（单位为ns）。	R/W	R/W	00000000h 00000000h

注： 根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。仅当同步输出单元控制为0时才可写入。

注： 当激活寄存器的自动激活位为1时：如果一个帧中仅写入低32位，则将自动扩展高32位。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.81 下一个SYNC1脉冲寄存器

偏移量: 0998h-099Fh 大小: 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	下一个SYNC1脉冲的系统时间（单位为ns）。	RO	RO	00000000h 00000000h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.82 SYNC0周期时间寄存器

偏移量: 09A0h-09A3h 大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	相邻两个连续SYNC0脉冲的时间间隔（单位为ns）。 值0表示单脉冲模式——仅产生一个SYNC0脉冲。	R/W	R/W	00000000h

注： 根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.83 SYNC1周期时间寄存器

偏移量: 09A4h-09A7h 大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	SYNC1脉冲与SYNC0脉冲的时间间隔（单位为ns）。	R/W	R/W	00000000h

注： 根据循环单元控制寄存器的同步输出单元控制位写入该寄存器。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.86 LATCH0状态寄存器

偏移量: 09AEh

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2	LATCH0引脚状态	RO	RO	0b
1	事件LATCH0下降沿 0: 未检测到下降沿或连续模式。 1: 仅在单个事件模式下检测到下降沿。 注: 通过读取LATCH0时间下降沿寄存器将标志清零。	RO	RO	0b
0	事件LATCH0上升沿 0: 未检测到上升沿或连续模式。 1: 仅在单个事件模式下检测到上升沿。 注: 通过读取LATCH0时间上升沿寄存器将标志清零。	RO	RO	0b

11.16.87 LATCH1状态寄存器

偏移量: 09AFh

大小: 8位

位	说明	ECAT类型	PDI类型	默认值
7:3	保留 写为0。	RO	RO	00000b
2	LATCH1引脚状态	RO	RO	0b
1	事件LATCH1下降沿 0: 未检测到下降沿或连续模式。 1: 仅在单个事件模式下检测到下降沿。 注: 通过读取LATCH1时间下降沿寄存器将标志清零。	RO	RO	0b
0	事件LATCH1上升沿 0: 未检测到上升沿或连续模式。 1: 仅在单个事件模式下检测到上升沿。 注: 通过读取LATCH1时间上升沿寄存器将标志清零。	RO	RO	0b

11.16.90 LATCH1时间上升沿寄存器

偏移量: 09C0h-09C7h

大小： 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	该寄存器在LATCH1信号的上升沿捕捉系统时间。 注： 读取此寄存器会将 事件LATCH1上升沿 位清零 LATCH1状态寄存器	RO	RO	00000000h 00000000h

注：当读取bit [7:0]时，寄存器的bit [63:8]在内部锁存（ECAT/PDI各自独立），从而保证读取值的一致性。**LATCH1**状态寄存器的**事件LATCH1上升沿**位是否清零，取决于**循环单元控制寄存器**的**锁存输入单元1**位的设置。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.91 LATCH1时间下降沿寄存器

偏移量: 09C8h-09CFh

大小： 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	该寄存器在LATCH1信号的下降沿捕捉系统时间。 注： 读取此寄存器会将 事件LATCH1下降沿 位清零 LATCH1状态寄存器	RO	RO	00000000h 00000000h

注：当读取bit [7:0]时，寄存器的bit [63:8]在内部锁存（ECAT/PDI各自独立），从而保证读取值的一致性。**LATCH1**状态寄存器的**事件LATCH1下降沿**位是否清零，取决于**循环单元控制寄存器**的**锁存输入单元1**位的设置。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.92 EtherCAT缓冲区变化事件时间寄存器

偏移量: 09F0h-09F3h

大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	该寄存器捕捉导致至少一个同步管理器触发ECAT事件的帧起始时的本地时间。	RO	RO	00000000h

注： 当读取bit [7:0]时，寄存器的bit [31:8]在内部锁存（ECAT/PDI各自独立），从而保证读取值的一致性。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.93 PDI缓冲区起始时间事件寄存器

偏移量: 09F8h-09FBh

大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	该寄存器捕捉至少一个同步管理器触发PDI缓冲区起始事件时的本地时间。	RO	RO	00000000h

注： 当读取bit [7:0]时，寄存器的bit [31:8]在内部锁存（ECAT/PDI各自独立），从而保证读取值的一致性。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.94 PDI缓冲区变化事件时间寄存器

偏移量: 09FCh-09FFh

大小: 32位

位	说明	ECAT类型	PDI类型	默认值
31:0	该寄存器捕捉至少一个同步管理器触发PDI缓冲区变化事件时的本地时间。	RO	RO	00000000h

注： 当读取bit [7:0]时，寄存器的bit [31:8]在内部锁存（ECAT/PDI各自独立），从而保证读取值的一致性。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.95 产品ID寄存器

偏移量: 0E00h-0E07h

大小： 64位

位	说明	ECAT类型	PDI类型	默认值
63:0	产品ID	RO	RO	0000h ssssh 9253h rrrrh 注44

注44: “rrrr”的值为最新硅片版本。“ssss”的值取决于以下配置脚值: 0, XTAL_MODE、CLK_25_EN、100FD_B、MII_LINKPOL、TX_SHIFT[1:0]、100FD_A、EE_EMUL[2:0]、EE_EMUL_ALELO、POL、E2PSIZE、EE_EMUL1和EE_EMUL2的“与非”门（如果任一值为低电平，则该位为1）以及CHIPMODE[1:0]。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.96 供应商ID寄存器

偏移量: 0E08h-0E0Fh

大小： 64位

位	说明	ECAT类型	PDI类型	默认值
63:32	保留	RO	RO	00000000h
31:0	供应商ID	RO	RO	000004D8h

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.97 数字I/O输出数据寄存器

偏移量: 0F00h-0F01h

大小：16位

位	说明	ECAT类型	PDI类型	默认值
15:0	输出数据	R/W	RO	0000h

注：该寄存器可按位写入（使用逻辑寻址）。

注： 对于超过一个字节的EtherCAT内核CSR寄存器，LSB具有最低地址，MSB具有最高地址。

11.16.101 数字I/O输入数据寄存器

偏移量: 1000h-1001h

大小: 16位

位	说明	ECAT类型	PDI类型	默认值
15:0	输入数据	R/W	R/W	未定义

注: 该寄存器是过程RAM地址空间的一部分。过程RAM还可通过EtherCAT过程RAM读数据FIFO (ECAT_PRAM_RD_DATA) 和EtherCAT过程RAM写数据FIFO (ECAT_PRAM_WR_DATA) 直接寻址。

注: 仅当EEPROM正确装载时 (ESC_DL状态寄存器的PDI工作/EEPROM正确装载位 = 1), 才可访问过程数据RAM

注: 如果配置为数字I/O PDI (输入), 则数字I/O输入数据会写入过程数据RAM的这些地址。

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

11.16.102 过程数据RAM

偏移量: 1000h-2FFFh

大小: 8 KB

位	说明	ECAT类型	PDI类型	默认值
-	过程数据RAM (4 KB)	R/W	R/W	未定义

注: 仅当EEPROM正确装载时 (ESC_DL状态寄存器的PDI工作/EEPROM正确装载位 = 1), 才可访问过程数据RAM

注: 对于超过一个字节的EtherCAT内核CSR寄存器, LSB具有最低地址, MSB具有最高地址。

12.0 EEPROM接口

器件包含I²C控制器，该控制器使用EESCL和EESDA引脚。EESCL和EESDA需要外接上拉电阻。支持1字节和2字节寻址的EEPROM，字节大小由E2PSIZE配置脚决定。

12.1 I²C接口时序要求

本节规定I²C控制器接口的输入和输出时序。I²C控制器接口在快速模式下以148.8 kHz的速率运行。

图12-1: I²C控制器时序图

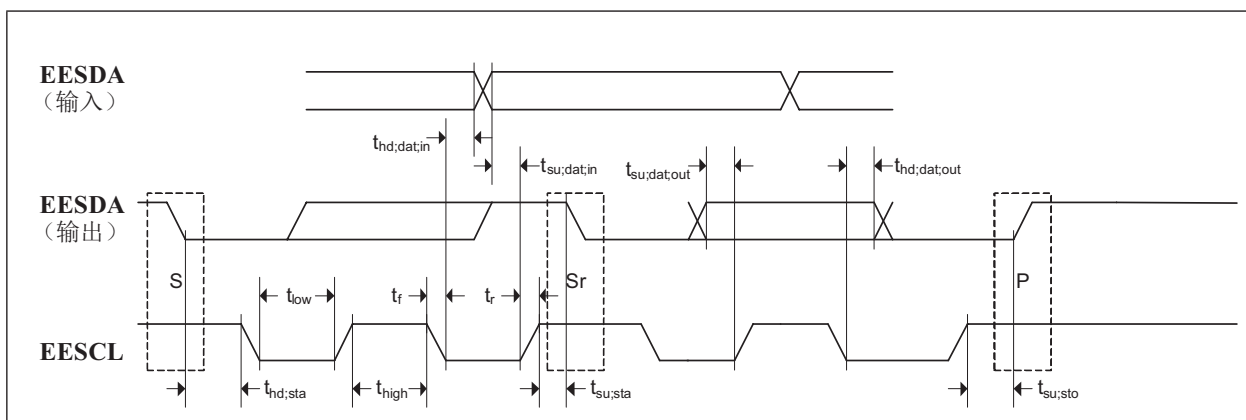


表12-1: I²C控制器时序值

符号	说明	最小值	典型值	最大值	单位
f_{scl}	EESCL时钟频率	-	148.8	-	kHz
t_{high}	EESCL高电平时间	3.0	-	-	μs
t_{low}	EESCL低电平时间	3.0	-	-	μs
t_r	EESDA和EESCL的上升时间		-	300	ns
t_f	EESDA和EESCL的下降时间		-	300	ns
$t_{su;sta}$	重复启动条件下EESDA输出下降前EESCL高电平的建立时间（提供给目标）	1000 注45	-	-	ns
$t_{hd;sta}$	启动或重复启动条件下EESDA输出下降后EESCL的保持时间（提供给目标）	1000 注45	-	-	ns
$t_{su;dat;in}$	EESCL上升前EESDA输入的建立时间（来自目标）	200 注46	-	-	ns
$t_{hd;dat;in}$	EESCL下降后EESDA输入的保持时间（来自目标）	0	-	-	ns
$t_{su;dat;out}$	EESCL上升前EESDA输出的建立时间（提供给目标）	400 注47	-	-	ns
$t_{hd;dat;out}$	EESCL下降后EESDA输出的保持时间（提供给目标）	400 注47	-	-	ns
$t_{su;sto}$	停止条件下EESDA输出上升前EESCL高电平的建立时间（提供给目标）	1000 注45	-	-	ns

注45: 与I²C快速模式规范相比，这些值提供400 ns的裕量。

注46: 与I²C快速模式规范相比，此值提供大约2100 ns的裕量。

注47: 与I²C快速模式规范相比，这些值提供300 ns的建立裕量和400 ns的保持裕量。

12.2 EEPROM仿真

为了降低系统成本和复杂性，该器件支持EEPROM仿真。

可在带有连接到单片机的非易失性存储器（NVRAM）的ESC中使用EEPROM仿真模式。ESC配置和设备描述可以存储在单片机的NVRAM中，单片机根据ESC的请求对NVRAM执行读写操作。

从EtherCAT主设备的角度来看，EEPROM仿真模式和I²C EEPROM之间没有区别。主设备只需发出EEPROM命令，然后等待EEPROM接口不再繁忙即可。

在EEPROM仿真模式下，如果EEPROM命令处于待处理状态，则ESC将向单片机发出中断，并自动将忙位0x0502[15]置1。当忙位置1时，单片机可以读出命令和EEPROM地址。对于写访问，写数据位于数据寄存器中。对于读命令，读数据必须由单片机存储在数据寄存器中。

单片机完成对EEPROM数据寄存器的读/写操作后，将通过写入EEPROM命令寄存器位来确认命令。单片机必须将其执行的命令值写入EEPROM命令寄存器。可以使用两个错误位来指示错误。确认命令后，EEPROM忙位0x0502[15]将自动清零，并释放中断。

单片机可以使用EEPROM内容的高速缓存映像，以减少访问时间和对NVRAM的写周期。NVRAM应当在ESC完成写访问后不久更新（例如，在超时后）。不应依赖于主机的特定写入顺序。

在EEPROM仿真期间，配置重载会获取全部16字节（一次8字节），其格式与实际EEPROM中的ESC配置区域相同，包括有效的CRC。

通过在外部将EE_EMUL2或EE_EMUL1配置脚拉为低电平来使能EEPROM仿真模式。EEPROM仿真模式由EEPROM控制/状态寄存器中的EEPROM仿真位指示。

注： 为确保EEPROM正常工作，EE_EMUL2或EE_EMUL1配置脚应外接上拉电阻。

13.0 芯片模式配置

芯片模式由CHIP_MODE[1:0]配置脚控制，如下所示：

表13-1：芯片模式选择

CHIP_MODE[1:0]	模式
0x	双端口模式。端口0 = PHY A，端口1 = PHY B
10	三端口下行模式。端口0 = PHY A，端口1 = PHY B，端口2 = MII
11	三端口上行模式。端口0 = MII，端口1 = PHY B，端口2 = PHY A

选择芯片模式后，通过PDI控制寄存器的过程数据接口（PDI_SELECT）位域选择使用的PDI。有效选择如下：

表13-2：PDI模式选择

PDI_SELECT	PDI模式	EtherCAT®直接映射模式
0x04	DIG I/O	N/A
0x05	Beckhoff SPI	是
0x80	SPI	否
0x82	SPI	是
0x88	HBI复用1阶段8位	否
0x89	HBI复用1阶段16位	否
0x8A	HBI复用2阶段8位	否
0x8B	HBI复用2阶段16位	否
0x8C	HBI变址8位	否
0x8D	HBI变址16位	否
0x90	HBI复用1阶段8位	是
0x91	HBI复用1阶段16位	是
0x92	HBI复用2阶段8位	是
0x93	HBI复用2阶段16位	是
0x94	HBI变址8位	是
0x95	HBI变址16位	是
其他	保留	-

注： 通过CHIP_MODE[1:0]配置脚选择的芯片模式不受PDI选择的影响。

注： 由于引脚共用，当器件处于三端口模式时，惟一可用的接口是SPI。

13.1 HBI子配置

PDI配置寄存器和扩展PDI配置寄存器用于HBI配置脚，如表11-4 “EtherCAT内核EEPROM可配置寄存器”所示。PDI配置寄存器和扩展PDI配置寄存器根据EEPROM的内容进行初始化。

13.2 SPI子配置

PDI配置寄存器用于SPI配置脚，如表11-4 “EtherCAT内核EEPROM可配置寄存器”所示。PDI配置寄存器根据EEPROM的内容进行初始化。

13.3 Beckhoff SPI子配置

PDI配置寄存器用于SPI配置脚，如表11-4 “EtherCAT内核EEPROM可配置寄存器”所示。PDI配置寄存器根据EEPROM的内容进行初始化。

13.4 EEPROM仿真模式器件配置

通常，在读取ESC配置区域并配置器件之前，禁止所有主机接口（HBI和SPI），因为大部分器件由EEPROM内容配置。使用EEPROM仿真模式时，必须选择默认主机接口配置/子配置以允许主机微处理器访问EEPROM寄存器。在器件配置完成之前，EEPROM仿真模式期间使用以下设置：

- PDI控制寄存器

EE_EMUL[2:0]配置脚选择过程数据接口（PDI_SELECT），如表13-3所示。

注： 一般来说，主机作为仿真EEPROM数据一部分提供的PDI类型应当与正在使用的默认PDI值相同。换句话说，不应更改PDI类型。在同一PDI类型内，允许在EtherCAT直接映射模式与非EtherCAT直接映射模式之间切换。

表13-3: EEPROM仿真PDI_SELECT

EE_EMUL[2:0]	PDI_SELECT
000	0x80 (SPI)
001	0x95 (HBI变址16位EtherCAT®直接映射模式)
010	0x91 (HBI复用1阶段16位EtherCAT直接映射模式)
011	0x93 (HBI复用2阶段16位EtherCAT直接映射模式)
100	0x82 (SPI EtherCAT直接映射模式)
101	0x05 (Beckhoff SPI模式)
110	N/A (使能EEPROM)
111	N/A (使能EEPROM)

- **PDI配置寄存器和扩展PDI配置寄存器**

选择主机接口后，子配置默认如表13-4所示。

注： 选择这些默认值是为了最大限度提高向后兼容性，它们满足装载配置数据的最低功能要求，或者属于无关设置。除了SPI SCS#极性和HBI CS极性外，可在配置设备时根据需要更改这些设置。新的设备配置在最后一次EEPROM仿真数据写入后生效。如果任何参数与初始默认值不同，则SPI或HBI总线信号必须在SPI SCS#或HBI CS无效时更改以匹配这些参数。

注： WAIT_ACK引脚最初未使能。HBI和SPI EtherCAT直接映射模式必须控制总线周期以满足最坏情况下的访问时序要求。

注： 为了使更新后的设备配置在EEPROM仿真完成时生效，在最后一次EEPROM仿真数据写入后，主机应至少等待1.5 μs再执行进一步访问。

表13-4：EEPROM仿真PDI默认值

寄存器	位	值
PDI配置寄存器 (SPI模式)	7:2——保留	00h
	2——SPI AL事件请求和INT_STS使能	0b
	1——SPI WAIT_ACK极性	0b
	0——SPI WAIT_ACK缓冲器类型	0b
PDI配置寄存器 (Beckhoff SPI模式)	7:6——保留	00b
	5——数据输出采样模式：	EE_EMUL_SPI3
	4——SCS#极性	EE_EMUL_SPI2
	3:2——保留	00b
	1:0——SPI模式	EE_EMUL_SPI[1:0]
PDI配置寄存器 (HBI模式)	7——HBI ALE资格认证	0b
	6——HBI读写模式	0b
	5——HBI CS极性	0b
	4——HBI RD RD/WR极性	0b
	3——HBI WR EN极性	0b
	2——HBI ALE极性	如果 EE_EMUL[2:0] = 10 (HBI复用1阶段) 则为 EE_EMUL_ALELO_POL , 否则为0b
	1——HBI WAIT_ACK极性	0b
	0——HBI WAIT_ACK缓冲器类型	0b
扩展PDI配置寄存器 (HBI模式)	15:3——保留	00h
	2——HBI BE1/BE0极性	0b
	1——执行内部写操作	0b
	0——读WAIT_ACK消除延迟	0b

14.0 通用定时器和自由运行时钟

本章详细介绍了通用定时器（General Purpose Timer，GPT）和自由运行时钟。

14.1 通用定时器

该器件提供了一个16位可编程通用定时器，可用于产生周期性系统中断。该定时器的分辨率为100 μs。

当通用定时器配置寄存器（GPT_CFG）的通用定时器使能（TIMER_EN）位置为有效（1）时，GPT会将通用定时器配置寄存器（GPT_CFG）中的通用定时器预载（GPT_LOAD）位域中的值装载到通用定时器计数寄存器（GPT_CNT）中。在芯片级复位时或者当通用定时器使能（TIMER_EN）位从有效状态（1）切换为无效状态（0）时，通用定时器预载（GPT_LOAD）位域将初始化为FFFFh。复位时，通用定时器计数寄存器（GPT_CNT）也将初始化为FFFFh。

使能后，GPT将递减计数至0000h。到达0000h时，计数器将回绕到FFFFh、将中断状态寄存器（INT_STS）中的GP定时器（GPT_INT）中断状态位置为有效并将IRQ中断置为有效（如果中断允许寄存器（INT_EN）中的GP定时器中断允许（GPT_INT_EN）位置1），然后继续计数。GP定时器（GPT_INT）是粘住位。该位置为有效后，只能通过写1将其清零。有关GPT中断的更多信息，请参见第7.2.3节“通用定时器中断”（第61页）。

软件可随时向通用定时器预载（GPT_LOAD）位域写入预载值（例如，通用定时器使能（TIMER_EN）位置为有效之前或之后）。通用定时器计数寄存器（GPT_CNT）将立即设置为新值并从该值继续递减计数（如果使能）。

14.2 自由运行时钟

自由运行时钟（Free-Running Clock，FRC）是一个以25 MHz固定时钟工作的简单32位递增计数器。当前FRC值可通过自由运行25 MHz计数器寄存器（FREE_RUN）读取。芯片级复位置为有效时，该计数器将清零。复位置为无效时，计数器将每隔一个25 MHz时钟周期递增1次。当到达最大计数时，计数器将计满返回至0。FRC不会产生中断。

注： 复位事件后，自由运行计数器会花费160 ns清零。

14.3 通用定时器和自由运行时钟寄存器

本节详细介绍了与可直接寻址的通用定时器和自由运行时钟相关的系统CSR。有关整个可直接寻址寄存器映射的概述，请参见第5.0节“寄存器映射”（第39页）。

表14-1：通用定时器和自由运行时钟寄存器

地址	EtherCAT® 直接映射模式	寄存器名称（符号）
08Ch	308Ch	通用定时器配置寄存器（GPT_CFG）
090h	3090h	通用定时器计数寄存器（GPT_CNT）
09Ch	309Ch	自由运行25 MHz计数器寄存器（FREE_RUN）

14.3.3 自由运行25 MHz计数器寄存器（FREE_RUN）

偏移量：09Ch / 309Ch

大小：32位

该只读寄存器反映自由运行25 MHz计数器的当前值。更多信息，请参见第14.2节“自由运行时钟”（第343页）。

位	说明	类型	默认值
31:0	自由运行计数器（FR_CNT） 该位域反映自由运行32位计数器的当前值。复位时，计数器从0开始计数，每个25 MHz周期递增1。当到达最大计数时，计数器将计满返回至0并继续计数。 注： 复位事件后，自由运行计数器会花费160 ns清零。	RO	00000000h

15.0 其他

本章介绍了器件中的其他功能和寄存器。

15.1 其他系统配置和状态寄存器

本节详细介绍了其余可直接寻址的系统CSR。凭借这些寄存器，可监视和配置芯片ID/版本、字节顺序测试和硬件配置等各种器件功能。

有关整个可直接寻址寄存器映射的概述，请参见第5.0节“寄存器映射”（第39页）。

表15-1：其他寄存器

地址	EtherCAT® 直接映射模式	寄存器名称（符号）
050h	3050h	芯片ID和版本（ID_REV）
064h	3064h	字节顺序测试寄存器（BYTE_TEST）
074h	3074h	硬件配置寄存器（HW_CFG）

15.1.1 芯片ID和版本 (ID_REV)

偏移量: 050h / 3050h

大小： 32位

该只读寄存器包含器件的ID和版本位域。

位	说明	类型	默认值
31:16	芯片ID 该位域用于指示芯片ID。	RO	9253
15:0	芯片版本 该位域用于指示设计版本。	RO	注1

注1: 默认值取决于器件版本。

15.1.2 字节顺序测试寄存器 (BYTE_TEST)

偏移量: 064h / 3064h

大小：32位

该只读寄存器可用于确定当前配置的字节排序。字节排序取决于主机数据总线宽度和字节顺序。有关字节排序的更多信息，请参见第8.0节“主机总线接口”（第67页）。

可选择使用BYTE_TEST寄存器作为假读寄存器，从而确保最小写-读或读-读时序。更多信息，请参见第8.0节“主机总线接口”（第67页）。

对于复位状态期间禁止的主机接口，**BYTE_TEST**寄存器可用于确定器件何时退出复位状态。

注：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。但是，在复位期间，返回的数据将与正常有效数据模式不匹配。

注： 不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	说明	类型	默认值
31:0	字节测试 (BYTE_TEST) 此位域反映当前字节排序。	RO	87654321h

15.1.3 硬件配置寄存器（HW_CFG）

偏移量：074h / 3074h

大小：32位

凭借该寄存器，可配置各种硬件功能。

注： 当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

注： 不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	说明	类型	默认值
31:28	保留	RO	-
27	器件就绪（READY） 置1时，该位指示器件已准备好接受访问。上电复位、RST#复位、退出节能状态、EtherCAT®芯片级/模块级复位或数字复位后，主机处理器可询问该位域以指示器件是否已稳定且完全激活。 该位的上升沿会将 中断状态寄存器（INT_STS） 中的 器件就绪（READY） 位置为有效，并且可引起中断（如果允许）。 注： 当READY位清零时，将禁止对除了HW_CFG、PMT_CTRL、BYTE_TEST和RESET_CTL寄存器以外的任何内部资源进行读访问。该位置1之前，对任何地址的写访问都是无效的。 注： 该位与 功耗管理控制寄存器（PMT_CTRL） 的bit 0相同。	RO	0b
26	AMDIX禁止PHY B 当该位置1时，将禁止自动MDIX功能并选择无交叉配置。 注： Auto-MDIX操作可通过 PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x） 进一步覆盖。	R/W	注2
25	AMDIX禁止PHY A 当该位置1时，将禁止自动MDIX功能并选择无交叉配置。 注： Auto-MDIX操作可通过 PHY x特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x） 进一步覆盖。	R/W	注3
24	ANEG禁止PHY B 当该位置1时，将执行以下操作： - 将默认工作模式设置为固定100 Mbps全双工 - 修改MI链路检测和配置操作（如果使能），以检查链路是否为固定100 Mbps全双工链路，如果不是则强制其进入该模式 - 修改增强型链路检测操作（如果使能），以便在出现错误时复位PHY，而不是重启自动协商 注： 当MI链路检测和配置以及增强型链路检测操作都被禁止时，操作模式可通过标准PHY寄存器进行更改。	R/W	注2

位	说明	类型	默认值
23	ANEG禁止PHY A 当该位置1时，将执行以下操作： - 将默认工作模式设置为固定100 Mbps全双工 - 修改MI链路检测和配置操作（如果使能），以检查链路是否为固定100 Mbps全双工链路，如果不是则强制其进入该模式 - 修改增强型链路检测操作（如果使能），以便在出现错误时复位PHY，而不是重启自动协商 注： 当MI链路检测和配置以及增强型链路检测操作都被禁止时，操作模式可通过标准PHY寄存器进行更改。	R/W	注3
22:5	保留	RO	-
4:0	LED极性 清零时，相关的LED引脚为低电平有效。 置1时，相关的LED引脚为高电平有效。 Bit 0: LINKACTLED0 Bit 1: LINKACTLED1 Bit 2: LINKACTLED2 Bit 3: RUNLED / STATE_RUNLED Bit 4: ERRLED 注： 这些位的极性与配置脚的极性相反。 注： 这些位不影响可能共用配置脚的功能配置脚。	R/W	注4

注2： 该位域的默认值由**100FD_B**配置脚确定。更多信息，请参见第3.3节“配置脚”（第35页）。

注3： 该位域的默认值由**100FD_A**配置脚确定。更多信息，请参见第3.3节“配置脚”（第35页）。

注4： 该位域的默认值由**LEDPOL[4:0]**配置脚的**求逆**确定。更多信息，请参见第3.3节“配置脚”（第35页）。

16.0 JTAG

16.1 JTAG

符合IEEE 1149.1的TAP控制器支持边界扫描和各种测试模式。

器件集成了JTAG边界扫描测试端口，支持电路板级测试。该接口由四个引脚（**TDO**、**TDI**、**TCK**和**TMS**）组成，包含状态机、数据寄存器阵列和指令寄存器。[表3-13 “JTAG引脚”（第34页）](#)中介绍了JTAG引脚。JTAG接口符合IEEE标准1149.1-2001标准测试访问端口（TAP）和边界扫描架构。

所有输入和输出数据均与**TCK**测试时钟输入同步。**TAP**输入信号**TMS**和**TDI**在**TCK**的上升沿随时钟输入到测试逻辑，而输出信号**TDO**在下降沿随时钟输出。

JTAG引脚与GPIO/LED和EEPROM引脚复用。当**TESTMODE**引脚置为有效时，将选择JTAG功能。

[表16-1](#)列出了已实现的IEEE 1149.1指令及其操作码。

表16-1: IEEE 1149.1操作码

指令	操作码	备注
BYPASS 0	16'h0000	必需指令
BYPASS 1	16'hFFFF	必需指令
SAMPLE/PRELOAD	16'hFFF8	必需指令
EXTEST	16'hFFE8	必需指令
CLAMP	16'hFFEF	可选指令
ID_CODE	16'hFFFE	可选指令
HIGHZ	16'hFFCF	可选指令

注： JTAG器件ID为002D1445h

注： 所有数字I/O引脚均支持IEEE 1149.1操作。模拟引脚和**OSCI/OSCO**引脚不支持IEEE 1149.1操作。

16.1.1 JTAG时序要求

本节规定了器件的JTAG时序。

图16-1： JTAG时序

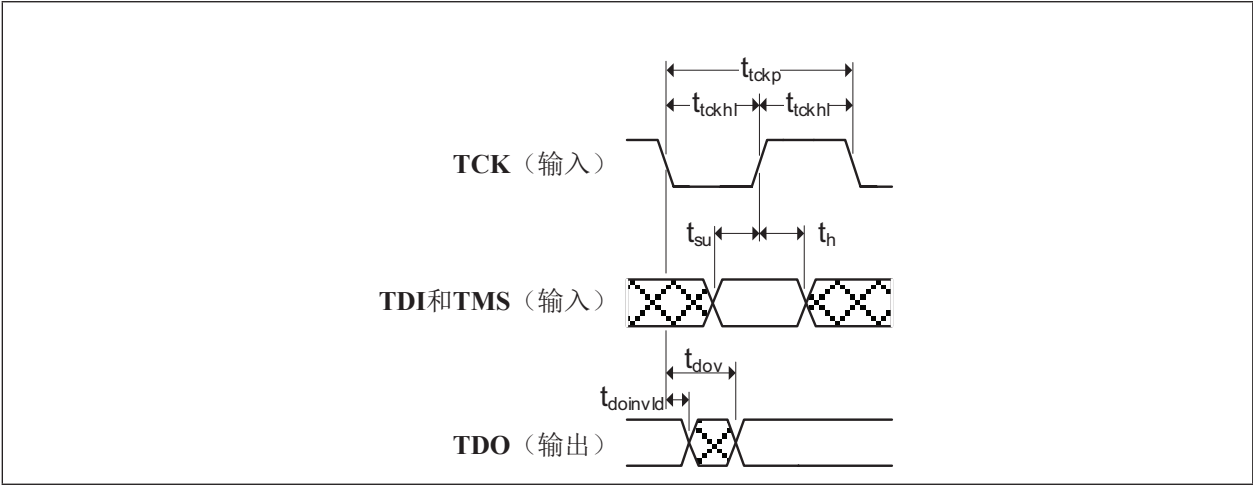


表16-2： JTAG时序值

符号	说明	最小值	最大值	单位	注
t_{tckp}	TCK时钟周期	40		ns	
t_{tckhl}	TCK时钟高电平/低电平时间	$t_{tckp} * 0.4$	$t_{tckp} * 0.6$	ns	
t_{su}	从TDI和TMS建立到TCK上升沿的时间	5		ns	
t_h	TCK上升沿之后TDI和TMS的保持时间	5		ns	
t_{dov}	TCK下降沿之后TDO输出的有效时间		15	ns	
$t_{doinvld}$	TCK下降沿之后TDO输出的无效时间	0		ns	

注： 时序值在25 pF等效测试负载条件下得出。

17.0 工作特性

17.1 绝对最大额定值*

电源电压 (VDD12TX1、VDD12TX2、OSCVDD12和VDDCR) (注1)	0V至+1.5V
电源电压 (VDD33TXRX1、VDD33TXRX2、VDD33BIAS、VDD33和VDDIO) (注1)	0V至+3.6V
以太网磁件电源电压	-0.5V至+3.6V
信号引脚相对于地的正电压 (注2)	VDDIO + 2.0V
信号引脚相对于地的负电压 (注3)	-0.5V
OSCI相对于地的正电压	+3.6V
储存温度	-55°C至+150°C
结温	+150°C
引脚温度范围	请参见JEDEC规范J-STD-020
HBM ESD性能	JEDEC 3A类

注1: 通过实验室或系统电源为此器件供电时，务必保证不要超过绝对最大值，否则可能导致器件出现故障。接通或关断交流电源时，某些电源的输出端会出现电压尖峰。此外，交流电源线上的电压瞬变可能会出现现在直流输出上。如果存在这种可能性，建议使用钳位电路。

注2: 该额定值不适用于以下引脚：OSCI和RBIAS

注3: 该额定值不适用于以下引脚：RBIAS

*如果器件的工作条件超过上述绝对最大额定值，可能对器件造成永久性损坏。上述值仅代表本规范规定的极限工作条件。器件长时间工作在绝对最大额定值条件下，其可靠性可能受到影响。我们无法保证器件在超过第17.2节“工作条件**”、第17.5节“直流规范”或本规范任何其他适用章节中规定的最大值条件下仍可正常工作。请注意，器件信号并非5V耐压。

17.2 工作条件**

电源电压 (VDD12TX1、VDD12TX2、OSCVDD12和VDDCR)	+1.14V至+1.26V
模拟端口电源电压 (VDD33TXRX1、VDD33TXRX2、VDD33BIAS和VDD33)	+3.0V至+3.6V
I/O电源电压 (VDDIO) (注1)	+1.62V至+3.6V
以太网磁件电源电压	+2.25V至+3.6V
静止空气中的工作环境温度 (TA)	注4

注4: 商业级为0°C至+70°C。

**只有在本节规定的范围内才能保证器件正常工作。器件完成上电后，VDDIO和磁件电源电压必须维持其电压，变化范围不超过±10%。如果器件完成上电后，电压变化超过±10%，则会导致器件操作出现错误。

注: 请勿在器件未上电的情况下驱动输入信号。

17.3 封装热规范

表17-1： 64引脚SQFN封装的热参数

参数	符号	值	单位	备注
结点到环境的热阻	Θ_{JA}	25.6	°C/W	在静止空气中测得
		22.3	°C/W	气流1 m/s
		20.0	°C/W	气流2.5 m/s
结到外壳底部的热阻	Ψ_{JT}	0.2	°C/W	在静止空气中测得
结到外壳顶部的热阻	Θ_{JC}	2.6	°C/W	-

注： 这些器件的热参数均按照JESDN51中的规范在多层2S2P PCB中测得或估算。

表17-2： 最大功耗

模式	最大功耗（mW）
禁止内部稳压器， 2.5V以太网磁件	576.08
禁止内部稳压器， 3.3V以太网磁件	650.61
使能内部稳压器， 2.5V以太网磁件	691.01
使能内部稳压器， 3.3V以太网磁件	766.08

17.4 电流消耗和功耗

本节详细介绍了使能和禁止内部稳压器时，100BASE-TX和功耗管理工作模式下器件的电源电流消耗和功耗典型值。

17.4.1 禁止内部稳压器

表17-3：电流消耗和功耗（禁止稳压器）

		3.3V器件 电流 (mA) (A) 注5和注7	1.2V器件 电流 (mA) (B) 注6和注7	发送 磁件电流 (mA) (C) 注8	2.5V磁件时的 器件功耗 (mW) 注9和注10	3.3V磁件时的 器件功耗 (mW) 注9和注11
复位（RST#）	典型值	21.67	24.93	1.20	104.43	105.39
D0, 100BASE-TX 通信	典型值	65.18	48.79	81.94	478.49	544.04
D0, 100BASE-TX 空闲	典型值	65.13	48.37	81.94	477.82	543.38
D0, PHY能量检测 掉电	典型值	9.73	28.17	2.00	70.91	72.51
D0, PHY通用 掉电	典型值	4.94	27.77	0.43	50.69	51.04
D1, 100BASE-TX 空闲	典型值	62.97	35.68	81.87	455.29	520.79
D1, PHY能量检测 掉电	典型值	9.86	15.56	2.00	56.21	57.81
D1, PHY通用 掉电	典型值	4.98	15.42	0.43	36.01	36.36
D2, 100BASE-TX 空闲	典型值	62.68	35.69	81.83	454.25	519.71
D2, PHY能量检测 掉电	典型值	9.87	4.75	2.00	43.27	44.87
D2, PHY通用 掉电	典型值	4.99	4.40	0.43	22.82	23.17
D3, PHY通用 掉电	典型值	3.80	1.80	0.29	15.43	15.66

注5： VDD33TXRX1、VDD33TXRX2、VDD33BIAS、VDD33和VDDIO

注6： VDD12TX1、VDD12TX2、OSCVDD12和VDDCR

注7： 电流测量不包含施加到磁件或可选外部LED上的电源。

注8： 以太网元件的电流与变压器的电源轨电压（2.5V或3.3V）无关。假设为双铜TP操作。

注9： 这包括电流流经变压器时发送器的功耗。

注10： $3.3*(A) + 1.2*(B) + (2.5)*(C)$ （典型值）

注11： $3.3*(A) + 1.2*(B) + (3.3)*(C)$ （典型值）

注： D0、D1、D2和D3指的是表6-2中描述的功耗管理状态

17.5 直流规范

表17-5：非可变I/O直流电气特性

参数	符号	最小值	典型值	最大值	单位	注
IS型输入缓冲器						
低电平输入电压	V_{ILI}	-0.3			V	
高电平输入电压	V_{IHI}			5.5	V	
下降阈值	V_{ILT}	1.01	1.19	1.39	V	施密特触发器
上升阈值	V_{IHT}	1.39	1.59	1.79	V	施密特触发器
施密特触发器滞后电压 ($V_{IHT} - V_{ILT}$)	V_{HYS}	336	399	459	mV	
输入泄漏电流 ($V_{IN} = VSS$ 或 VDD33)	I_{IH}	-10		10	μA	注19
输入电容	C_{IN}			2	pF	
上拉阻抗 ($V_{IN} = VSS$)	R_{DPU}	52.7	65.9	79.7	k Ω	
上拉电流 ($V_{IN} = VSS$)	I_{DPU}	37.6	50.1	68.3	μA	
下拉阻抗 ($V_{IN} = \text{VDD33}$)	R_{DPD}	46.0	66.8	94.3	k Ω	
下拉电流 ($V_{IN} = \text{VDD33}$)	I_{DPD}	31.8	49.4	78.3	μA	
AI型输入缓冲器 (RXPA/RXNA/RXPB/RXNB)						
差分输入电压	$V_{IN-DIFF}$	0.1		VDD33TXRXx	V	
共模电压	V_{CM}	1.0	VDD33TXRXx-1.3		V	
输入电容	C_{IN}			5	pF	
AI型输入缓冲器 (<u>CLK_25_EN/XTAL</u> <u>MODE</u>)						
状态A阈值	V_{THA}	-0.3		0.8	V	
状态B阈值	V_{THB}	1.2		1.7	V	
状态C阈值	V_{THC}	2.2		VDD33+0.3	V	
引脚悬空电压	V_{FLOAT}	1.48		1.84 (注20)	V	

мтлр' ґ1 Lkh ^ ~

Ї	~	Ү	Ї Ү	Ү	җ β	
L/[Y Ү ~ I җ ^ h{/L ~ ~ ~ HM~ Ү ~ J ~ J ~ ~ ~ ~ ~	±L[L ±L[L L[L/Y ±L[L ±L[L ±L,{ L[L/Y	ллО h{/±55мллор лмл ллО h{/±55мллу мрл лмл		лор оС мл лу оС мл	± ± κ! ± ± Ү± κ!	
hy Ү I җ Ү F J F J Lkh Lkh F Lkh Lkh F	±h[±h[Lh[Wh[Lh[Wh[	±55ооллп уФну нмФтм уФлу нрФлн	мнФсп омФсп ммФрт опФрт	лп муФпн пуФон мрФф пфФр	± ± Ү! м Ү! м	Lh[Г у Y! Lh[Г пу Y! ±h'Ф Г лп± ±h'Ф Г лп± ±h'Ф Г ±55ооллп± ±h'Ф Г ±55ооллп±
h5мн Ү I җ Ү F J Lkh Lkh F	±h[Lh[Wh[	мнФмм мпФт	муФпп нмФсф	лп нсФтн ооФлн	± Ү! м	Lh[Г мн Y! ±h'Ф Г лп± ±h'Ф Г лп±
h{мн Ү I җ F J Lkh Lkh F	±h[Lh[Wh[	±55ооллп мнФпо мсФсу	мтФсм ннФтн	ноФфф онФмт	± м Ү!	Lh[Г лмн Y! ±h'Ф Г ±55ооллп± ±h'Ф Г ±55ооллп±

мф^с ^ ĭ y~ Â Ġ ~ ũ̃̃̃̃ ĭ Ы Â ρ Й ъ̣̣̣̣ ґ a 6 ^ : рл>!

нл^с ±C[h!ѳ y~ ґ ±ѳ! ~ ρ Ġ ч . Â

нм^с h{/L ґ нр a ĭ ħ ъ̣̣̣̣ ~ Â

мтпс^с ґ₁ kkh

ĭ	~	ґ	^ мґy± ĭ ъ̣̣̣̣ y~	^ oҭo± ĭ ъ̣̣̣̣ y~	ґ	ґ β	
±L{ъ̣̣̣̣ ~ ĭ ъ̣̣̣̣							
y ~ ĭ	±L[L	ллҭO				±	
~ ĭ	±L[L				oҭC	±	
Й y	±L[ѳ	лҭсп	лҭyo	мҭпм	мҭтс	±	ũ̃̃̃̃ ъ̣̣̣̣
ъ̣̣̣̣ y	±L[ѳ	лҭум	лҭѳѳ	мҭср	мҭфл	±	ũ̃̃̃̃ ъ̣̣̣̣
^ ũ̃̃̃̃ ъ̣̣̣̣ X ĭ	±L,{	млн	мру	моу	нуу	Y±	
^ ±L[ѳ п ±L[ѳ~							
~	L[L	пмл			мл	κ!	нн
^ ±Lb ґ VSS VDDIO~	/Lb				н	LJC	
~							
ъ̣̣̣̣ ±Lb ґ ±{~	W5tĭ	рп	су	ст	ун	лм	
ъ̣̣̣̣ ±Lb ґ ±{~	L5tĭ	нл	нт	пѳ	ст	κ!	
Й ±Lb ґ ±55lh~	W5t5	рп	су	ст	ур	лм	
Й ±Lb ґ ±55lh~	L5t5	мѳ	нс	пу	сс	κ!	
±hyъ̣̣̣̣ ĭ ъ̣̣̣̣							
y ґ ĭ	±h[				лҭп	±	Lh[ґ y Y!
ґ ĭ	±h[	±55lh п лҭп				±	Lh[ґ пу Y!
±h5yъ̣̣̣̣ ĭ ъ̣̣̣̣							
y ґ ĭ	±h[				лҭп	±	Lh[ґ y Y!
±h{yъ̣̣̣̣ ĭ ъ̣̣̣̣							
ґ ĭ	±h[	±55lh п лҭп				±	Lh[ґ пу Y!
±hмнъ̣̣̣̣ ĭ ъ̣̣̣̣							
y ґ ĭ	±h[				лҭп	±	Lh[ґ мн Y!
ґ ĭ	±h[	±55lh п лҭп				±	Lh[ґ пмн Y!
±h5мнъ̣̣̣̣ ĭ ъ̣̣̣̣							
y ґ ĭ	±h[				лҭп	±	Lh[ґ мн Y!

表17-6: 可变I/O直流电气特性 (续)

参数	符号	最小值	1.8V (典型值)	3.3V (典型值)	最大值	单位	注
VOS12型缓冲器 高电平输出电压	V _{OH}	VDDIO - 0.4				V	I _{OH} = -12 mA

注22: 此规范适用于所有输入引脚及三态双向引脚。内部下拉和上拉电阻可使每个引脚增加±50 μA (典型值)。

表17-7: 100BASE-TX收发器特性

参数	符号	最小值	典型值	最大值	单位	注
峰值差分输出电压高电平	V _{PPH}	950	-	1050	mVpk	注23
峰值差分输出电压低电平	V _{PPL}	-950	-	-1050	mVpk	注23
信号幅值对称	V _{SS}	98	-	102	%	注23
信号上升和下降时间	T _{RF}	3.0	-	5.0	ns	注23
升降对称	T _{RFS}	-	-	0.5	ns	注23
占空比失真	D _{CD}	35	50	65	%	注24
过冲和下冲	V _{OS}	-	-	5	%	
抖动	-	-	-	1.4	ns	注25

注23: 在变压器的线路侧测量，线路用100Ω (+/- 1%) 电阻代替。

注24: 相对于脉冲峰值50%处的16 ns脉冲宽度的偏移量。

注25: 以差分方式测得。

表17-8: 10BASE-T收发器特性

参数	符号	最小值	典型值	最大值	单位	注
发送器峰值差分输出电压	V _{OUT}	2.2	2.5	2.8	V	注26
接收器差分静噪阈值	V _{DS}	300	420	585	mV	

注26: 使用100Ω负载电阻测量，以保证最小/最大电压。

17.6 交流规范

本节详细介绍了器件的各种交流时序规范。

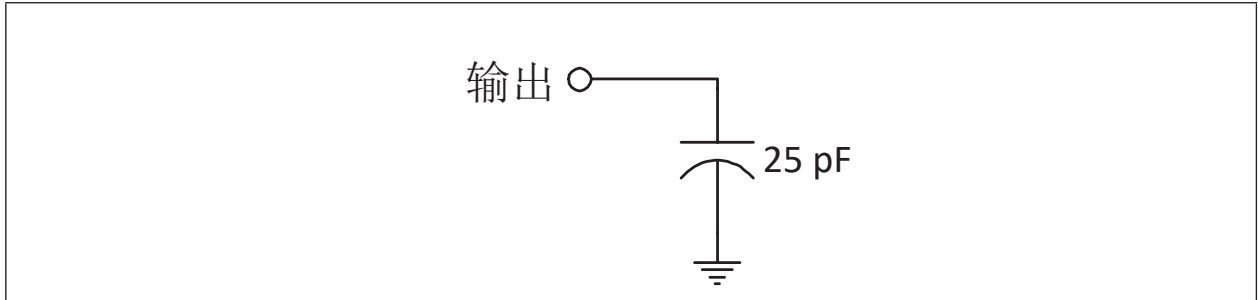
注： I²C时序遵循NXP I²C总线规范。有关I²C时序的详细信息，请参见NXP I²C总线规范。

注： MII/SMI时序遵循IEEE 802.3规范。

17.6.1 等效测试负载

除非另外说明，否则输出时序规范假定等效测试负载为25 pF，如所图17-1所示。

图17-1：输出等效测试负载



17.6.2 电源排序时序

这些图给出了器件电源排序要求。**VDDIO**、**VDD33**、**VDD33TXRX1**、**VDD33TXRX2**、**VDD33BIAS**和磁件电源必须全部在规定的时间周期 t_{pon} 内达到工作电压。在禁止内部稳压器的情况下工作时，该要求还涉及**VDDCR**、**OSCVDD12**、**VDD12TX1**和**VDD12TX2**。

此外，**VDDIO**电源达到1.0V后，必须在接下来的15 ms内达到其工作电压的80%（在1.8V下工作时为1.44V，在2.5V下工作时为2.0V，在3.3V下工作时为2.64V）。如果使用第17.6.3节“复位和配置脚时序”所示的外部复位，则可以安全地忽略此要求。

如果器件的各个电源均在指定的时间段 t_{poff} 内达到0V，则它们可以按任意顺序关断。

图17-2：电源序列时序——内部稳压器

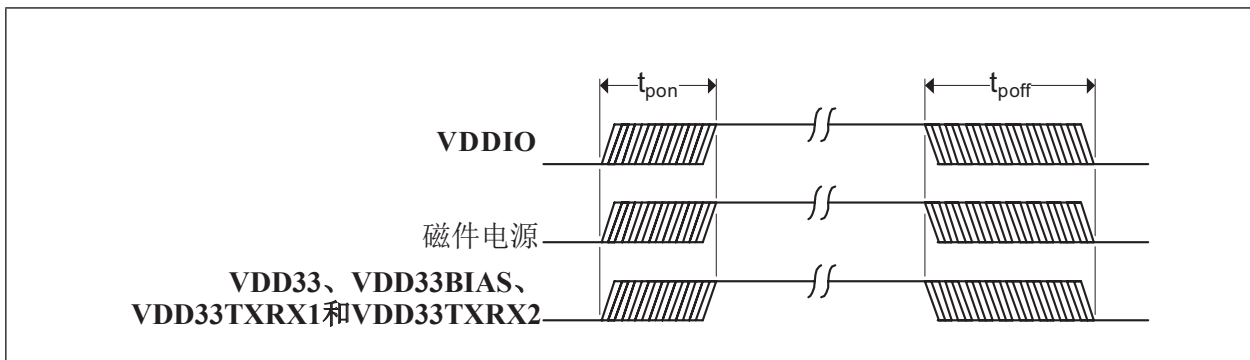


图17-3：电源序列时序——外部稳压器

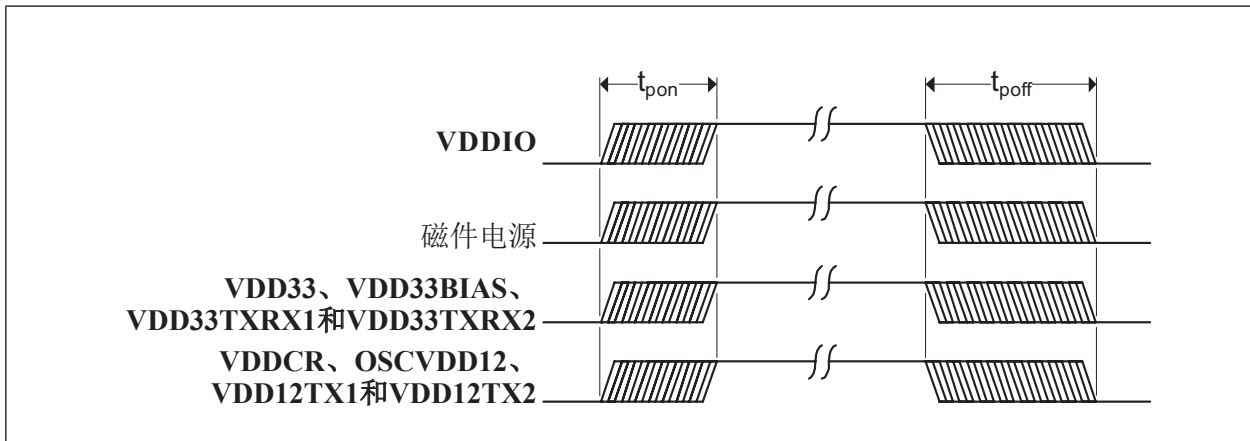


表17-9：电源排序时序值

符号	说明	最小值	典型值	最大值	单位
t_{pon}	电源接通时间	-	-	50	ms
t_{poff}	电源关断时间	-	-	500	ms

17.6.3 复位和配置脚时序

该图给出了RST#引脚时序要求及其与配置脚和输出驱动的关系。将RST#置为有效并不是强制要求。但如果使用该引脚，则必须使其在规定的最小周期内保持有效状态。RST#引脚可随时置为有效，但必须在所有外部电源达到工作电压后再经过 t_{purstd} 才可置为无效，如果在OSCI引脚上使用外部时钟，则在时钟输入稳定前不能将RST#引脚置为无效。更多信息，请参见第6.2节“复位”（第45页）。

图17-4：RST#引脚配置脚锁存时序

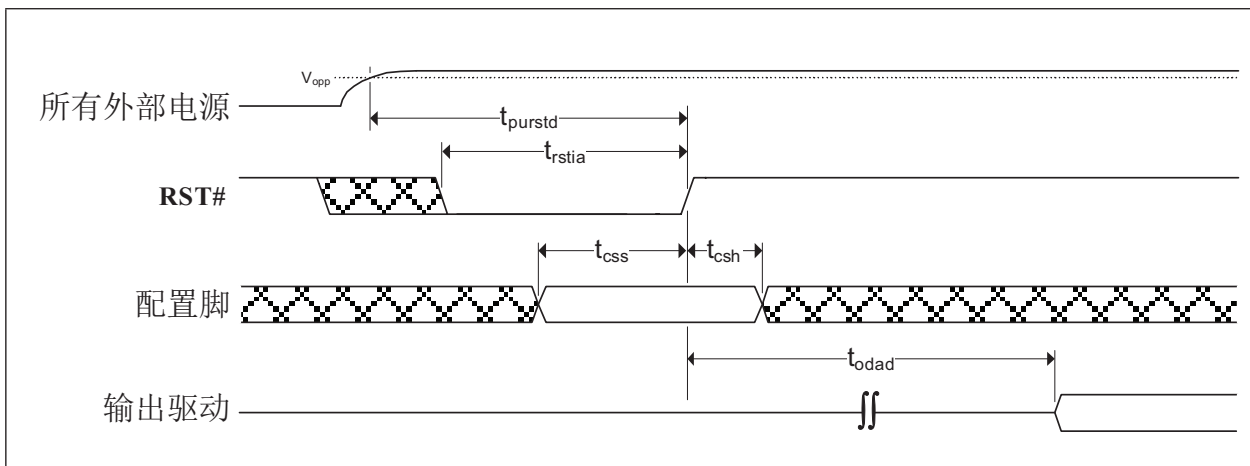


表17-10：RST#引脚配置脚锁存时序值

符号	说明	最小值	典型值	最大值	单位
t_{purstd}	从外部电源达到工作电压到RST#置为无效的时间（注27）	25			ms
t_{rstia}	RST#输入有效时间	200	-	-	μ s
t_{css}	从配置脚建立到RST#置为无效的时间	200	-	-	ns
t_{csh}	RST#置为无效之后配置脚的保持时间	10	-	-	ns
t_{odad}	RST#置为无效之后输出驱动的时间	3	-	-	μ s

注： OSCI时钟输入必须在RST#置为无效前保持稳定。

注： 由于RST#置为有效，将锁存除XTAL_MODE和CLK_25_EN外的器件配置脚。有关详细信息，请参见第6.2.1节“芯片级复位”（第46页）。

注： 显示的配置脚锁存和输出驱动时序均以事先已完成上电复位为前提，否则应参照第17.6.4节“上电和配置脚时序”中的时序。

注： RST#不影响CLK_25_EN，因此输出使能时间不适用于CLK_25_EN配置脚。

注27： 配置为输出时，CLK_25在内部上电复位时间到期后才会被驱动。这大约需要21 ms。在菊花链式时钟配置中，每个器件会根据前一个器件的CLK_25信号来为其上电复位定时。因此，整个系统的上电复位时间将是所有器件的复合总和。为了确保所有器件同时从复位状态释放，RST#的置为有效时间应设置为菊花链数量乘以 t_{purstd} 。

17.6.4 上电和配置脚时序

该图给出了上电时的配置脚有效时序要求。为了在上电时读取到有效的配置脚值，必须满足以下时序要求。

图17-5：上电配置脚锁存时序

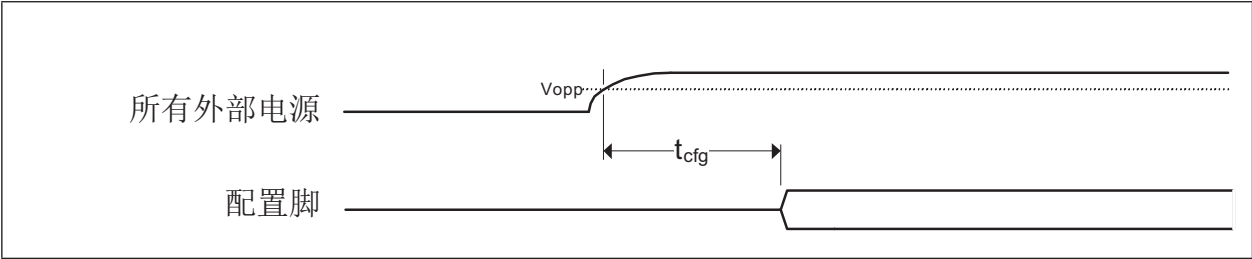


表17-11：上电配置脚锁存时序值

符号	说明	最小值	典型值	最大值	单位
t_{cfg}	配置脚有效时间	-	-	15	ms

注：配置脚只能拉高或拉低。配置脚不得驱动为输入。

由于RST#置为有效，因此还将锁存除XTAL_MODE和CLK_25_EN外的器件配置脚。更多详细信息，请参见第17.6.3节“复位和配置脚时序”和第6.2.1节“芯片级复位”（第46页）。

17.6.5 主机总线接口I/O时序

第8.6节“时序要求”（第97页）给出了主机总线接口的时序规范。

17.6.6 SPI/SQI客户端接口I/O时序

第9.5节“SPI/SQI时序要求”（第150页）给出了SPI/SQI从模式总线接口的时序规范。

17.6.7 I²C EEPROM I/O时序

第12.1节“I²C接口时序要求”（第337页）给出了I²C EEPROM访问的时序规范。

17.6.8 EtherCAT MII端口管理访问I/O时序

第11.11.7节“外部PHY时序”（第243页）给出了MI I端口管理访问的时序规范。

17.6.9 MII I/O时序

第11.11.7节“外部PHY时序”（第243页）给出了MI I端口接口的时序规范。

17.6.10 JTAG时序

第16.1.1节“JTAG时序要求”（第351页）给出了JTAG接口的时序规范。

17.7 时钟电路

器件可以接受25 MHz晶振或25 MHz单端时钟振荡器（ ± 50 ppm）输入。如果采用单端时钟振荡器方法，**OSCO**应保持未连接状态，**OSCI**应通过遵循第17.0节“工作特性”所概述规范的时钟信号驱动。使用25 MHz晶振时，请参见表17-12及其附带说明了解推荐的晶振规范。

表17-12：晶振规范

参数	符号	最小值	标称值	最大值	单位	注
晶体切割	AT（典型方式）					
晶振模式	基本模式					
晶振校准模式	并联谐振模式					
频率	F_{fund}	-	25.000	-	MHz	
802.3标准下的频率容差（25°C）	F_{tol}	-	-	± 40	ppm	注28
802.3标准下的温度频率稳定性	F_{temp}	-	-	± 40	ppm	注28
802.3标准下的时间频率偏差	F_{age}	-	± 3 至5	-	ppm	注29
802.3标准下的允许的总PPM预算		-	-	± 50	ppm	注30
EtherCAT®频率容差（25°C）	F_{tol}	-	-	± 15	ppm	注31
EtherCAT的温度频率稳定性	F_{temp}	-	-	± 15	ppm	注31
EtherCAT的时间频率偏差	F_{age}	-	± 3 至5	-	ppm	注29
EtherCAT允许的总PPM预算		-	-	± 25	ppm	注32
并联电容	C_0	-	-	7	pF	
负载电容	C_L	-	-	18	pF	
驱动功率	P_W	300 注33	-	-	μW	
等效串联电阻	R_1	-	-	100	Ω	
工作温度范围		注34	-	注35	$^{\circ}C$	
OSCI引脚电容		-	3（典型值）	-	pF	注36
OSCO引脚电容		-	3（典型值）	-	pF	注36

注28： 允许的最大频率容差值和最大频率稳定性值取决于具体应用。由于任何特定应用都必须符合IEEE ± 50 ppm的总PPM预算要求，因此这两个值之和必须约为 ± 45 ppm（允许老化）。

注29： 随时间产生的频率偏差也称为老化。

注30： 100BASE-TX的总偏差为 ± 50 ppm。

注31： 允许的最大频率容差值和最大频率稳定性值取决于具体应用。由于任何特定应用均必须满足EtherCAT ± 25 ppm总PPM预算，因此这两个值的组合结果必须约为 ± 15 ppm（考虑到老化）。

注32: EtherCAT的总偏差为 ± 25 ppm。

注33: 如果 $CO \leq 5$ pF、 $CL \leq 12$ pF且 $R1 \leq 80 \Omega$ ，则添加500 Ω 串联电阻时，最小驱动功率要求 P_w 降至100 μ W

注34: 商业级为0°C。

注35: 商业级为+70°C。

注36: 此数值包括焊盘、接合线和引线框，不包括PCB电容值。要精确计算两个外部负载电容的值，需要OSCI引脚电容值、OSCO引脚电容值和PCB电容值。总负载电容必须为电路中晶振的期望值，以便晶振能够以25.000 MHz的频率工作。

17.7.1 25 MHz时钟输出

表17-12规定了OSCI至CLK_25的占空比失真。

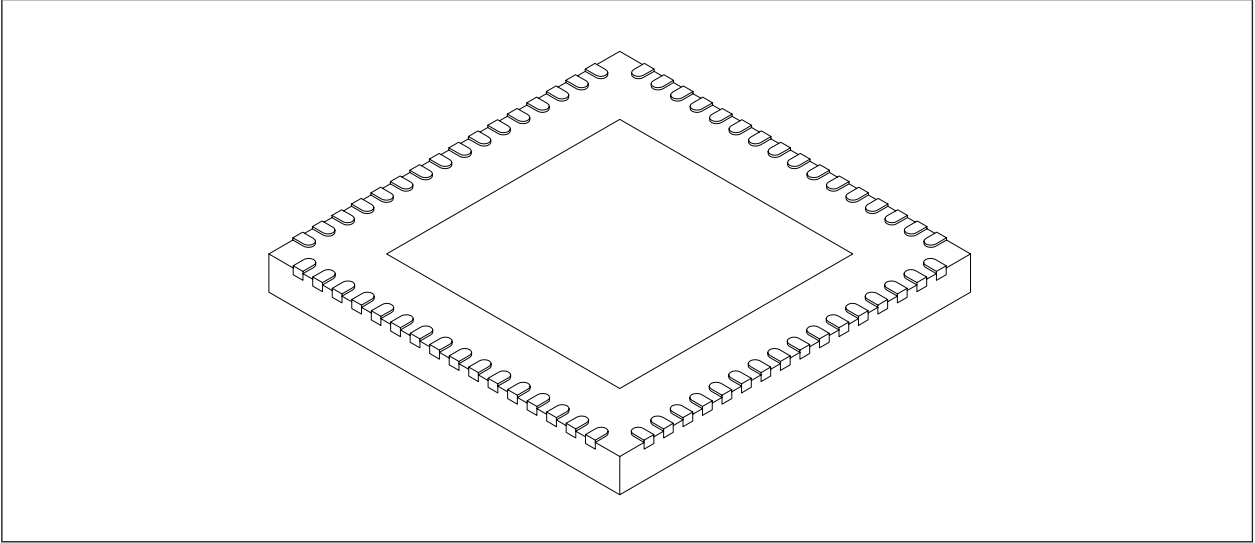
表17-13: 25 MHz时钟输出规范

参数	最小值	标称值	最大值	注
晶振工作输出占空比	44%	-	57%	注37
晶振改写模式输出占空比失真	0.76%	-	3.63%	
施密特触发器模式输出占空比失真	-1.03%	-	-1.36%	

注37: OSCI的占空比约为50%。

注: 10 pF时CLK_25上输出负载的规范。

图18-2: 64-QFN封装尺寸



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	64		
Pitch	e	0.50 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	9.00 BSC		
Exposed Pad Width	E2	5.90 6.00 6.10		
Overall Length	D	9.00 BSC		
Exposed Pad Length	D2	5.90	6.00	6.10
Contact Width	b	0.18	0.25	0.30
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.90	1.10	-

Notes:

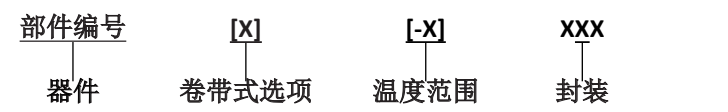
- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

产品标识体系

欲订货或获取价格、交货等信息，请访问www.weixinsemi.com。



器件:	CN9053
卷带式选项:	空白 = 标准包装（托盘式） TR 卷带式（注1）
温度范围:	空白 = 0°C至+70°C（商业级）
封装:	空白 = 64引脚QFN

- 示例:
- a) CN9053 标准包装（托盘式），商业级温度，64引脚QFN
 - b) CN9053TR 卷带式，商业级温度，64引脚QFN

注1: 卷带式标识符仅出现在产品目录的部件编号描述中。该标识符用于订货目的，不会印刷在器件封装上。

制造商信息

商标

本文档中的名称、徽标和品牌均为制造商或其关联公司和/或子公司在中国和/或其他国家或地区的注册商标或商标。

法律声明

本出版物仅适用于制造商的产品，包括设计、测试以及将制造商的产品集成到用户的应用中。以其他方式使用这些信息都将被视为违反条款。

不涉及任何制造商知识产权的使用许可。

如果将制造商的器件用于生命维持和/或生命安全应用，一切风险由买方自负。

器件应用的详细信息仅供参考，内容可能随时更新。用户须自行确保应用符合规范。如需支持，请通过www.weixinsemi.com联系制造商。

用户须遵守所有适用的出口管制与经济制裁规定。

本文档中的信息“按原样”提供。制造商对这些信息不作任何形式的担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的担保。除法律强制要求外，对于因这些信息或使用这些信息而产生的任何损失，制造商概不承担任何责任。在法律允许的最大范围内，制造商概不承担任何间接或附带损害赔偿。制造商在任何情况下所承担的全部责任均不超出用户为获得这些信息而向制造商支付的金额（如有）。

制造商的器件代码保护功能

请注意以下有关制造商产品的代码保护功能的要点：

- 制造商的产品均达到制造商数据手册中所述的技术规范。
- 制造商确信：在正常使用且符合工作规范的情况下，其产品非常安全。
- 制造商注重并积极保护其知识产权。严禁任何试图破坏制造商的代码保护功能的行为。
- 制造商或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着产品是“牢不可破”的。代码保护功能处于持续发展中。制造商承诺将不断改进产品的代码保护功能。

中国销售及服务

如需获取更多信息或支持，请通过以下方式联系我们：

邮箱：sales@weixinsemi.com

网址：www.weixinsemi.com