

特性

- 低电压和标准电压操作：
 - $V_{CC} = 1.7V$ 至 $5.5V$
- 内部划分为 32,768 x 8 (256 Kb)
- 工业级温度范围: $-40^{\circ}C$ 至 $+85^{\circ}C$
- 兼容 I²C 的 (双线) 串行接口：
 - 100 kHz 标准模式, $1.7V$ 至 $5.5V$
 - 400 kHz 快速模式, $1.7V$ 至 $5.5V$
 - 1 MHz 增强型快速模式 (FM+), $2.5V$ 至 $5.5V$
- 施密特触发器和输入滤波功能, 用于抑制噪声
- 双向数据传输协议
- 写保护引脚, 可实现完全阵列硬件数据保护
- 超低工作电流 (最大值 3.0 mA) 和待机电流 (最大值 $6\text{ }\mu A$)
- 64 字节页写模式：
 - 允许部分页写操作
- 随机读和连续读模式
- 自定时的写周期 (最大值 4 ms)
- ESD 保护 $> 4,000V$
- 可靠性高：
 - 耐写入次数: 1,000,000 个写周期
 - 数据保存时间: 200 年
- 环保封装选项 (无铅/无卤化物/符合 RoHS 标准)

封装

- 8 引脚 SOIC

目录

特性..... 1

封装..... 1

1. 封装类型（未按比例显示） 4

2. 引脚说明..... 5

 2.1. 器件地址输入（A0、A1 和 A2） 5

 2.2. 地..... 5

 2.3. 串行数据（SDA） 5

 2.4. 串行时钟（SCL） 5

 2.5. 写保护（WP） 5

 2.6. 器件电源..... 6

3. 说明..... 7

 3.1. 使用双线串行 EEPROM 的系统配置..... 7

 3.2. 框图..... 8

4. 电气特性..... 9

 4.1. 绝对最大额定值..... 9

 4.2. 直流和交流工作范围..... 9

 4.3. 直流特性..... 9

 4.4. 交流特性..... 9

 4.5. 电气规范..... 11

5. 器件操作和通信..... 12

 5.1. 时钟和数据转换要求..... 12

 5.2. 启动和停止条件..... 12

 5.3. 应答和无应答..... 12

 5.4. 待机模式..... 13

 5.5. 软件复位..... 13

6. 存储器构成..... 14

 6.1. 器件寻址..... 14

7. 写操作..... 15

 7.1. 字节写操作..... 15

 7.2. 页写操作..... 15

 7.3. 应答轮询..... 16

 7.4. 写周期时序..... 16

 7.5. 写保护..... 17

8. 读操作..... 18

 8.1. 当前地址读操作..... 18

 8.2. 随机读操作..... 18

 8.3. 连续读操作..... 19

9. 器件默认条件..... 20

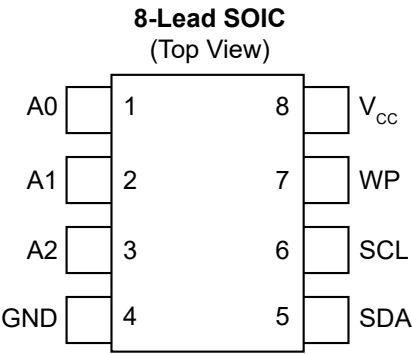
10. 封装信息.....21

 10.1. 封装标识信息.....21

产品标识体系.....25

制造商信息.....26

1. 封装类型（未按比例显示）



2. 引脚说明

表 2-1 列出了引脚说明。

表 2-1. 引脚功能表

名称	8 引脚 SOIC	功能
A0 ⁽¹⁾	1	器件地址输入
A1 ⁽¹⁾	2	器件地址输入
A2 ⁽¹⁾	3	器件地址输入
GND	4	地
SDA	5	串行数据
SCL	6	串行时钟
WP ⁽¹⁾	7	写保护
V _{CC}	8	器件电源

注：

1. 如果未驱动 A0、A1、A2 或 WP 引脚，则会在内部将其下拉至 GND。为确保在各种应用环境中正常工作，该下拉机制被特意设计为具有较强的下拉能力。当这些引脚的偏置电压高于 CMOS 输入缓冲器的跳变点（约 0.5 x V_{CC}）时，将立即解除下拉机制。建议尽可能将这些引脚连接到已知状态。

2.1. 器件地址输入（A0、A1 和 A2）

A0、A1 和 A2 引脚为器件地址输入，其采用硬接线的方式（直接连接到 GND 或 V_{CC}）兼容其他双线串行 EEPROM 器件。当这些引脚进行硬接线时，单个总线系统上最多可寻址 8 个器件。当某个器件的软硬件匹配结果为真时，即选中该器件。如果 A0、A1 和 A2 引脚悬空，则会在内部下拉至 GND。但是，由于客户应用中可能出现电容耦合，因此建议始终将这些地址引脚连接到已知状态。使用上拉电阻时，建议使用 10 kΩ 或更小的电阻。

2.2. 地

电源的参考地。GND 应连接到系统地。

2.3. 串行数据（SDA）

SDA 引脚是漏极开路、双向输入/输出引脚，供器件用于以串行方式传输数据。SDA 引脚必须使用外部上拉电阻（阻值不超过 10 kΩ）拉为高电平，并且可以与同一总线上其他器件中的任何数量的其他漏极开路或集电极开路引脚进行“线或”连接。

2.4. 串行时钟（SCL）

SCL 引脚用于为器件提供时钟，并控制器件的输入/输出数据流。SDA 引脚上的命令和输入数据始终在 SCL 的上升沿进行锁存，SDA 引脚上的输出数据在 SCL 的下降沿随时钟移出。SCL 引脚必须强制拉为高电平（当串行总线空闲时）或者使用外部上拉电阻拉为高电平。

2.5. 写保护（WP）

当写保护输入连接到 GND 时，允许正常写操作。当 WP 引脚直接连接到 V_{CC} 时，禁止对受保护存储器的所有写操作。

如果 WP 引脚悬空，则会在内部下拉至 GND。但是，由于客户应用中可能出现电容耦合，因此建议将 WP 引脚连接到已知状态。使用上拉电阻时，建议使用 10 kΩ 或更小的电阻。

表 2-2. 写保护

WP 引脚状态	部分阵列受保护
连接到 V _{CC}	全阵列
连接到 GND	正常写操作

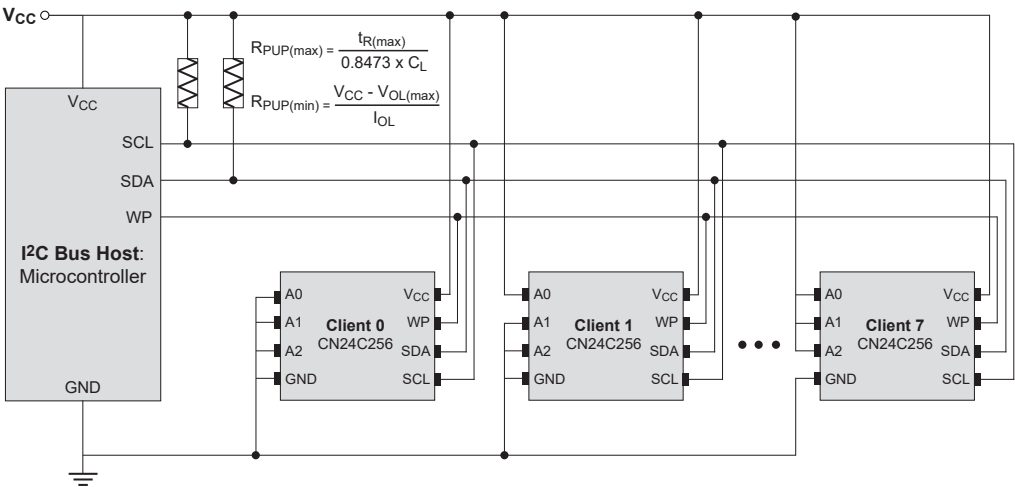
2.6. 器件电源

V_{CC} 引脚用于为器件供电。不得尝试在无效的 V_{CC} 电压下工作，否则可能产生虚假结果。

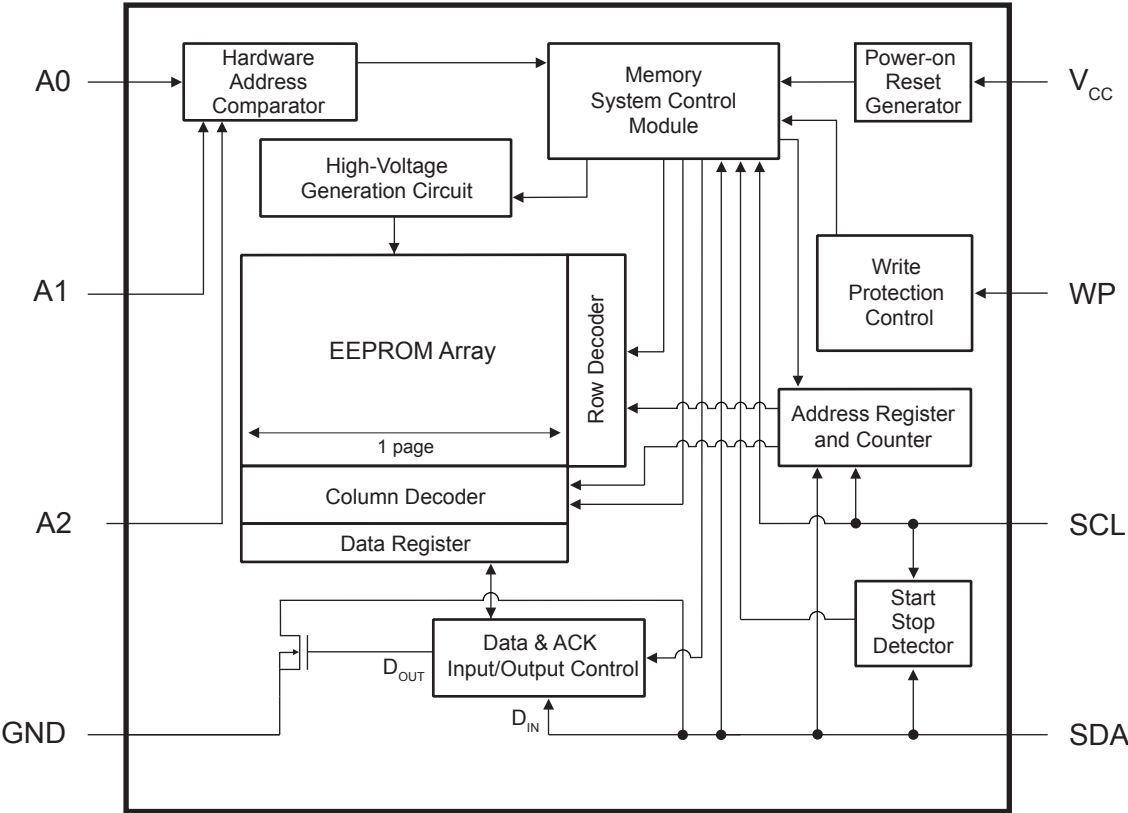
3. 说明

CN24C256 提供 262,144 位串行电可擦除的可编程只读存储器（Electrically Erasable and Programmable Read-Only Memory, EEPROM），该存储器划分为 32,768 个 8 位字。该器件的级联特性允许最多 8 个器件共用一条通用双线总线。该器件针对许多注重低功耗和低电压操作的工业和商业应用进行了优化。该器件采用节省空间的 8 引脚 SOIC 封装，工作电压范围为 1.7V 至 5.5V。

3.1. 使用双线串行 EEPROM 的系统配置



3.2. 框图



4. 电气特性

4.1. 绝对最大额定值

偏置时的温度	-55°C 至+125°C
储存温度	-65°C 至+150°C
V _{CC}	6.25V
任何引脚相对于地的电压	-1.0V 至+7.0V
直流输出电流	5.0 mA
ESD 保护	> 4 kV

注：如果器件工作条件超过上述“绝对最大额定值”，可能对器件造成永久性损坏。上述值仅代表极限工作条件，不建议在处于或超出上述极限值的情况下工作。器件长时间工作在绝对最大额定值条件下，其可靠性可能受到影响。

4.2. 直流和交流工作范围

表 4-1. 直流和交流工作范围

CN24C256		
工作温度（外壳）	工业级温度范围	-40°C 至+85°C
V _{CC} 电源	电压等级	1.7V 至 5.5V

4.3. 直流特性

表 4-2. 直流特性

参数	符号	最小值	典型值 ⁽¹⁾	最大值	单位	测试条件
电源电压	V _{CC1}	1.7	—	5.5	V	
电源电流	I _{CC1}	—	1.0	2.0	mA	V _{CC} = 5.0V, 读取频率为 400 kHz
	I _{CC2}	—	2.0	3.0	mA	V _{CC} = 5.0V, 写入频率为 400 kHz
待机电流	I _{SB1}	—	—	1.0	μA	V _{CC} = 1.7V, V _{IN} = V _{CC} 或 GND
		—	—	6.0	μA	V _{CC} = 5.0V, V _{IN} = V _{CC} 或 GND
输入泄漏电流	I _{LI}	—	0.10	3.0	μA	V _{IN} = V _{CC} 或 GND; V _{CC} = 5.0V
输出泄漏电流	I _{LO}	—	0.05	3.0	μA	V _{OUT} = V _{CC} 或 GND; V _{CC} = 5.0V
输入低电平电压	V _{IL}	-0.6	—	V _{CC} × 0.3	V	注 2
输入高电平电压	V _{IH}	V _{CC} × 0.7	—	V _{CC} + 0.5	V	注 2
输出低电平电压	V _{OL1}	—	—	0.2	V	V _{CC} = 1.7V, I _{OL} = 0.15 mA
	V _{OL2}	—	—	0.4	V	V _{CC} = 3.0V, I _{OL} = 2.1 mA

注：

- 除非另外说明，否则典型值均为 T_A = +25°C 时的表征值。
- 该参数通过表征确定，未经完全生产测试。

4.4. 交流特性

表 4-3. 交流特性⁽¹⁾

参数	符号	快速模式		增强型快速模式		单位
		V _{CC} = 1.7V 至 5.5V		V _{CC} = 1.7V 至 5.5V		
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f _{SCL}	—	400	—	1000	kHz

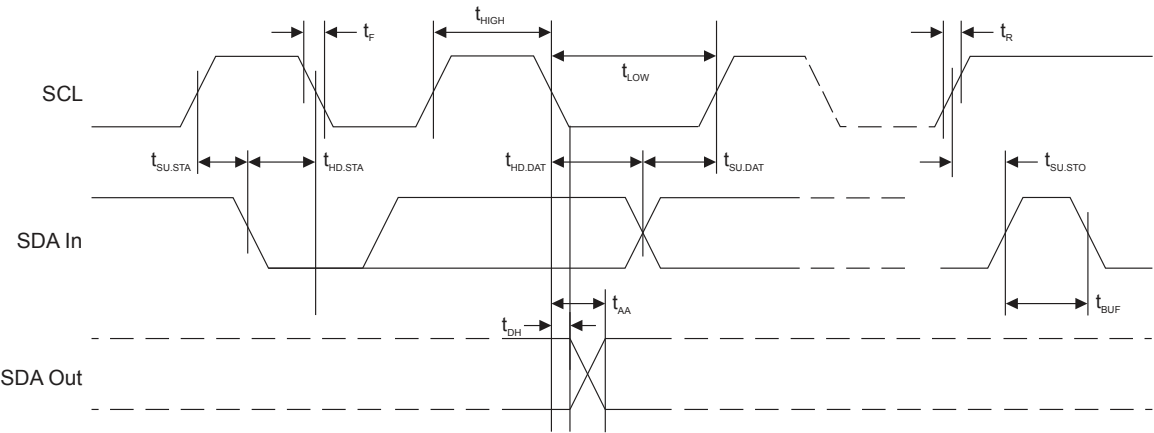
表 4-3. 交流特性⁽¹⁾（续）

参数	符号	快速模式		增强型快速模式		单位
		V _{CC} = 1.7V 至 5.5V		V _{CC} = 1.7V 至 5.5V		
		最小值	最大值	最小值	最大值	
时钟脉冲宽度低电平时间	t _{LOW}	1300	—	500	—	ns
时钟脉冲宽度高电平时间	t _{HIGH}	600	—	400	—	ns
噪声抑制时间 ⁽²⁾	t _I	—	50	—	50	ns
时钟低电平到数据输出有效的时间	t _{AA}	50	900	50	450	ns
停止条件与启动条件之间的总线空闲时间 ⁽²⁾	t _{BUF}	1300	—	500	—	ns
启动保持时间	t _{HD.STA}	600	—	250	—	ns
启动建立时间	t _{SU.STA}	600	—	250	—	ns
数据输入保持时间	t _{HD.DAT}	0	—	0	—	ns
数据输入建立时间	t _{SU.DAT}	100	—	100	—	ns
输入上升时间 ⁽²⁾	t _R	—	300	—	300	ns
输入下降时间 ⁽²⁾	t _F	—	300	—	100	ns
停止建立时间	t _{SU.STO}	600	—	250	—	ns
数据输出保持时间	t _{DH}	50	—	50	—	ns
写周期时间	t _{WR}	—	4	—	4	ms

注：

- 交流测量条件：
 - $C_L = 100\text{ pF}$
 - R_{PUP} (V_{CC} 的 SDA 总线上拉电阻)：1.3 k Ω (1000 kHz)、4 k Ω (400 kHz) 和 10 k Ω (100 kHz)
 - 输入脉冲电压：0.3 V_{CC} 至 0.7 V_{CC}
 - 输入上升和下降时间： $\leq 50\text{ ns}$
 - 输入和输出时序参考电压：0.5 $\times V_{CC}$
- 该参数通过表征确定，未经完全测试。

图 4-1. 总线时序



4.5. 电气规范

4.5.1. 上电要求和复位行为

在上电序列期间，施加到 CN24C256 的 V_{CC} 应从 GND 单调上升至最小 V_{CC} 电压（如表 4-1 所指定），压摆率不高于 $0.1\text{ V}/\mu\text{s}$ 。

4.5.1.1. 器件复位

为了避免在上电序列期间发生意外写操作或其他意外事件，CN24C256 包含上电复位（Power-On Reset, POR）电路。上电后，器件不会立即响应任何命令，直到 V_{CC} 电压超过内部电压阈值（ V_{POR} ）时，器件才会退出复位模式并进入待机模式。

系统设计人员必须确保指令在 V_{CC} 电源达到稳定值（大于或等于最小 V_{CC} 电压）之前不会发送到器件。此外，一旦 V_{CC} 大于或等于最小 V_{CC} 电压，总线主器件必须等待至少 t_{PUP} ，然后再向器件发送第一条命令。有关这些上电参数的相关值，请参见表 4-4。

表 4-4. 上电条件⁽¹⁾

符号	参数	最小值	最大值	单位
t_{PUP}	从 V_{CC} 达到稳定状态到器件可以接受命令所需的时间	100	—	μs
V_{POR}	上电复位阈值电压	—	1.5	V
t_{POFF}	$V_{CC} = 0\text{V}$ 时掉电和再上电之间的最短时间	1	—	ms

注：

1. 这些参数通过表征确定，未经完全生产测试。

当系统中的 CN24C256 上施加的 V_{CC} 电压低于指定的最大 V_{POR} 电压而触发事件时，建议执行完整的掉电再上电序列。首先，将 V_{CC} 引脚驱动到 GND，等待至少最小 t_{POFF} 时间，然后按照本节中的要求执行新的上电序列。

4.5.2. 引脚电容

表 4-5. 引脚电容⁽¹⁾

符号	测试条件	最大值	单位	条件
$C_{I/O}$	输入/输出电容（SDA）	8	pF	$V_{I/O} = 0\text{V}$
C_{IN}	输入电容（A0、A1、A2 和 SCL）	6	pF	$V_{IN} = 0\text{V}$

注：

1. 该参数通过表征确定，未经完全生产测试。

4.5.3. EEPROM 单元性能特性

表 4-6. EEPROM 单元性能特性

操作	测试条件	最小值	最大值	单位
耐写入次数 ^(1, 2)	$T_A = +25^\circ\text{C}$, $V_{CC} = 3.3\text{V}$	1,000,000	—	写周期
数据保存时间 ⁽¹⁾	$T_A = +55^\circ\text{C}$	200	—	年

注：

1. 通过表征和鉴定过程来确定性能。
2. 由于存储器阵列架构的原因，耐写入次数特指以四个数据字节为一组的写操作。任意 4 字节边界的起始地址可通过将任意整数（N）乘以 4（即 $4*N$ ）来确定，结束地址可通过将起始地址加 3（即 $4*N+3$ ）来确定。

5. 器件操作和通信

CN24C256 用作从器件，并利用兼容 I²C 的简单双线数字串行接口与主机控制器（通常称为总线主器件）通信。主器件启动并控制对串行总线上的从器件进行的所有读写操作，主器件和从器件都可以在总线上收发数据。

串行接口包含两条信号线：串行时钟（SCL）和串行数据（SDA）。SCL 引脚用于接收来自主器件的时钟信号，双向 SDA 引脚用于接收来自主器件的命令和数据信息以及向主器件发回数据。数据始终在 SCL 的上升沿锁存到 CN24C256 中，并始终在 SCL 的下降沿从器件输出。SCL 和 SDA 引脚都集成了尖峰抑制滤波器及施密特触发器，以最大限度地降低输入尖峰和总线噪声的影响。

所有命令和数据信息均首先传输最高有效位（Most Significant bit, MSb）。在总线通信期间，每个时钟周期传输一个数据位，并且在传输了数据的 8 位（1 个字节）之后，接收器件必须在由主器件生成的第 9 个时钟周期（ACK/NACK 时钟周期）内以应答（ACK）或无应答（NACK）响应位进行响应。因此，每传输 1 个字节的数据需要 9 个时钟周期。任何读/写操作期间都不存在未使用的时钟周期，因此在每个数据字节传输和 ACK/NACK 时钟周期内，数据流中都不得有任何中断。

在数据传输期间，SDA 引脚上的数据只能在 SCL 为低电平时发生变化，在 SCL 为高电平时必须保持稳定。如果 SDA 引脚上的数据在 SCL 为高电平时发生变化，将产生启动条件或停止条件。启动条件和停止条件分别用于启动和终止主器件与从器件之间的所有串行总线通信。在启动条件和停止条件之间传输的数据字节数不受限制，具体取决于主器件。若要使串行总线处于空闲状态，SCL 和 SDA 引脚必须同时处于逻辑高电平状态。

5.1. 时钟和数据转换要求

SDA 引脚为漏极开路端子，因此必须通过外部上拉电阻拉为高电平。SCL 为输入引脚，可驱动为高电平或使用外部上拉电阻拉为高电平。SDA 引脚上的数据只能在 SCL 低电平时间周期内发生变化。SCL 高电平周期内的数据变化将表示下文定义的启动条件或停止条件。CN24C256 的 SCL 和 SDA 相关的交流时序参数的关系，请参见图 4-1 中的时序波形。有关交流时序特性和规范的概述，请参见交流特性。

5.2. 启动和停止条件

5.2.1. 启动条件

当 SCL 引脚处于稳定的逻辑 1 状态时，如果 SDA 引脚上发生从高电平到低电平的跳变，将产生启动条件并使器件退出待机模式。主器件通过启动条件启动任何数据传输序列，因此每个命令必须以该条件开头。器件将持续监视 SDA 和 SCL 引脚以检测启动条件，但仅在检测到启动条件后才会作出响应。更多详细信息，请参见图 5-1。

5.2.2. 停止条件

当 SDA 引脚从低电平跳变为高电平而 SCL 引脚处于稳定的逻辑 1 状态时，将产生停止条件。

主器件可使用停止条件来结束与 CN24C256 之间的数据传输序列，后者随后将返回待机模式。如果主器件将继续执行另一项操作，还可以利用重复启动条件代替停止条件来结束当前数据传输。更多详细信息，请参见图 5-1。

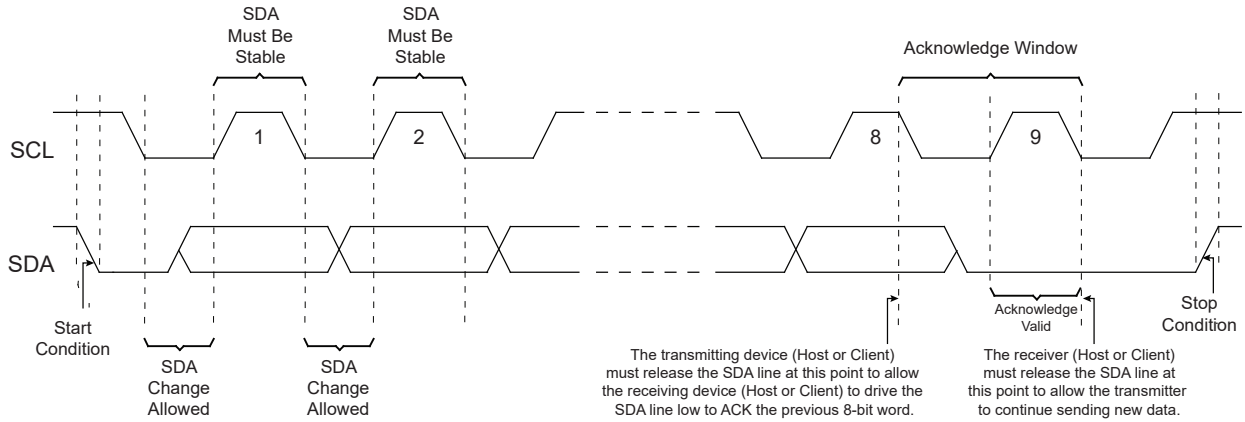
5.3. 应答和无应答

接收到每个数据字节后，接收器件必须通过发送应答（ACK）响应向发送器件确认已成功收到数据字节。ACK 的实现过程如下：发送器件首先在第 8 个时钟周期的下降沿释放 SDA 线，接收器件随后在整个第 9 个时钟周期的高电平周期内以逻辑 0 进行响应。

当 CN24C256 向主器件发送数据时，主器件可通过在第 9 个时钟周期内向 CN24C256 发送逻辑 1 响应（非 ACK 响应）以指示它已完成数据接收并想要结束操作。这称为无应答（NACK）响应，其实现过程如下：主器件在第 9 个时钟周期内发送逻辑 1，此时 CN24C256 将释放 SDA 线，以便主器件随后可以产生停止条件。

发送器件（可以是总线主器件或串行 EEPROM）必须在第 8 个时钟周期的下降沿释放 SDA 线，以允许接收器件将 SDA 线驱动为逻辑 0，从而对先前的 8 位字进行 ACK 响应。接收器件必须在第 9 个时钟周期结束时释放 SDA 线，以允许发送器继续发送新数据。图 5-1 中提供了时序图，以便更直观地说明这些要求。

图 5-1. 启动条件、数据转换、停止条件和应答



5.4. 待机模式

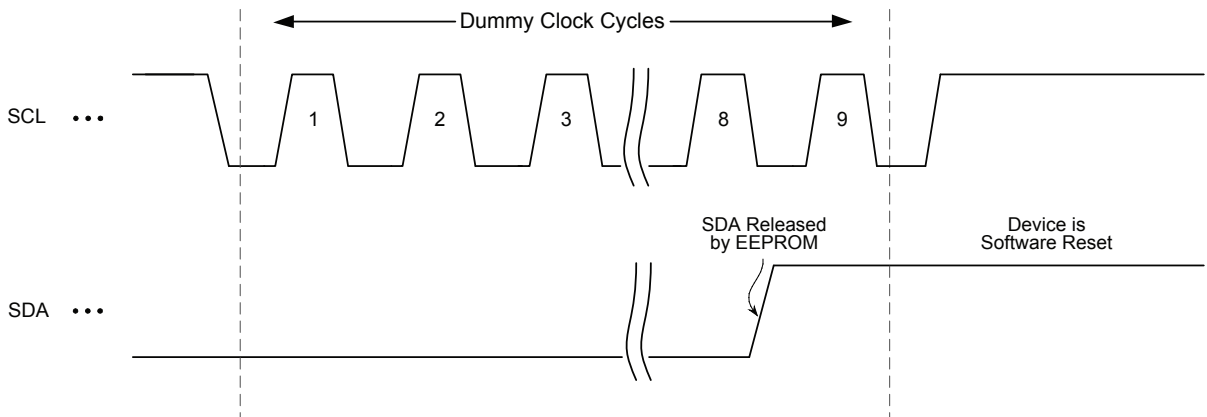
CN24C256 具有低功耗待机模式，该模式在发生以下任一情况时使能：

- 执行有效上电序列（见[上电要求和复位行为](#)）。
- 器件在有效的 I²C 事务结束时接收到停止条件（器件启动内部写周期的情况除外，请参见[写操作](#)）。
- 内部写周期结束（见[写操作](#)）。

5.5. 软件复位

在协议中断、掉电或系统复位之后，任何双线器件都可以进行协议复位，具体操作是持续提供 SCL 时钟，直到 SDA 由 EEPROM 释放并变为高电平为止。EEPROM 释放 SDA 所需的时钟周期数每次都会发生变化。软件复位序列的空时钟周期数不应超过 9 个。软件复位序列结束后，可向器件发送新协议，具体操作为发送启动条件，后跟该协议。相关说明请参见图 5-2。

图 5-2. 软件复位



如果器件仍无响应或 SDA 总线仍保持工作状态，则必须通过掉电再上电复位器件（见[上电要求和复位行为](#)）。

6. 存储器构成

CN24C256 内部由 512 页构成，每页包含 128 字节。

6.1. 器件寻址

访问器件时需要在启动条件之后发送 8 位器件地址字节，以使器件能够进行读/写操作。由于串行总线上可以连接多个从器件，因此每个从器件必须各自拥有惟一的地址，以便主器件能够独立访问每个从器件。

器件地址字节的高 4 位称为器件类型标识符。器件地址字节的 bit 7 至 bit 4 需要使用器件类型标识符 1010 (Ah)（见表 6-1）。

4 位器件类型标识符后跟硬件从器件地址位 A2、A1 和 A0。这些位可用于扩展地址空间，因此同一条总线上最多可存在 8 个串行 EEPROM 器件。这些硬件从器件地址位必须与相应硬接线器件地址输入引脚 A0、A1 和 A2 上的电压关联。A0、A1 和 A2 引脚内置专有电路，如果将引脚处于悬空状态，则会自动将引脚偏置为逻辑 0 状态。为确保在各种应用环境中正常工作，该下拉机制被特意设计为具有较强的下拉能力。当引脚的偏置电压高于 CMOS 输入缓冲器的跳变点（约 $0.5 \times V_{CC}$ ）时，将立即解除下拉机制。建议始终将这些地址引脚连接到已知状态。

器件地址字节的第 8 位 (bit 0) 是读/写选择位。该位为高电平时启动读操作，该位为低电平时启动写操作。

成功比较器件地址字节后，CN24C256 将返回 ACK。如果未实现有效比较，器件将返回 NACK。

表 6-1. 器件地址字节

封装	器件类型标识符				硬件从器件地址位			R/W 选择
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SOIC	1	0	1	0	A2	A1	A0	R/W

对于除当前地址读操作外的所有操作，必须在器件地址字节之后立即向器件发送两个 8 位字地址字节。字地址字节由 15 位存储器阵列字地址组成，用于指定从 EEPROM 中的哪个字节位置开始读取或写入。

第一个字地址字节包含字地址的高 7 位 (A14 至 A8)，这些位的位置从 bit 6 到 bit 0，如表 6-2 所示。完成第一个字地址字节后，CN24C256 将返回 ACK。

表 6-2. 第一个字地址字节

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
x	A14	A13	A12	A11	A10	A9	A8

接下来，第二个字地址字节将发送至器件，该字地址字节提供字地址的其余八位 (A7 至 A0)。完成第二个字地址字节后，CN24C256 将返回 ACK。请参见表 6-3 以查看这些位的位置。

表 6-3. 第二个字地址字节

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
A7	A6	A5	A4	A3	A2	A1	A0

7. 写操作

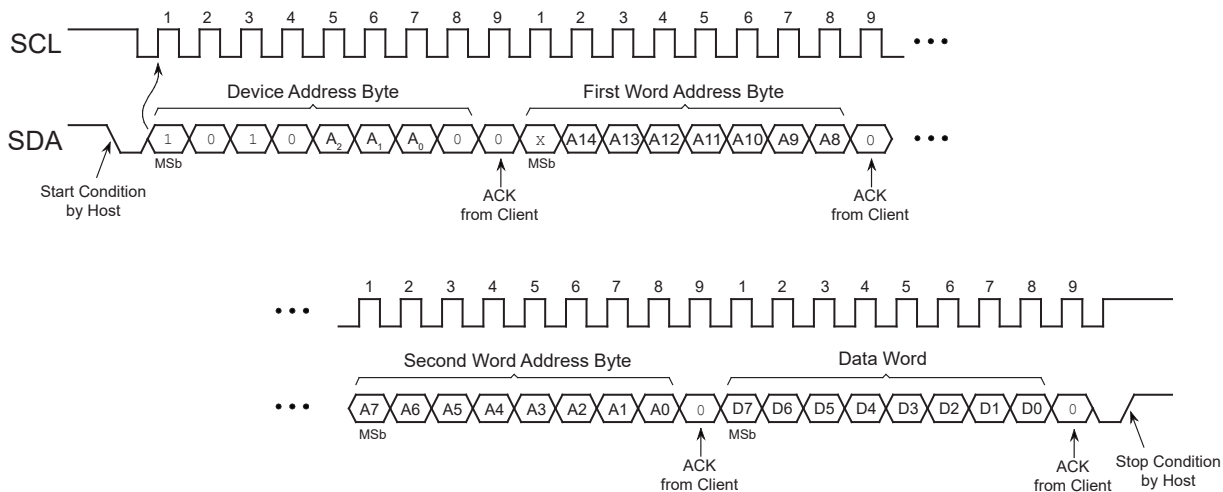
CN24C256 的所有写操作以主器件发送启动条件开始，后跟器件地址字节（ $R/\overline{W}$ 位设置为逻辑 0），最后是字地址字节。要写入器件的数据值紧跟在字地址字节之后。

7.1. 字节写操作

CN24C256 支持写入单个 8 位字节。在 CN24C256 中选择一个数据字需要一个 16 位字地址。

接收到正确的器件地址和字地址字节后，EEPROM 将立即发送 ACK 响应。器件随后将做好接收 8 位数据字的准备。接收到 8 位数据字后，EEPROM 将以 ACK 进行响应。寻址器件（例如总线主器件）随后必须以停止条件终止写操作。此时，EEPROM 将进入内部自定时写周期并在 t_{WR} 内完成，而数据字将被编程到非易失性 EEPROM 中。在此写周期内，所有输入均处于禁止状态，并且 EEPROM 不会作出响应，直到写操作完成为止。

图 7-1. 字节写操作



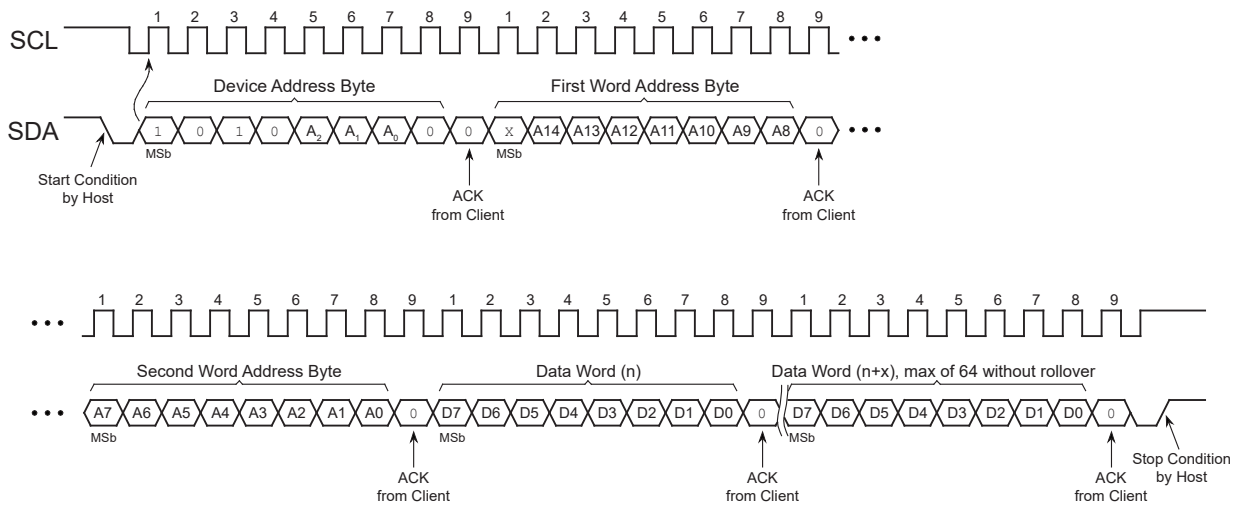
7.2. 页写操作

页写操作允许在一个写周期内最多写入 128 个字节，前提是所有字节都在存储器阵列的同一行内（其中地址位 A14 至 A7 相同）。此外，还支持不足 128 字节的部分页写操作。

页写操作的启动方式与字节写操作的启动方式基本相同，只是在第一个数据字随时钟移入后，总线主器件不发送停止条件。但是，在 EEPROM 确认收到第一个数据字之后，总线主器件可以额外传输最多 63 个数据字。接收到每个数据字后，EEPROM 都将以 ACK 进行响应。将所有要写入的数据都发送至器件后，总线主器件必须发出停止条件（见图 7-2），此时内部自定时写周期将开始。

接收到每个数据字后，字地址的低 6 位在内部递增。高地址位不会递增，并将保持存储器页行位置。无论写入多少字节，页写操作都仅限于在单个物理页内写入字节。当递增的字地址达到页边界时，地址计数器将计满返回到当前页的开头。但是，应尽量避免计满返回事件，因为页中先前装入的数据可能会被意外更改。

图 7-2. 页写操作

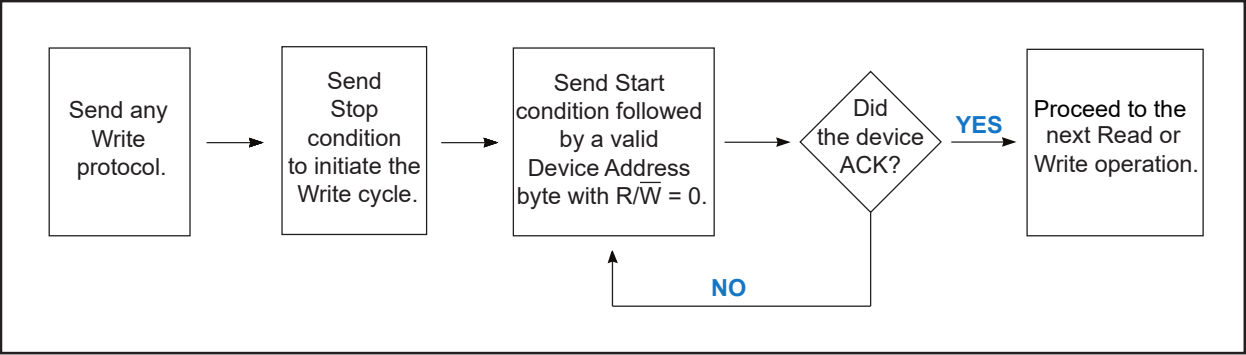


7.3. 应答轮询

时间敏感型应用通常不希望等待固定的最大写周期时间 (t_{WR})，这种情况可以通过实现应答轮询程序来进行优化。凭借该方法，应用可及时确定串行 EEPROM 写周期何时完成，以便启动后续操作。

当内部自定时写周期开始后，即可启动应答轮询程序。该程序会反复发送启动条件，后跟有效的器件地址字节 ($R/\overline{W}$ 位设置为逻辑 0)。在写周期内，器件不会以 ACK 进行响应。当内部写周期完成后，EEPROM 将以 ACK 进行响应，从而允许立即启动新的读/写操作。图 7-3 中提供了流程图，以便更直观地说明该方法。

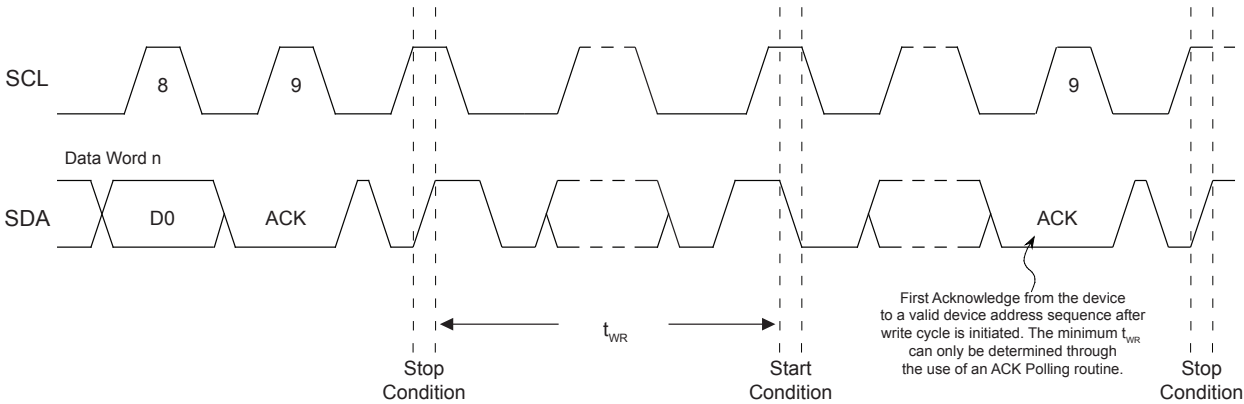
图 7-3. 应答轮询流程图



7.4. 写周期时序

自定时写周期 (t_{WR}) 的时长定义为从停止条件（开始内部写周期）到启动条件（第一个器件地址字节发送至 CN24C256，器件随后以 ACK 进行响应）的时间。图 7-4 展示了该时间的测算方式。在内部自定时写周期内，不会处理任何尝试读取或写入存储器阵列的操作。

图 7-4. 写周期时序



7.5. 写保护

CN24C256 采用硬件数据保护方案，该方案允许用户在 WP 引脚处于 V_{CC}（或有效的 V_{IH}）时对整个存储器阵列内容进行写保护。如果 WP 引脚处于 GND 或悬空，将不会设置写保护。

表 7-1. 写保护行为

WP 引脚电压	部分阵列受保护
V _{CC}	全阵列
GND	无——未使能写保护

开始内部自定时写周期前，会先在每个字节写操作或页写操作的停止条件处采样 WP 引脚的状态。在发送停止条件之后改变 WP 引脚的状态不会更改或中断写周期的执行过程。

如果尝试在 WP 引脚已置为有效时写入器件，器件将会应答器件地址、字地址和数据字节。但是，在停止条件发出后不会出现写周期。器件将立即准备好接受新的读/写操作。

8. 读操作

读操作的启动方式与写操作基本相同，只是器件地址字节中的读/写选择位必须设置为逻辑 1。读操作有以下三种：

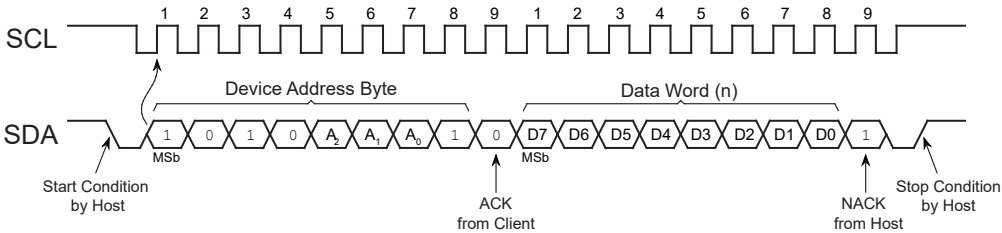
- 当前地址读操作
- 随机读操作
- 连续读操作

8.1. 当前地址读操作

内部数据字地址计数器保存的内容为最后一次读/写操作期间访问的最后一个地址加 1。只要器件保持 V_{CC} 供电，该地址在操作间隔就会保持有效。读操作期间的地址计满返回会从最后一页的最后一个字节返回到存储器第一页的第一个字节。

当前地址读操作根据内部数据字地址计数器的位置输出数据。该过程以启动条件开始，后跟有效器件地址字节（ $R/\overline{W}$ 位设置为逻辑 1）。器件将以 ACK 响应此序列，之后当前地址数据字在 SDA 线上以串行方式随时钟输出。如果总线主器件在第 9 个时钟周期内未以 ACK（而是 NACK）进行响应，所有类型的读操作都将终止。在 NACK 响应后，主器件既可以发送停止条件结束协议，也可以发送启动条件开始下一个序列。

图 8-1. 当前地址读操作

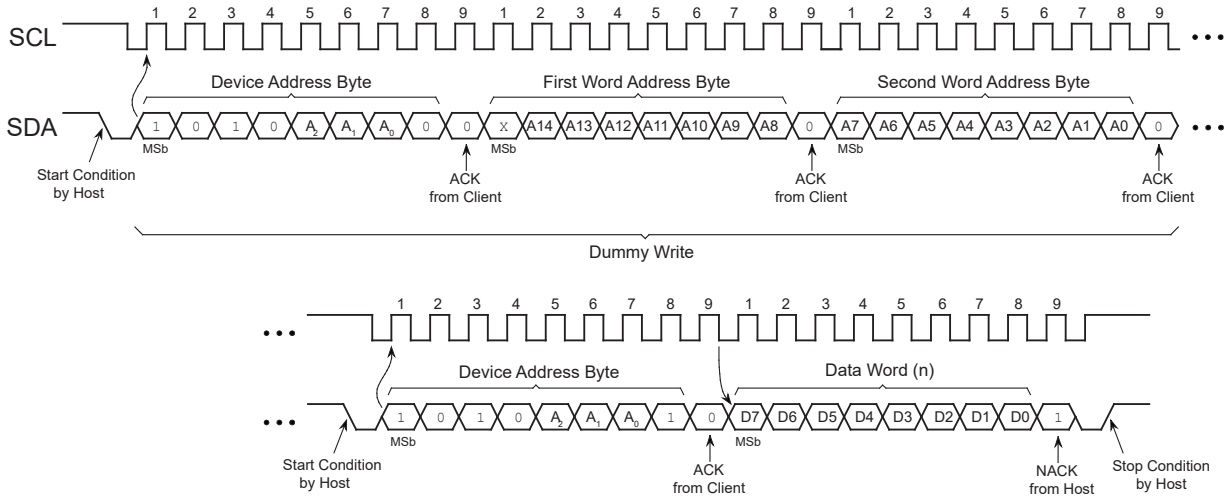


8.2. 随机读操作

随机读操作的启动步骤与字节写操作相同，以装入新的数据字地址。这称为“假写”序列，但必须省略字节写操作的数据字节和停止条件，以防止器件进入内部写周期。当器件地址和字地址随时钟移入并被 EEPROM 应答时，总线主器件必须产生另一个启动条件。总线主器件随后通过发送启动条件并后跟有效的器件地址字节（ $R/\overline{W}$ 位设置为逻辑 1），来启动当前地址读操作。

EEPROM 将以 ACK 响应器件地址，然后在 SDA 线上以串行方式随时钟移出数据字。如果总线主器件在第 9 个时钟周期内未以 ACK（而是 NACK）进行响应，所有类型的读操作都将终止。在 NACK 响应后，主器件既可以发送停止条件结束协议，也可以发送启动条件开始下一个序列。

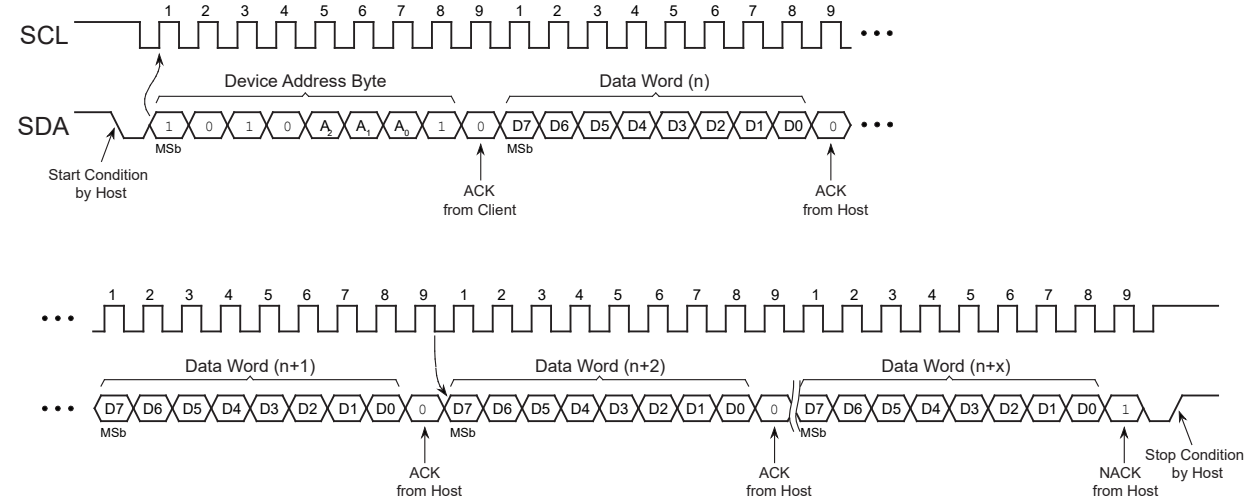
图 8-2. 随机读操作



8.3. 连续读操作

连续读操作由前文所述的当前地址读操作或随机读操作启动。只要 EEPROM 收到 ACK，就将继续递增地址，同时以串行方式随时钟移出数据字。当达到最大存储器地址时，数据字地址将计满返回，连续读操作将从存储器阵列的开头继续。如果总线主器件在第 9 个时钟周期内未以 ACK（而是 NACK）进行响应，所有类型的读操作都将终止。在 NACK 响应后，主器件既可以发送停止条件结束协议，也可以发送启动条件开始下一个序列。

图 8-3. 连续读操作



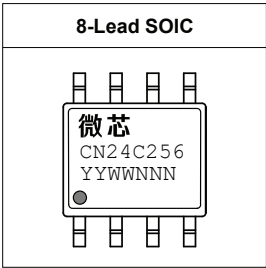
9. 器件默认条件

CN24C256 在交付前已将 EEPROM 阵列设置为逻辑 1，因此所有存储单元中的数据均为 FFh。

10. 封装信息

10.1. 封装标识信息

CN24C256: Package Marking Information

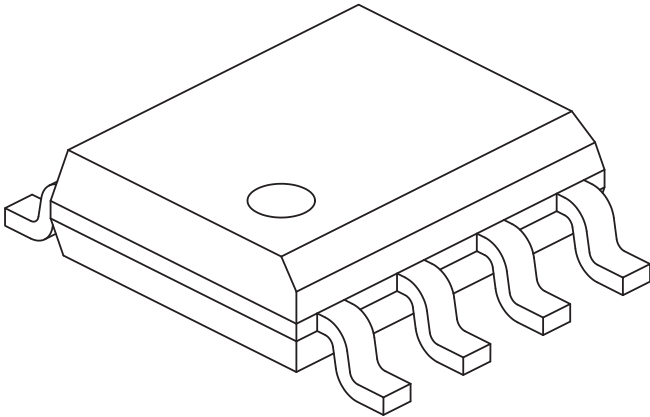


Note 1: ● designates pin 1
Note 2: Package drawing is not to scale

Catalog Number Truncation
CN24C256
Date Codes
YY = Year Code (last 2 digits of calendar year) WW = Week Code (week of January 1 is week '01)
Trace Code
NNN = Alphanumeric Trace Code

[illegible]

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

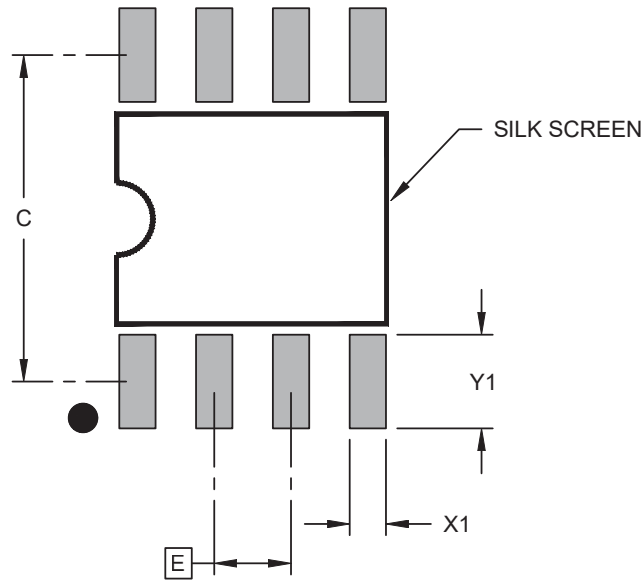


Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	1.27 BSC		
Overall Height	A	—	—	1.75
Molded Package Thickness	A2	1.25	—	—
Standoff §	A1	0.10	—	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	4.90 BSC		
Chamfer (Optional)	h	0.25	—	0.50
Foot Length	L	0.40	—	1.27
Footprint	L1	1.04 REF		
Lead Thickness	c	0.17	—	0.25
Lead Width	b	0.31	—	0.51
Lead Bend Radius	R	0.07	—	—
Lead Bend Radius	R1	0.07	—	—
Foot Angle	θ	0°	—	8°
Mold Draft Angle	θ1	5°	—	15°
Lead Angle	θ2	0°	—	—

Notes:

1. The Pin 1 visual index feature may vary, but it must be located within the hatched area.
2. § Significant Characteristic
3. Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
4. Dimensioning and tolerancing per ASME Y14.5M
 - BSC: Basic Dimension. Theoretically exact value shown without tolerances.
 - REF: Reference Dimension, usually without tolerance, for information purposes only.
5. Datums A & B to be determined at Datum H.

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	1.27 BSC		
Contact Pad Spacing	C		5.40	
Contact Pad Width (X8)	X1			0.60
Contact Pad Length (X8)	Y1			1.55

Notes:

- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

产品标识体系

欲订货或获取信息，请访问 www.weixinsemi.com。

示例

器件	封装	封装图代码	电压范围	包装选项	器件等级
CN24C256T-I/SN	SOIC	SN	1.7V 至 5.5V	卷带式	工业级温度（-40℃ 至 +85℃）

制造商信息

商标

本文档中的名称、徽标和品牌均为制造商或其关联公司和/或子公司在中国和/或其他国家或地区的注册商标或商标。

法律声明

本出版物仅适用于制造商的产品，包括设计、测试以及将制造商的产品集成到用户的应用中。以其他任何方式使用这些信息都将被视为违反条款。

不涉及任何制造商知识产权的使用许可。

如果将制造商的器件用于生命维持和/或生命安全应用，一切风险由买方自负。

器件应用的详细信息仅供参考，内容可能随时更新。用户须自行确保应用符合规范。如需支持，请通过www.weixinsemi.com联系制造商。

用户须遵守所有适用的出口管制与经济制裁规定。

本文档中的信息“按原样”提供。制造商对这些信息不作任何形式的担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的担保。除法律强制要求外，对于因这些信息或使用这些信息而产生的任何损失，制造商概不承担任何责任。在法律允许的最大范围内，制造商概不承担任何间接或附带损害赔偿。制造商在任何情况下所承担的全部责任均不超出用户为获得这些信息而向制造商支付的金额（如有）。

制造商的器件代码保护功能

请注意以下有关制造商产品的代码保护功能的要点：

- 制造商的产品均达到制造商数据手册中所述的技术规范。
- 制造商确信：在正常使用且符合工作规范的情况下，其产品非常安全。
- 制造商注重并积极保护其知识产权。严禁任何试图破坏制造商的代码保护功能的行为。
- 制造商或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着产品是“牢不可破”的。代码保护功能处于持续发展中。制造商承诺将不断改进产品的代码保护功能。

中国销售及服务

如需获取更多信息或支持，请通过以下方式联系我们：

邮箱：sales@weixinsemi.com

网址：www.weixinsemi.com