

特性

- 1.8V V_{DD} 时的传播延时：
 - 从高电平到低电平时为56 ns（典型值）
 - 从低电平到高电平时为49 ns（典型值）
- 低静态电流：100 μA （典型值）
- 输入失调电压： ± 3 mV（典型值）
- 轨到轨输入： $V_{SS} - 0.3V$ 至 $V_{DD} + 0.3V$
- 兼容CMOS/TTL的输出
- 宽电源电压范围：1.8V至5.5V
- 提供单运放、双运放和四运放配置
- 封装：SOT-23、SOIC-8和SOIC-14

典型应用

- 笔记本电脑
- 手机
- 手持式电子设备
- RC定时器
- 报警和监控电路
- 窗口比较器
- 多谐振荡器

说明

CN3201/2/4系列CMOS/TTL兼容比较器提供单运放、双运放和四运放配置。

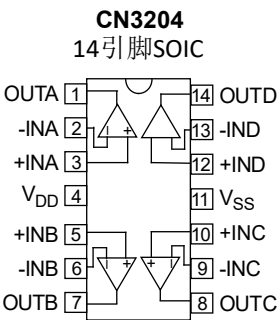
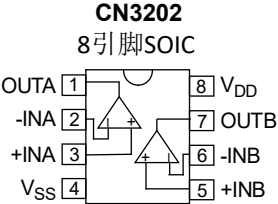
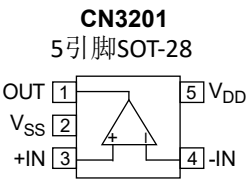
这些比较器针对低功耗1.8V单电源应用进行了优化，可提供超过轨到轨的输入范围。内部输入滞后可消除内部输入噪声电压引起的输出开关，从而减少电流消耗。CN3201/2/4系列的推挽式输出支持轨到轨输出摆幅，并能够与CMOS/TTL逻辑进行连接。输出翻转频率典型值可达4 MHz，同时可限制开关期间的电源电流浪涌和动态功耗。

该系列可在1.8V至5.5V的单电源电压下工作，每个比较器的静态电流消耗不到100 μA （典型值）。

在售产品

部件编号	说明	封装
CN3201T-I/OT	单运放（卷带式），工业级温度	SOT23
CN3202T-I/SN	双运放（卷带式），工业级温度	SOIC-8
CN3204T-I/SL	四运放（卷带式），工业级温度	SOIC-14

封装类型



1.0 电气特性

1.1 绝对最大额定值†

$V_{DD} - V_{SS}$	6.5V
模拟输入 (V_{IN}) ††	$V_{SS} - 1.0V$ 至 $V_{DD} + 1.0V$
所有其他输入和输出	$V_{SS} - 0.3V$ 至 $V_{DD} + 0.3V$
差分输入电压	$ V_{DD} - V_{SS} $
输出短路电流	± 25 mA
输入引脚电流	± 2 mA
输出和电源引脚电流	± 50 mA
储存温度	-65°C 至 $+150^{\circ}\text{C}$
环境温度（施加电源时）	-40°C 至 $+125^{\circ}\text{C}$
结温	$+150^{\circ}\text{C}$
所有引脚上的ESD保护（HBM/MM）	≥ 4 kV/300V

† 注：如果器件的工作条件超过上述“最大值”，可能对器件造成永久性损坏。上述值仅代表本规范规定的极限工作条件，不代表器件在上述极限值或超出极限值的情况下仍可正常工作。器件长时间工作在最大值条件下，其可靠性可能受到影响。

†† 请参见第3.1.2节“输入电压和电流限制”。

直流特性

电气特性：除非另外说明，否则： $V_{DD} = +1.8V$ 至 $+5.5V$ ， $V_{SS} = \text{GND}$ ， $T_A = +25^{\circ}\text{C}$ ， $V_{IN+} = V_{DD}/2$ ， $V_{IN-} = V_{SS}$ ， $R_L = 10$ k Ω （连接至 $V_{DD}/2$ ）（见图1-1）。						
参数	符号	最小值	典型值	最大值	单位	条件
电源						
电源电压	V_{DD}	1.8	—	5.5	V	
每个比较器的静态电流	I_Q	60	100	130	μA	$I_{OUT} = 0$
电源抑制比	PSRR	63	70	—	dB	$V_{CM} = V_{SS}$
输入						
输入失调电压	V_{OS}	-10	± 3	+10	mV	$V_{CM} = V_{SS}$ （注1）
输入失调漂移	$\Delta V_{OS}/\Delta T$	—	± 2	—	$\mu\text{V}/^{\circ}\text{C}$	$V_{CM} = V_{SS}$
输入失调电流	I_{OS}	—	± 1	—	pA	$V_{CM} = V_{SS}$
输入偏置电流	I_B	—	1	—	pA	$T_A = +25^{\circ}\text{C}$ ， $V_{IN-} = V_{DD}/2$
		—	60	—	pA	$T_A = +85^{\circ}\text{C}$ ， $V_{IN-} = V_{DD}/2$
输入滞后电压	V_{HYST}	1.0	—	5.0	mV	$V_{CM} = V_{SS}$ （注1和注2）
输入滞后线性温度系数	TC_1	—	10	—	$\mu\text{V}/^{\circ}\text{C}$	
共模输入电压范围	V_{CMR}	$V_{SS} - 0.2$	—	$V_{DD} + 0.2$	V	$V_{DD} = 1.8V$
		$V_{SS} - 0.3$	—	$V_{DD} + 0.3$	V	$V_{DD} = 5.5V$

注1：输入失调电压是输入参考跳变点的中间值。输入滞后是输入参考跳变点之间的差值。

2：根据 $V_{HYST}(T_A) = V_{HYST} @ +25^{\circ}\text{C} + (T_A - 25^{\circ}\text{C}) TC_1$ 估算不同温度下的 V_{HYST} 。

3：将输出电流限制为绝对最大额定值50 mA。

直流特性（续）

电气特性： 除非另外说明，否则：V _{DD} = +1.8V至+5.5V，V _{SS} = GND，T _A = +25°C，V _{IN+} = V _{DD} /2，V _{IN-} = V _{SS} ，R _L = 10 kΩ（连接至V _{DD} /2）（见图1-1）。						
参数	符号	最小值	典型值	最大值	单位	条件
共模抑制比	CMRR	54	66	—	dB	V _{CM} = -0.3V至V _{DD} + 0.3V， V _{DD} = 5.5V
推挽式输出						
高电平输出电压	V _{OH}	V _{DD} - 0.7	—	—	V	I _{OUT} = -3 mA/-8 mA， V _{DD} = 1.8V/5.5V（注3）
低电平输出电压	V _{OL}	—	—	0.6	V	I _{OUT} = 3 mA/8 mA， V _{DD} = 1.8V/5.5V（注3）
短路电流	I _{SC}	—	±30	—	mA	注3
输出引脚电容	C _{OUT}	—	8	—	pF	

注1：输入失调电压是输入参考跳变点的中间值。输入滞后是输入参考跳变点之间的差值。

2：根据V_{HYST} (T_A) = V_{HYST} @ +25°C + (T_A - 25°C) TC₁估算不同温度下的V_{HYST}。

3：将输出电流限制为绝对最大额定值50 mA。

交流特性

电气特性：除非另外说明，否则：V _{DD} = +1.8V至+5.5V，V _{SS} = GND，T _A = +25°C，V _{IN+} = V _{DD} /2，V _{IN-} = V _{SS} ，R _L = 10 kΩ（连接至V _{DD} /2），C _L = 25 pF（见图1-1）。						
参数	符号	最小值	典型值	最大值	单位	条件
传播延时						
从高电平到低电平，100 mV 过驱动	t _{PHL}	—	56	80	ns	V _{CM} = V _{DD} /2，V _{DD} = 1.8V
		—	34	80	ns	V _{CM} = V _{DD} /2，V _{DD} = 5.5V
从低电平到高电平，100 mV 过驱动	t _{PLH}	—	49	80	ns	V _{CM} = V _{DD} /2，V _{DD} = 1.8V
		—	47	80	ns	V _{CM} = V _{DD} /2，V _{DD} = 5.5V
输出						
上升时间	t _R	—	20	—	ns	
下降时间	t _F	—	20	—	ns	
最大翻转频率	f _{TG}	—	4	—	MHz	V _{DD} = 5.5V
		—	2	—	MHz	V _{DD} = 1.8V
输入电压噪声	E _{NI}	—	350	—	μV _{p-p}	10 Hz至10 MHz

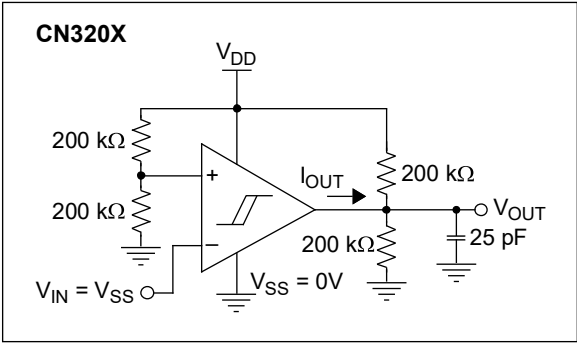
温度规范

电气特性：除非另外说明，否则：V _{DD} = +1.8V至+5.5V，V _{SS} = GND。						
参数	符号	最小值	典型值	最大值	单位	条件
温度范围						
规定温度范围	T _A	-40	—	+85	°C	工业级温度器件
		-40	—	+125	°C	扩展级温度器件
工作温度范围	T _A	-40	—	+125	°C	
储存温度范围	T _A	-65	—	+150	°C	
封装热阻						
热阻，5引脚SOT-23	θ _{JA}	—	220.7	—	°C/W	
热阻，8引脚SOIC	θ _{JA}	—	149.5	—	°C/W	
热阻，14引脚SOIC	θ _{JA}	—	95.3	—	°C/W	

1.2 测试电路配置

该测试电路配置用于确定交流和直流规范。

图1-1：推挽式输出比较器的交流和直流测试电路



2.0 典型工作特性曲线

注：以下图表为基于有限数量样片的统计结果，仅供参考。所列出的性能特性未经测试，我们不做保证。一些图表中列出的数据可能超出规定的工作范围（例如，超出了规定的电源范围），因此不在担保范围内。

注：除非另外说明，否则： $V_{DD} = +1.8V$ 至 $+5.5V$ ， $V_{SS} = GND$ ， $T_A = +25^{\circ}C$ ， $V_{IN+} = V_{DD}/2$ ， $V_{IN-} = GND$ ， $R_L = 10\ k\Omega$ （连接至 $V_{DD}/2$ ）， $C_L = 25\ pF$ 。

图2-1：输入与输出信号曲线（无相位反转）

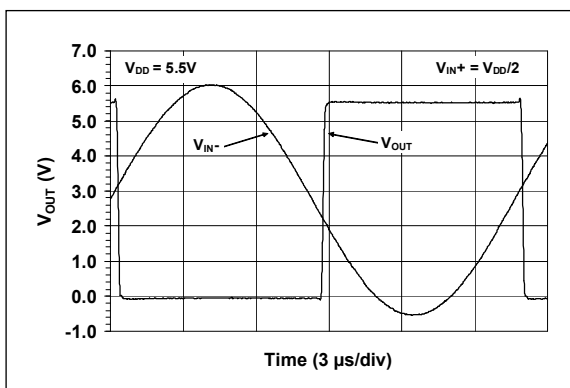


图2-2：静态电流—电源电压—温度曲线

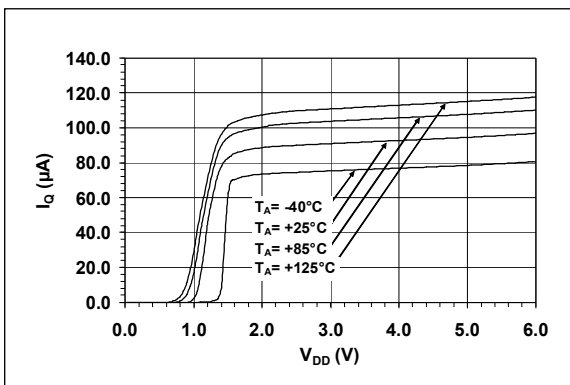
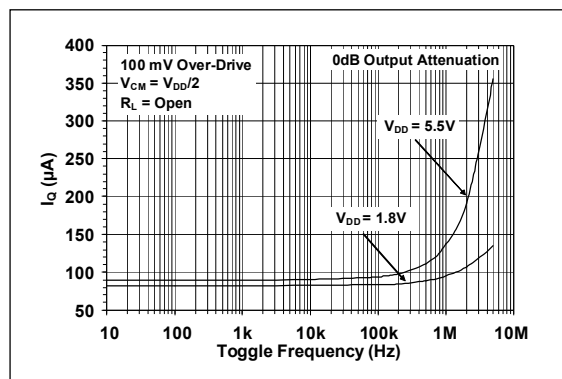


图2-3：静态电流—翻转频率曲线



注：除非另外说明，否则： $V_{DD} = +1.8V$ 至 $+5.5V$ ， $V_{SS} = GND$ ， $T_A = +25^\circ C$ ， $V_{IN+} = V_{DD}/2$ ， $V_{IN-} = GND$ ， $R_L = 10\ k\Omega$ （连接至 $V_{DD}/2$ ）， $C_L = 25\ pF$ 。

图2-4：输出范围裕量—输出电流曲线

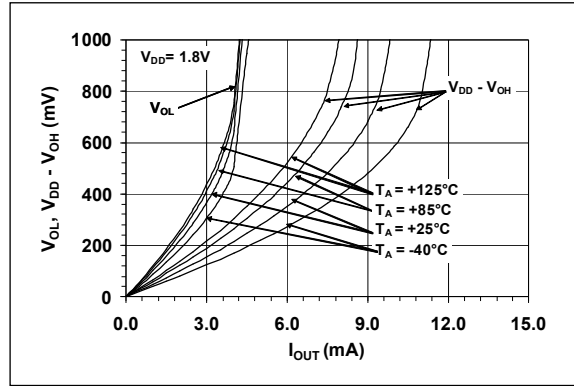


图2-5：短路电流—电源电压—温度曲线

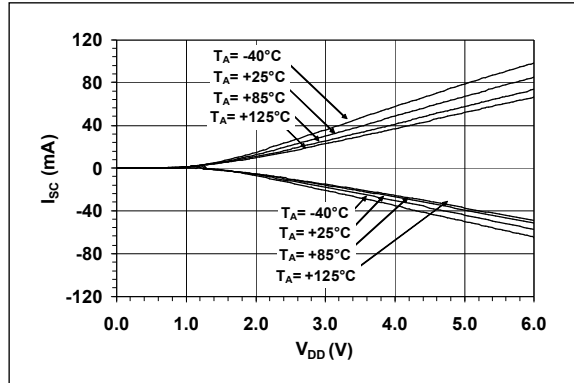
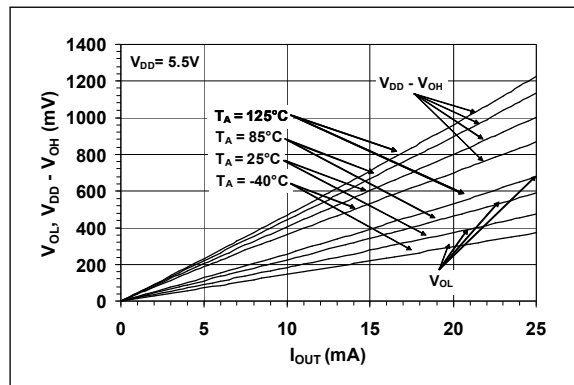


图2-6：输出裕量—输出电流曲线



注： 除非另外说明， 否则： $V_{DD} = +1.8V$ 至 $+5.5V$ ， $V_{SS} = GND$ ， $T_A = +25^{\circ}C$ ， $V_{IN+} = V_{DD}/2$ ， $V_{IN-} = GND$ ， $R_L = 10\ k\Omega$ （连接至 $V_{DD}/2$ ）， $C_L = 25\ pF$ 。

图2-7： 传播延时—电源电压曲线

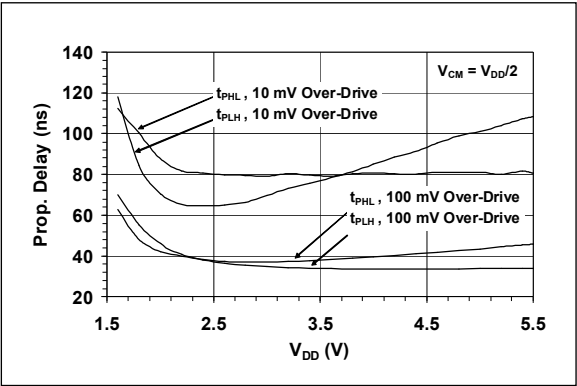


图2-8： 传播延时—共模输入电压曲线

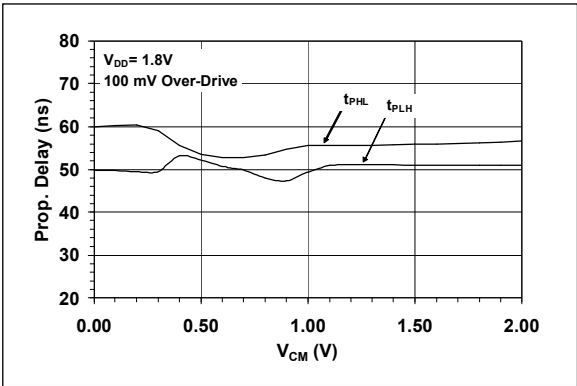
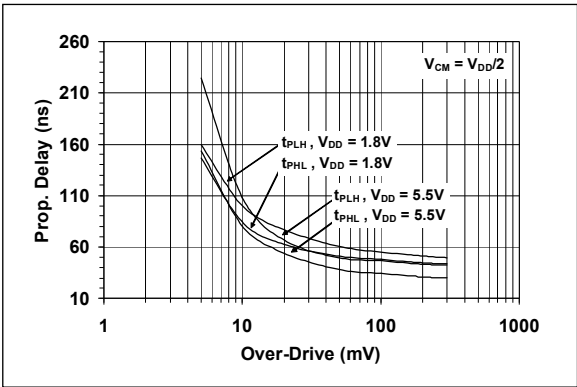


图2-9： 传播延时—输入过驱动曲线



注：除非另外说明，否则： $V_{DD} = +1.8V$ 至 $+5.5V$ ， $V_{SS} = GND$ ， $T_A = +25^{\circ}C$ ， $V_{IN+} = V_{DD}/2$ ， $V_{IN-} = GND$ ， $R_L = 10\ k\Omega$ （连接至 $V_{DD}/2$ ）， $C_L = 25\ pF$ 。

图2-10：传播延时—共模输入电压曲线

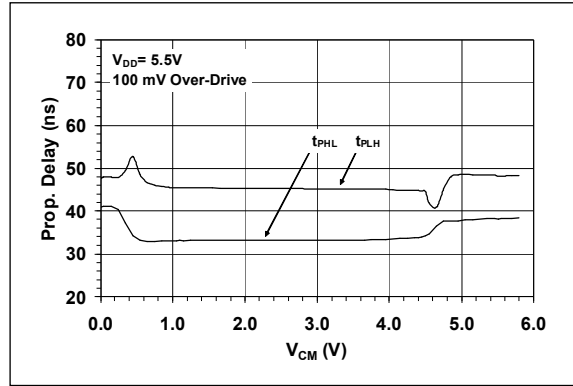
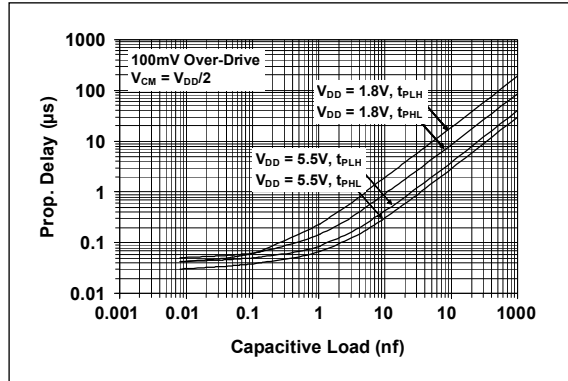


图2-11：传播延时—容性负载曲线



3.0 应用信息

CN3201/2/4系列推挽式输出比较器采用先进的CMOS工艺制造，广泛适用于需要超低功耗的各类高速应用。

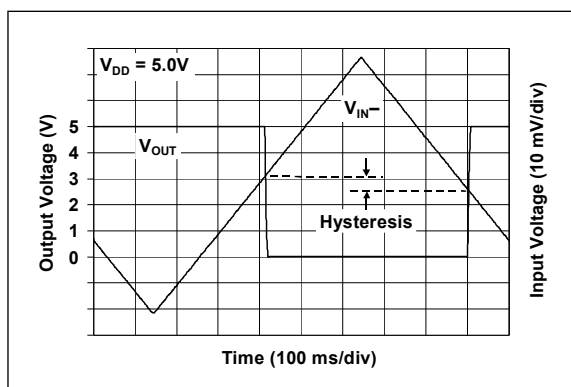
3.1 比较器输入

3.1.1 正常工作

这些系列器件的输入级采用三个并联的差分输入级：一个工作在低输入电压下，一个工作在高输入电压下，还有一个工作在中间输入电压下。采用这种拓扑结构，输入电压的范围为 $V_{SS} - 0.3V$ 至 $V_{DD} + 0.3V$ ，并在整个共模范围内实现低失调电压。输入失调电压在 $V_{SS} - 0.3V$ 和 $V_{DD} + 0.3V$ 时测量，以确保正常工作。

CN3201/2/4系列具有内部设置的滞后 V_{HYST} ，该滞后小到足以维持输入失调电压精度，大到足以消除由比较器自身输入噪声电压（ E_{NI} ）产生的输出抖动。图3-1说明了这一特性。输入失调电压（ V_{OS} ）是（输入参考的）低电平到高电平和高电平到低电平跳变点的中间（均）值。输入滞后电压（ V_{HYST} ）是这两个跳变点之间的差值。

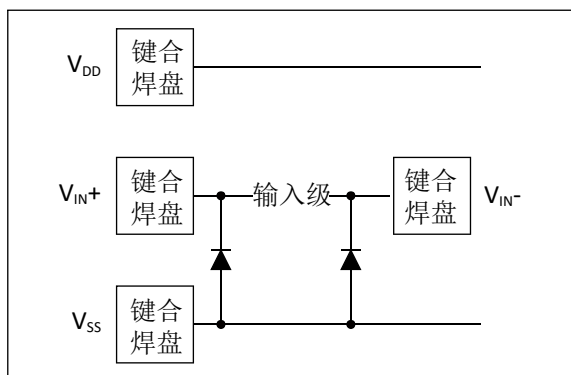
图3-1：CN3201/2/4比较器的内部滞后可消除由输入噪声电压引起的输出抖动



3.1.2 输入电压和电流限制

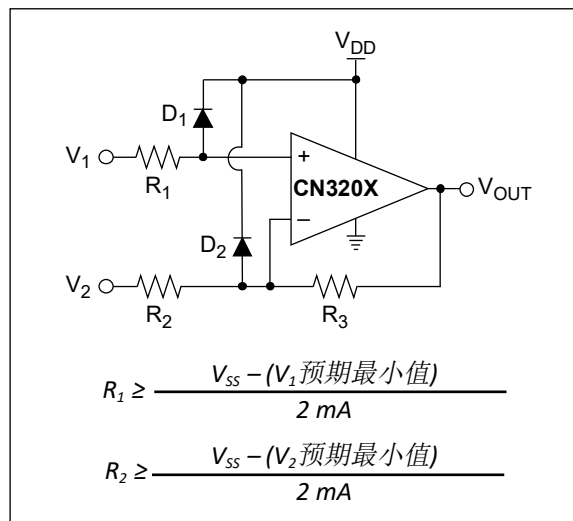
输入的ESD保护如图3-2所示。选择此结构是为了保护输入晶体管，并最大程度地降低输入偏置电流（ I_B ）。当输入电压比 V_{SS} 低了一个以上的二极管压降时，输入ESD二极管会钳位输入。它们还会对远高于 V_{DD} 的所有电压进行钳位。其击穿电压高到足以进行正常工作，低到足以旁路指定限制范围内的ESD事件。

图3-2：简化的模拟输入ESD结构



为了防止这些放大器损坏和/或对其进行不当操作，电路必须对 V_{IN+} 和 V_{IN-} 引脚的电流进行限制（见第1.0章“电气特性”开头部分的第1.1节“绝对最大值”）。图3-3给出了保护这些引脚的推荐方法。内部ESD二极管用于防止输入引脚（ V_{IN+} 和 V_{IN-} ）的电压远低于地电压，电阻 R_1 和 R_2 用于限制输入引脚的可能电流消耗。二极管 D_1 和 D_2 用于防止输入引脚（ V_{IN+} 和 V_{IN-} ）的电压大幅高于 V_{DD} 。如图实现时，电阻 R_1 和 R_2 也会限制通过 D_1 和 D_2 的电流。

图3-3：保护模拟输入



还可以将二极管连接到电阻 R_1 和 R_2 的左侧。这种情况下，需要通过其他方式来限制通过二极管 D_1 和 D_2 的电流。然后，电阻用作浪涌电流限制器；流入输入引脚（ V_{IN+} 和 V_{IN-} ）的直流电流应极小。

当共模电压（ V_{CM} ）低于地电压（ V_{SS} ）时，可能从输入流出大量电流。高阻抗应用可能需要限制可用电压范围。

3.1.3 相位反转

CN3201/2/4比较器系列在输入端配有CMOS晶体管，旨在防止输入引脚电压超过电源电压时发生相位反转。图2-1显示了输入电压超出两个电源电压而未发生相位反转的情况。

3.2 推挽式输出

推挽式输出设计为兼容CMOS和TTL逻辑，而输出晶体管配置为提供轨到轨输出功能。驱动它们的电路可在输出从高电平转换到低电平或从低电平转换到高电平时最大限度地降低任何开关电流（电源到电源的直通电流）。

3.3 外部设置的滞后

通过使用外部电阻可以更灵活地选择滞后（或输入跳变点）。当一个输入缓慢超过另一个输入时，滞后将减少输出抖动。它还可帮助系统尽量避免频繁地在高电平状态和低电平状态之间切换（例如空调恒温控制）。输出抖动也会增加动态电源电流。

3.3.1 同相电路

图3-4显示了在单电源应用中仅使用两个电阻构成的同相电路。产生的滞后示意图如图3-5所示。

图3-4：单电源供电下带滞后的同相电路

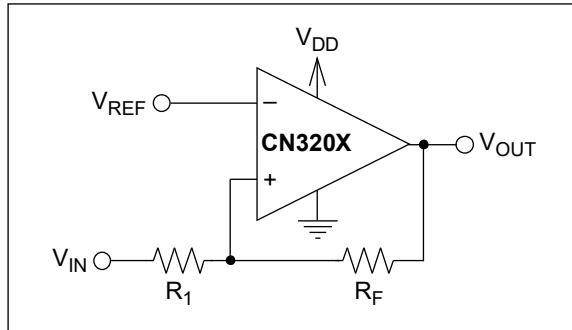


图3-5：同相电路的滞后示意图

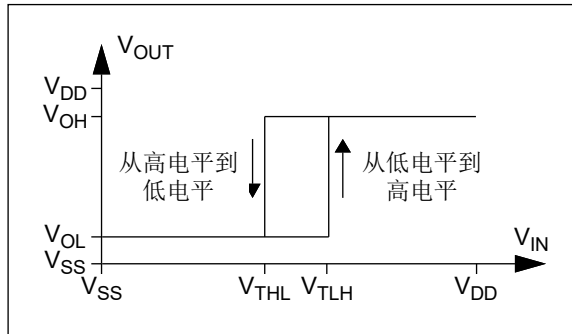


图3-4和图3-5的跳变点电压为：

公式3-1：

$$V_{TLH} = V_{REF} \left(1 + \frac{R_I}{R_F} \right) - V_{OL} \left(\frac{R_I}{R_F} \right)$$

$$V_{THL} = V_{REF} \left(1 + \frac{R_I}{R_F} \right) - V_{OH} \left(\frac{R_I}{R_F} \right)$$

其中：

V_{TLH} = 从低电平到高电平的跳变电压

V_{THL} = 从高电平到低电平的跳变电压

3.3.2 反相电路

图3-6显示了在单电源供电下使用三个电阻构成的反相电路。产生的滞后示意图如图3-7所示。

图3-6：带滞后的反相电路

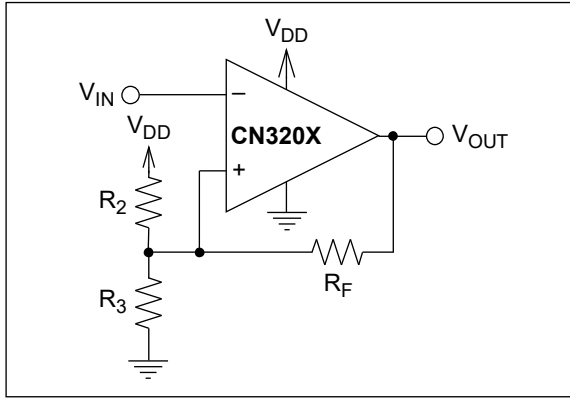
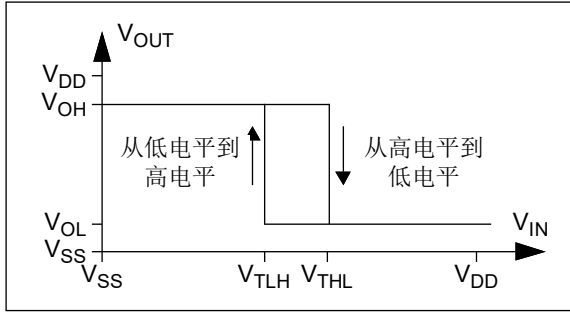
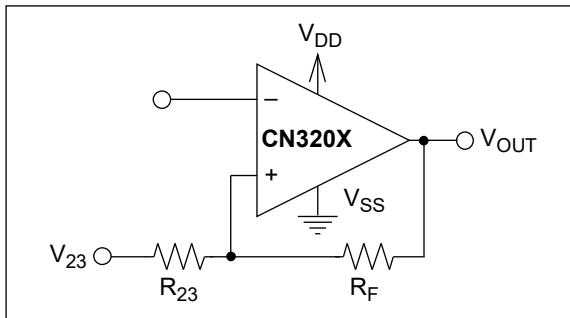


图3-7：反相电路的滞后示意图



为确定图3-6显示的电路的跳变电压（ V_{THL} 和 V_{TLH} ）， R_2 和 R_3 可简化为相对于 V_{DD} 的戴维宁（Thevenin）等效电路，如图3-8所示。

图3-8：戴维宁等效电路



其中：

$$R_{23} = \frac{R_2 R_3}{R_2 + R_3}$$

$$V_{23} = \frac{R_3}{R_2 + R_3} \times V_{DD}$$

采用此简化电路，跳变电压可通过以下公式计算：

公式3-2:

$$V_{THL} = V_{OH} \left(\frac{R_{23}}{R_{23} + R_F} \right) + V_{23} \left(\frac{R_F}{R_{23} + R_F} \right)$$

$$V_{TLH} = V_{OL} \left(\frac{R_{23}}{R_{23} + R_F} \right) + V_{23} \left(\frac{R_F}{R_{23} + R_F} \right)$$

其中：

V_{TLH} = 从低电平到高电平的跳变电压

V_{THL} = 从高电平到低电平的跳变电压

图2-4和图2-6可用于确定 V_{OH} 和 V_{OL} 的典型值。

3.4 旁路电容

使用该系列的比较器时，应在距电源引脚（单电源供电时的 V_{DD} ）2mm的范围内连接一个本地旁路电容（即0.01 μF 至0.1 μF ），以获得良好的边沿速率性能。

3.5 容性负载

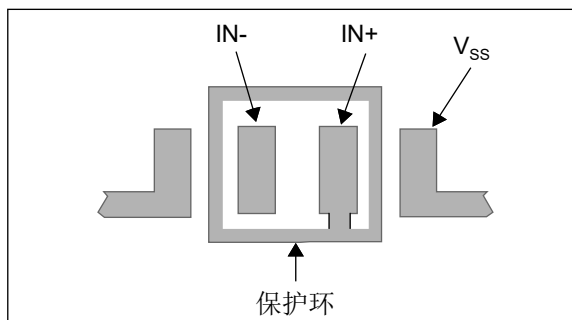
合理的容性负载（如逻辑门）对传播延时影响很小（见图2-11）。电源电流会随着翻转频率的增大而增大（图2-3），尤其是在容性负载较高的情况下。容性负载较高时，输出压摆率和传播延时性能会降低。

3.6 PCB表面漏电

在低输入偏置电流至关重要的应用中，需要考虑印刷电路板（Printed Circuit Board, PCB）表面漏电的影响。表面漏电由电路板潮湿、尘土或其他污染物引起。在低湿度条件下，相邻走线之间的典型阻抗为 $10^{12}\Omega$ 。5V的压差将会产生5 pA的电流。该电流比CN3201/2/4系列在+25°C时的偏置电流（典型值1 pA）大。

减少表面漏电的最简单方法是在敏感引脚（或走线）周围使用保护环。保护环的偏置电压与敏感引脚的电压相等。这种类型的布线示例如图3-9所示。

图3-9：反相电路的保护环布线示例

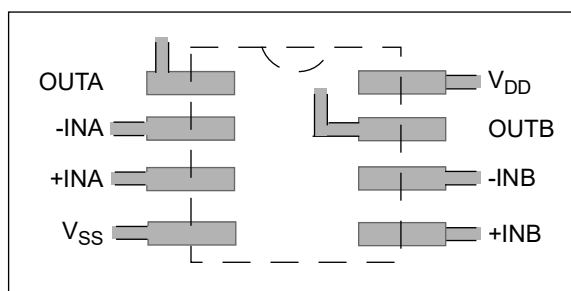


1. 反相配置（图3-6和图3-9）：
 - a) 将保护环连接到同相输入引脚（ V_{IN+} ）。这将使保护环的偏置电压与比较器参考电压（如 $V_{DD}/2$ 或地）相同。
 - b) 将反相引脚（ V_{IN-} ）连接到输入焊盘，且不接触保护环。
2. 同相配置（图3-4）：
 - a) 将同相引脚（ V_{IN+} ）连接到输入焊盘，且不接触保护环。
 - b) 将保护环连接到反相输入引脚（ V_{IN-} ）。

3.7 PCB布线技术

设计PCB布线时，必须确保模拟信号走线与数字信号走线充分隔离以防止信号耦合。如果比较器输出走线邻近输入走线，则当输出电压从 V_{SS} 大幅跳变至 V_{DD} （或反之）时，可能耦合至输入并引发器件输出振荡。为防止这种振荡，必须将输出走线远离输入引脚进行布线。由于SOT-23的输出引脚OUT（引脚1）与输入引脚+IN被电源引脚 V_{DD}/V_{SS} （引脚2）隔离（只要整个PCB上的模拟走线与数字走线保持分离），因此其抗干扰能力相对较高。但是，在双运放封装和四运放封装（SOIC）的引脚分配中，OUT引脚与-IN引脚（引脚1与引脚2）相距较近。图3-10中给出了这些封装的推荐布线方式。

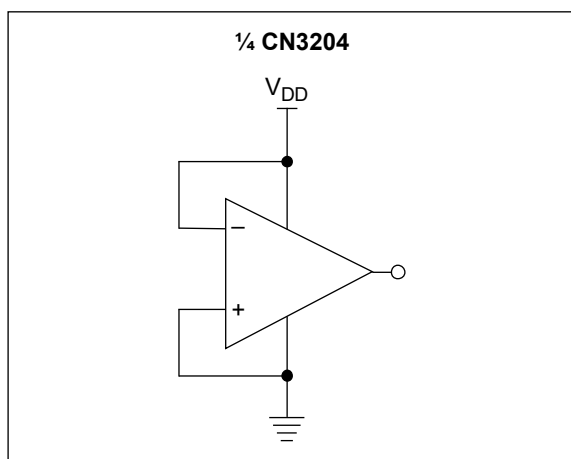
图3-10：推荐布线方式



3.8 未使用的比较器

四运放封装（CN3204）中未使用的放大器应按图3-11所示进行配置。该电路可防止输出翻转，避免引起串扰。该电路使用的元件数极少且电流消耗极低。

图3-11：未使用的比较器

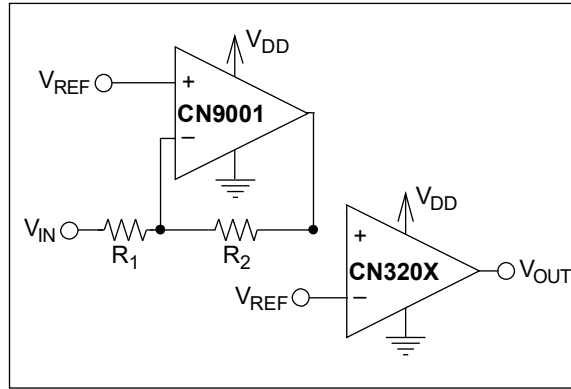


3.9 典型应用

3.9.1 精确比较器

某些应用需要较高的直流精度。解决此问题的简单方法是使用放大器（例如CN9001），在输入信号到达比较器之前对其进行放大。图3-12展示了此方法的示例。

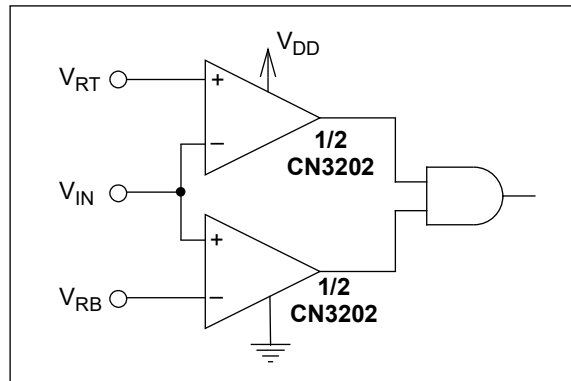
图3-12：精确反相比较器



3.9.2 窗口比较器

图3-13展示了一种设计窗口比较器的方法。当输入电压介于 V_{RB} 与 V_{RT} 之间（其中 $V_{RT} > V_{RB}$ ）时，与门生成逻辑1。

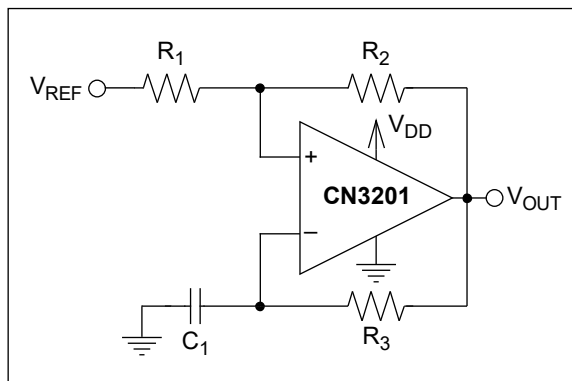
图3-13：窗口比较器



3.9.3 双稳态多谐振荡器

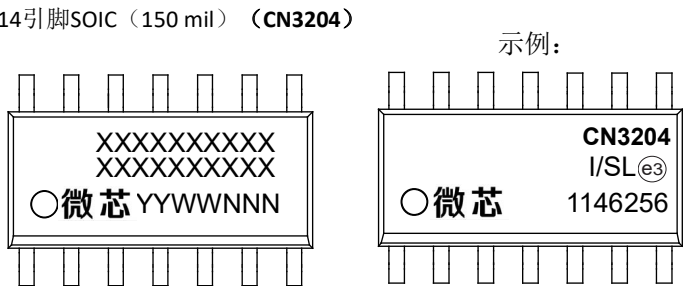
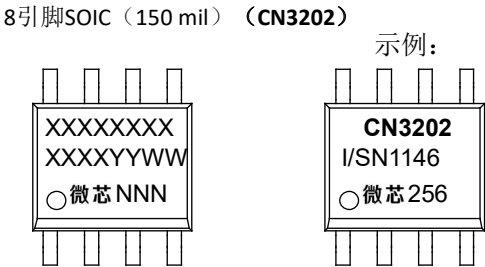
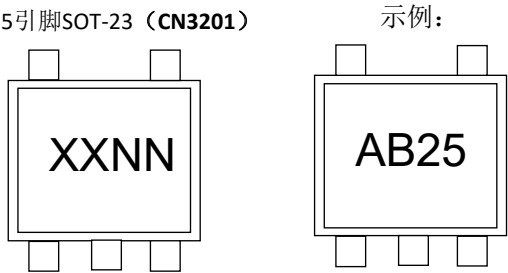
图3-14展示了一个简单的双稳态多谐振荡器设计。 V_{REF} 需介于两个电源电压（ $V_{SS} = GND$ 和 V_{DD} ）之间以实现振荡。输出占空比随 V_{REF} 的变化而变化。

图3-14：双稳态多谐振荡器



4.0 封装信息

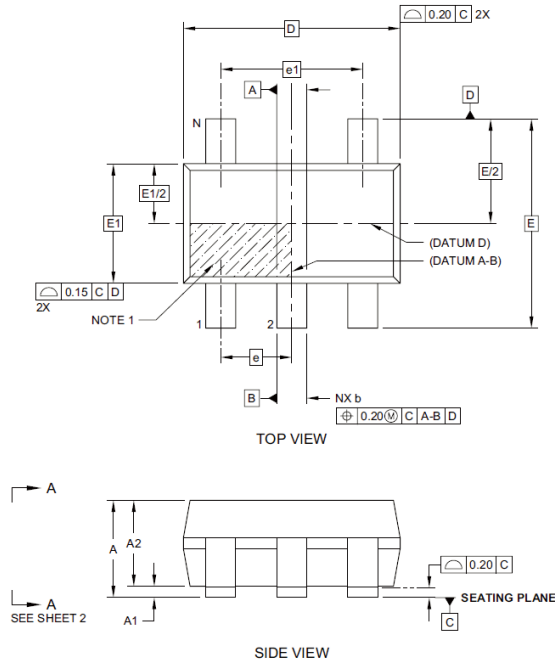
4.1 封装标识信息



图注：	XX...X	客户指定信息
	Y	年份代码（日历年的最后一位数字）
	YY	年份代码（日历年的最后两位数字）
	WW	星期代码（一月一日的星期代码为“01”）
	NNN	由字母数字组成的追踪代码
	(e3)	雾锡（Sn）的JEDEC无铅标志
	*	表示无铅封装。JEDEC无铅标志（(e3)）标示于此种封装的外包装上。

注：部件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户指定信息的字符数。

5引脚塑封小外形晶体管封装 (OT) [SOT23]

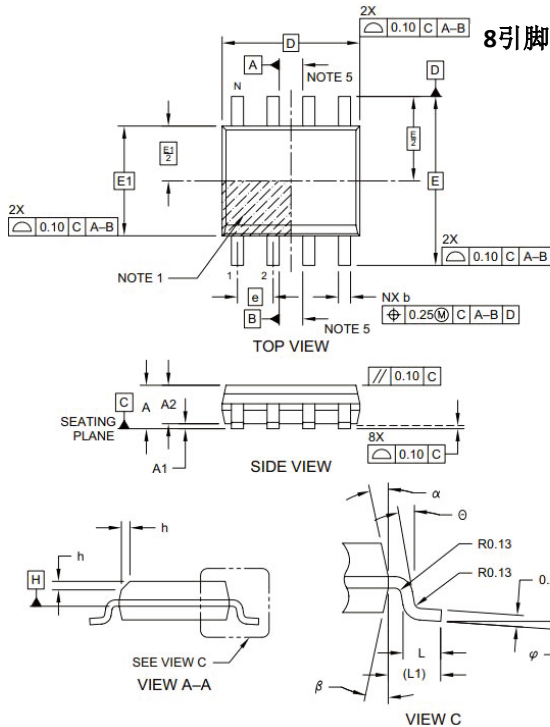


Dimension Limits	MILLIMETERS		
	MIN	NOM	MAX
Number of Pins	N	5	
Pitch	e	0.95 BSC	
Outside lead pitch	e1	1.90 BSC	
Overall Height	A	0.90	1.45
Molded Package Thickness	A2	0.89	1.30
Standoff	A1	-	0.15
Overall Width	E	2.80 BSC	
Molded Package Width	E1	1.60 BSC	
Overall Length	D	2.90 BSC	
Foot Length	L	0.30	0.60
Footprint	L1	0.60 REF	
Foot Angle	ϕ	0°	10°
Lead Thickness	c	0.08	0.26
Lead Width	b	0.20	0.51

Notes:

- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25mm per side.
- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

8引脚塑封窄条小外形封装 (SN) ——主体3.90 mm (0.150英寸) [SOIC]

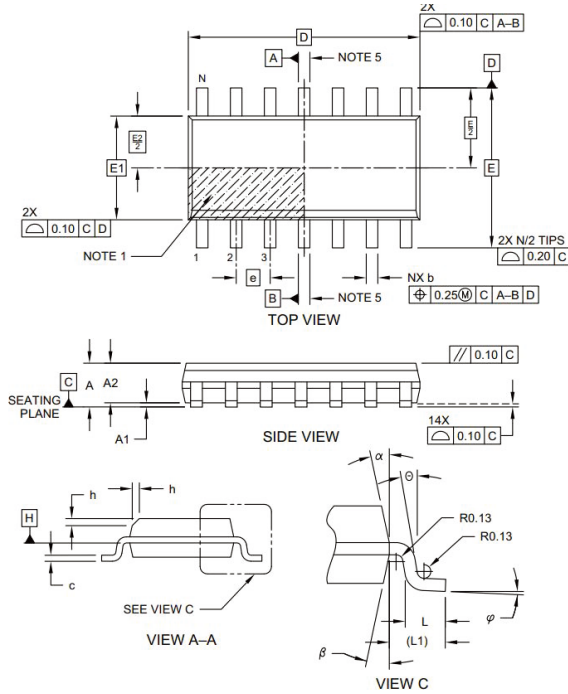


Dimension Limits	MILLIMETERS		
	MIN	NOM	MAX
Number of Pins	N	8	
Pitch	e	1.27 BSC	
Overall Height	A	-	1.75
Molded Package Thickness	A2	1.25	-
Standoff	A1	0.10	0.25
Overall Width	E	6.00 BSC	
Molded Package Width	E1	3.90 BSC	
Overall Length	D	4.90 BSC	
Chamfer (Optional)	h	0.25	0.50
Foot Length	L	0.40	1.27
Footprint	L1	1.04 REF	
Foot Angle	ϕ	0°	8°
Lead Thickness	c	0.17	0.25
Lead Width	b	0.31	0.51
Mold Draft Angle Top	α	5°	15°
Mold Draft Angle Bottom	β	5°	15°

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.
- Datums A & B to be determined at Datum H.

14引脚塑封窄条小外形封装（SL）——主体3.90 mm [SOIC]



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	14		
Pitch	e	1.27 BSC		
Overall Height	A	-	-	1.75
Molded Package Thickness	A2	1.25	-	-
Standoff §	A1	0.10	-	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	8.65 BSC		
Chamfer (Optional)	h	0.25	-	0.50
Foot Length	L	0.40	-	1.27
Footprint	L1	1.04 REF		
Lead Angle	θ	0°	-	-
Foot Angle	φ	0°	-	8°
Lead Thickness	c	0.10	-	0.25
Lead Width	b	0.31	-	0.51
Mold Draft Angle Top	α	5°	-	15°
Mold Draft Angle Bottom	β	5°	-	15°

- Notes:
- Pin 1 visual index feature may vary, but must be located within the hatched area.
 - § Significant Characteristic
 - Dimension D does not include mold flash, protrusions or gate burrs, which shall not exceed 0.15 mm per end. Dimension E1 does not include interlead flash or protrusion, which shall not exceed 0.25 mm per side.
 - Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.
 - Datums A & B to be determined at Datum H.

制造商信息

商标

本文档中的名称、徽标和品牌均为制造商或其关联公司和/或子公司在中国和/或其他国家或地区的注册商标或商标。

法律声明

本出版物仅适用于制造商的产品，包括设计、测试以及将制造商的产品集成到用户的应用中。以其他任何方式使用这些信息都将被视为违反条款。

不涉及任何制造商知识产权的使用许可。

如果将制造商的器件用于生命维持和/或生命安全应用，一切风险由买方自负。

器件应用的详细信息仅供参考，内容可能随时更新。用户须自行确保应用符合规范。如需支持，请通过www.weixinsemi.com联系制造商。

用户须遵守所有适用的出口管制与经济制裁规定。

本文档中的信息“按原样”提供。制造商对这些信息不作任何形式的担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的担保。除法律强制要求外，对于因这些信息或使用这些信息而产生的任何损失，制造商概不承担任何责任。在法律允许的最大范围内，制造商概不承担任何间接或附带损害赔偿。制造商在任何情况下所承担的全部责任均不超出用户为获得这些信息而向制造商支付的金额（如有）。

制造商的器件代码保护功能

请注意以下有关制造商产品的代码保护功能的要点：

- 制造商的产品均达到制造商数据手册中所述的技术规范。
- 制造商确信：在正常使用且符合工作规范的情况下，其产品非常安全。
- 制造商注重并积极保护其知识产权。严禁任何试图破坏制造商的代码保护功能的行为。
- 制造商或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着产品是“牢不可破”的。代码保护功能处于持续发展中。制造商承诺将不断改进产品的代码保护功能。

中国销售及服务

如需获取更多信息或支持，请通过以下方式联系我们：

邮箱：sales@weixinsemi.com

网址：www.weixinsemi.com